

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-57304
(P2014-57304A)

(43) 公開日 平成26年3月27日(2014.3.27)

(51) Int.Cl.	F I	テーマコード (参考)
H03F 1/56 (2006.01)	H03F 1/56	5J500
H03F 3/193 (2006.01)	H03F 3/193	

審査請求 未請求 請求項の数 26 O L (全 44 頁)

(21) 出願番号 特願2013-174151 (P2013-174151)
 (22) 出願日 平成25年8月26日 (2013. 8. 26)
 (31) 優先権主張番号 13/611, 793
 (32) 優先日 平成24年9月12日 (2012. 9. 12)
 (33) 優先権主張国 米国 (US)

(71) 出願人 504199127
 フリースケール セミコンダクター イン
 コーポレイテッド
 アメリカ合衆国 テキサス州 78735
 オースティン ウィリアム キャノン
 ドライブ ウェスト 6501
 (74) 代理人 100142907
 弁理士 本田 淳
 (72) 発明者 ラクシュミナラヤン ビスワナサン
 アメリカ合衆国 85048 アリゾナ州
 フェニックス サウス エイティーンズ
 ウェイ 16620

最終頁に続く

(54) 【発明の名称】 インピーダンス整合回路を有する半導体デバイス、およびその製造方法

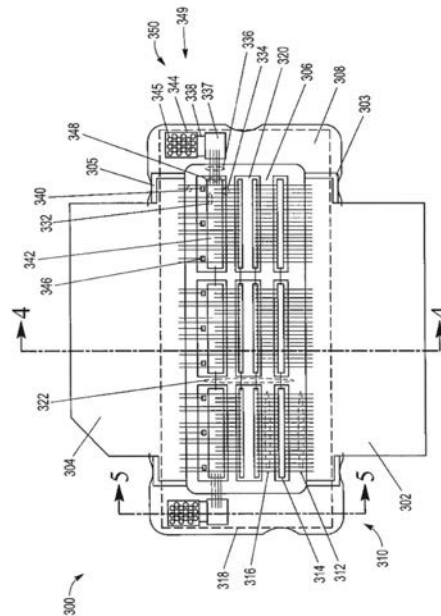
(57) 【要約】

【課題】半導体デバイスパッケージのサイズを低減させる。

【解決手段】

半導体デバイス(たとえば、RFデバイス)の実施形態は、基板と、分離構造体と、能動素子と、リードと、回路とを含む。分離構造体は基板に結合され、開口を含む。基板表面の、開口を通じて露出される部分によって、能動素子領域が画定される。能動素子は、能動素子領域内で基板表面に結合される。回路は、能動素子とリードとの間に電氣的に結合される。回路は、能動素子領域の外部に位置付けられる(たとえば、分離構造体に物理的に結合される、および/またはリードの下にある)1以上の要素を含む。能動素子領域の外部に位置付けられる要素は、包絡線終端回路および/またはインピーダンス整合回路の要素を含んでもよい。実施形態は、そのような半導体デバイスを製造する方法をも含む。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

デバイスであって、
表面を有する基板と、

上面、および前記基板の前記表面に結合される底面を有する分離構造体であって、前記分離構造体は開口を含み、前記基板の前記表面の、前記開口を通じて露出される部分によって、能動素子領域が画定される、分離構造体と、

前記能動素子領域内で前記基板の前記表面に結合される能動素子と、
前記分離構造体に結合されるリードと、

前記能動素子と前記リードとの間に電氣的に結合される回路であって、前記回路は、複数の要素を含み、前記複数の要素の 1 以上の要素は、前記能動素子領域の外部に位置付けられ、前記能動素子領域の外部に位置付けられる前記 1 以上の要素は、包絡線周波数終端回路およびローパス整合回路から選択される要素を含む、回路とを備える、デバイス。

10

【請求項 2】

前記能動素子領域の外部に位置付けられる前記 1 以上の要素は、前記分離構造体に物理的に結合される、

請求項 1 に記載のデバイス。

【請求項 3】

前記回路は、

20

前記能動素子と前記リードとの間に結合される第 1 の誘導素子と、

前記能動素子と前記基板との間に結合されるシャント回路と、

前記シャント回路と前記基板との間に結合される前記包絡線周波数終端回路とを含み、前記能動素子領域の外部に位置付けられる前記 1 以上の要素は、前記包絡線周波数終端回路の 1 以上の要素を含む、

請求項 2 に記載のデバイス。

【請求項 4】

前記回路は、

前記能動素子と前記リードとの間に結合される第 1 の誘導素子と、

前記リードと前記基板との間に結合される前記ローパス整合回路とを含み、前記能動素子領域の外部に位置付けられる前記 1 以上の要素は、前記ローパス整合回路の 1 以上のインピーダンス整合要素を含む、

30

請求項 2 に記載のデバイス。

【請求項 5】

前記回路は、

前記能動素子と前記リードとの間に結合される複数のボンドワイヤを含む第 1 の誘導素子と、

前記能動素子と前記基板との間に結合されるシャント回路であって、前記シャント回路は、直列に結合される第 1 のキャパシタおよび第 2 の誘導素子を備え、前記第 1 のキャパシタは、前記能動素子領域内で前記基板の前記表面に結合され、前記第 2 の誘導素子は、前記能動素子と前記第 1 のキャパシタとの間に結合される複数のボンドワイヤを含む、シャント回路と、

40

前記シャント回路と前記基板との間に結合される前記包絡線周波数終端回路であって、前記包絡線周波数終端回路は直列に結合される第 3 の誘導素子、抵抗器、および第 2 のキャパシタを備え、前記第 3 の誘導素子は、前記第 1 のキャパシタと前記抵抗器との間に結合される複数のボンドワイヤを含む、前記包絡線周波数終端回路と、

前記リードと前記基板との間に結合される前記ローパス整合回路であって、前記ローパス整合回路は、前記リードと前記基板との間に結合される第 3 のキャパシタを備える、前記ローパス整合回路とを備え、

前記能動素子領域の外部に位置付けられる前記 1 以上の要素は、前記第 3 の誘導素子、

50

前記抵抗器、前記第2のキャパシタ、および前記第3のキャパシタから選択される、請求項2に記載のデバイス。

【請求項6】

前記分離構造体は、無機材料を含む、請求項1に記載のデバイス。

【請求項7】

前記分離構造体は、有機材料を含む、請求項1に記載のデバイス。

【請求項8】

デバイスであって、
導電面を有する基板と、

上面、および前記基板の前記導電面に結合される底面を有する分離構造体であって、前記分離構造体は、開口を含み、前記基板の前記導電面の、前記開口を通じて露出される部分によって、能動素子領域が画定される、分離構造体と、

前記能動素子領域内で前記基板の前記導電面に結合されるトランジスタと、
前記分離構造体に結合される第1のリードと、

前記トランジスタと前記第1のリードとの間に電氣的に結合される回路であって、前記回路は、複数の要素を含み、前記複数の要素の1以上の要素は、前記能動素子領域の外部に位置付けられ、前記能動素子領域の外部に位置付けられる前記1以上の要素は、包絡線周波数終端回路およびローパス整合回路から選択される要素を含む、回路と
を備える、デバイス。

【請求項9】

前記第1のリードは、出力リードであり、

前記回路は、前記トランジスタの導電端子と前記出力リードとの間に結合される出力回路であり、

前記能動素子領域の外部に位置付けられる前記1以上の要素は、前記分離構造体に物理的に結合される、

請求項8に記載のデバイス。

【請求項10】

前記能動素子領域の外部に位置付けられる前記1以上の要素は前記分離構造体の上面上に位置付けられる抵抗器と、前記分離構造体と一体的に形成されるキャパシタとを含み、

前記抵抗器は、厚膜抵抗器、薄膜抵抗器、およびディスクリット抵抗器から選択され、前記デバイスはさらに、

前記分離構造体の前記上面上の第1の導電性パッドであって、前記第1の導電性パッドは、前記トランジスタの前記導電端子に電氣的に結合され、前記抵抗器の第1の端子は、前記第1の導電性パッドに結合される、第1の導電性パッドと、

前記分離構造体の前記上面上の第2の導電性パッドであって、前記抵抗器の第2の端子および前記キャパシタの第1の端子は、前記第2の導電性パッドに結合され、前記キャパシタの第2の端子は、前記基板の前記導電面に結合される、第2の導電性パッドを備える、

請求項9に記載のデバイス。

【請求項11】

前記デバイスはさらに、前記キャパシタの前記第2の端子を前記基板の前記導電面に電氣的に結合する、前記分離構造体の中または上の1以上の導電性構造体を備え、

前記1以上の導電性構造体は、1以上のビア、1以上のキャストレーション、および端部めっきから選択される、

請求項10に記載のデバイス。

【請求項12】

前記能動素子領域の外部に位置付けられる前記1以上の要素は、前記分離構造体の上面上に位置付けられる抵抗器およびディスクリットキャパシタを含み、

10

20

30

40

50

前記抵抗器は、厚膜抵抗器、薄膜抵抗器、およびディスクリット抵抗器から選択され、前記デバイスはさらに、

前記分離構造体の前記上面上の第1の導電性パッドであって、前記第1の導電性パッドは、前記トランジスタの前記導電端子に電氣的に結合され、前記抵抗の第1の端子は、前記第1の導電性パッドに結合される、第1の導電性パッドと、

前記分離構造体の前記上面上の第2の導電性パッドであって、前記抵抗器の第2の端子および前記キャパシタの第1の端子は、前記第2の導電性パッドに結合される、第2の導電性パッドと、

前記分離構造体の前記上面上の第3の導電性パッドであって、前記キャパシタの第2の端子は、前記第3の導電性パッドに結合される、第3の導電性パッドと、

前記第3の導電性パッドを前記基板の前記導電面に電氣的に結合する、前記分離構造体の中または上の1以上の導電性構造体であって、前記1以上の導電性構造体は、1以上のビア、1以上のキャストレーション、および端部めっきから選択される、1以上の導電性構造体と

を備える、

請求項9に記載のデバイス。

【請求項13】

前記能動素子領域の外部に位置付けられる前記1以上の要素は、前記分離構造体の上面上に位置付けられるディスクリットキャパシタを含み、

前記デバイスはさらに、

前記分離構造体の前記上面上の第1の導電性パッドであって、前記出力リードおよび前記キャパシタの第1の端子は、前記第1の導電性パッドに結合される、第1の導電性パッドと、

前記分離構造体の前記上面上の第2の導電性パッドであって、前記キャパシタの第2の端子は、前記第2の導電性パッドに結合される、第2の導電性パッドと、

前記第2の導電性パッドを前記基板の前記導電面に電氣的に結合する前記分離構造体の中または上の1以上の導電性構造体であって、前記1以上の導電性構造体は、1以上のビア、1以上のキャストレーション、および端部めっきから選択される、1以上の導電性構造体と

を備える、

請求項9に記載のデバイス。

【請求項14】

前記能動素子領域の外部に位置付けられる前記1以上の要素は、

前記分離構造体の前記上面上のメタライゼーションを含む誘導素子であって、前記誘導素子の一部分は、前記分離構造体の、前記出力リードの端部を越えて前記能動素子領域に向かって延びる部分の上に位置し、前記一部分は、前記出力リードの前記端部に隣接してそれと平行に延びる、誘導素子と、

前記分離構造体に物理的に結合され、前記誘導素子の端部に電氣的に結合される第1の端子を有する抵抗器と、

前記分離構造体に物理的に結合され、前記抵抗器の第2の端子に電氣的に結合される第1の端子を有するキャパシタと

を含み、

前記デバイスはさらに、

前記キャパシタの第2の端子を前記基板の前記導電面に電氣的に結合する、前記分離構造体の中または上の1以上の導電性構造体であって、前記1以上の導電性構造体は、1以上のビア、1以上のキャストレーション、および端部めっきから選択される、1以上の導電性構造体を備える、

請求項9に記載のデバイス。

【請求項15】

前記デバイスはさらに、前記誘導素子の前記端部に結合され、前記デバイスから延びる

10

20

30

40

50

バイアスリードを備える、

請求項 14 に記載のデバイス。

【請求項 16】

前記分離構造体は、低損失材料を含み、

前記能動素子領域の外部に位置付けられる前記 1 以上の要素は、前記出力リードおよび前記基板の重なり合った部分、ならびに前記出力リードおよび前記基板の前記重なり合った部分の間の前記分離構造体の部分から形成されるキャパシタを含む、

請求項 9 に記載のデバイス。

【請求項 17】

前記デバイスはさらに、前記デバイスの内部構成要素を空洞内にシールするためのキャップを備える、

請求項 9 に記載のデバイス。

【請求項 18】

前記デバイスはさらに、前記能動素子領域の構成要素および回路要素を包含する成形コンパウンドを備える、

請求項 9 に記載のデバイス。

【請求項 19】

デバイスであって、

表面を有する基板と、

リードと、

上面および底面を有する分離構造体であって、前記リードは前記分離構造体の前記上面に結合され、前記分離構造体の前記底面は、前記基板の前記表面に結合され、能動素子領域は、前記基板の前記表面の、前記分離構造体が結合されない部分に対応する、分離構造体と、

前記能動素子領域内で前記基板の前記表面に結合される能動素子と、

前記能動素子と前記リードとの間に電氣的に結合される回路であって、前記回路は、複数の要素を含み、前記複数の要素の 1 以上の要素は、前記能動素子領域の外部に位置付けられ、前記能動素子領域の外部に位置付けられる前記 1 以上の要素は、前記分離構造体の前記リードと前記基板との間の部分を含む、前記リードの下のキャパシタを含む、回路とを備える、デバイス。

【請求項 20】

前記デバイスはさらに、前記能動素子および少なくとも前記能動素子領域内の前記回路の要素を包含する成形コンパウンドを備える、

請求項 19 に記載のデバイス。

【請求項 21】

前記キャパシタは、ローパス整合キャパシタである、

請求項 19 に記載のデバイス。

【請求項 22】

前記回路はさらに、前記能動素子領域内で前記基板の前記表面に結合されるシャントキャパシタを備え、

前記シャントキャパシタは、前記能動素子と前記分離構造体との間に位置付けられる、

請求項 21 に記載のデバイス。

【請求項 23】

前記分離構造体は、プリント回路基板材料から形成される、

請求項 19 に記載のデバイス。

【請求項 24】

前記能動素子領域の外部に位置付けられる前記 1 以上の要素は、前記分離構造体の上面に結合される 1 以上の受動素子をも含む、

請求項 19 に記載のデバイス。

【請求項 25】

10

20

30

40

50

半導体デバイスを製造する方法であって、
 表面を有する基板を設けるステップと、
 分離構造体の底面を前記基板の前記表面に結合するステップであって、前記分離構造体は開口を含み、前記基板の前記表面の、前記開口を通じて露出される部分によって、能動素子領域が画定される、結合するステップと、
 能動素子を、前記能動素子領域内で前記基板の前記表面に結合するステップと、
 リードを前記分離構造体に結合するステップと、
 回路を前記能動素子と前記リードとの間に電氣的に結合するステップであって、前記回路は複数の要素を含み、前記複数の要素の1以上の要素は前記能動素子領域の外部に位置付けられ、前記能動素子領域の外部に位置付けられる前記1以上の要素は、包絡線周波数終端回路およびローパス整合回路から選択される要素を含む、電氣的に結合するステップと
 を含む、方法。

【請求項26】

前記回路を前記能動素子と前記リードとの間に電氣的に結合するステップは、前記能動素子領域の外部に位置付けられる前記1以上の要素を前記分離構造体に物理的に結合するステップを含む、

請求項25に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本明細書に記載の主題の実施形態は、一般的にはパッケージ半導体デバイスに関し、より詳細には、インピーダンス整合回路を含むパッケージ無線周波数(RF)半導体デバイスに関する。

【背景技術】

【0002】

一般的な高出力無線周波数(RF)半導体デバイスは、1以上の入力リードと、1以上の出力リードと、1以上のトランジスタと、入力リード(複数の場合もあり)をトランジスタ(複数の場合もあり)に結合するボンドワイヤと、トランジスタ(複数の場合もあり)を出力リード(複数の場合もあり)に結合するボンドワイヤとを含み得る。ボンドワイヤは高い周波数において大きなインダクタンスを有し、そのようなインダクタンスは、デバイスの入力および出力インピーダンス整合回路の設計に織り込まれ得る。いくつかの事例において、入力および出力インピーダンス整合回路は、デバイスのトランジスタ(複数の場合もあり)を含む同じパッケージ内に含まれ得る。より具体的には、パッケージ内の入力インピーダンス整合回路は、デバイスの入力リードとトランジスタの制御端子(たとえば、ゲート)との間に結合され得、パッケージ内の出力インピーダンス整合回路は、トランジスタの導電端子(たとえば、ドレイン)とデバイスの出力リードとの間に結合され得る。入力および出力インピーダンス整合回路の各々は、1以上の容量性素子および抵抗素子を、これらの素子をデバイスのトランジスタ(複数の場合もあり)ならびに入力および出力リードと相互接続するボンドワイヤのセットに内在するインダクタンスとともに含み得る。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】米国特許第6,072,211号明細書

【特許文献2】米国特許第6,072,238号明細書

【特許文献3】米国特許第6,731,174号明細書

【発明の概要】

【発明が解決しようとする課題】

【0004】

10

20

30

40

50

そのようなパッケージRF半導体デバイスは容易に入手可能であり、狭帯域用途に使用するときには非常に良好な性能を有する。しかしながら、広帯域、多帯域、および/またはマルチモード動作にとって適切なパッケージRF半導体デバイスを設計することは、いくつかの理由から困難である。たとえば、パッケージRF半導体デバイスでは、リードレベルの出力インピーダンスは整合部の数によって制限される。それゆえ、広帯域、多帯域、および/またはマルチモード動作にとって許容可能なリードレベルの出力インピーダンスを達成するために、複数のパッケージ内整合部を組み込むことが望ましい場合がある。しかしながら、デバイス内に複数の整合部を含むことによって、インピーダンス整合回路内のインピーダンス整合要素の数が増大し、したがって、デバイスのサイズが増大する。加えて、多段整合のためにインピーダンス整合要素を相互接続するために実装されることになる様々なボンドワイヤのセットによって、整合部間に許容不可能な誘導結合がもたらされる場合があり、これによって、インピーダンス変換の効率が制限され得る。加えて、広帯域、多帯域、および/またはマルチモード実施態様のために良好な性能を促進するために、インピーダンス整合回路内に相対的に大きい別個のキャパシタが必要とされ得る。したがって、相対的に大きいキャパシタを収容するために、そのような実施態様のパッケージサイズはさらに増大される必要があることになる。半導体デバイスパッケージのサイズを増大することは、デバイスのサイズおよび費用を低減するという産業動向と相容れない。

10

【課題を解決するための手段】

【0005】

20

実施形態は、空洞およびオーバーモールドパッケージを使用して実装される半導体デバイス（たとえば、無線周波数（RF）半導体デバイス）を含む。下記により詳細に説明するように、半導体デバイスの一実施形態は、一般的にパッケージの「能動素子領域」内に位置する能動素子（たとえば、トランジスタ）と、デバイスに対する入力に結合される入力インピーダンス整合回路と、デバイスの出力に結合される出力インピーダンス整合回路とを含む。入力および出力インピーダンス整合回路の各々は、複数のインピーダンス整合要素（たとえば、インダクタおよびキャパシタ）を含む。様々な実施形態に応じて、インピーダンス整合要素のうちいくつかのものは、入力および出力インピーダンス整合回路の所望の電気的特性を依然として達成しながら、パッケージの能動素子領域の外側に位置する。

30

【0006】

以下の図面と併せて考察して詳細な説明および請求項を参照することで、より完全に本主題を理解することができる。これらの図面では全般にわたり同様の参照符号は類似の要素を示している。

【図面の簡単な説明】

【0007】

【図1】例示的な実施形態に応じた、入力および出力インピーダンス整合回路を有する半導体デバイスの概略図。

【図2】例示的な実施形態に応じた半導体デバイスの一例の上面図。

40

【図3】別の例示的な実施形態に応じた半導体デバイスの上面図。

【図4】線4-4に沿った図3の半導体デバイスの側断面図。

【図5】線5-5に沿った図3の半導体デバイスの側断面図。

【図6】さらに別の例示的な実施形態に応じた半導体デバイスの上面図。

【図7】さらに別の例示的な実施形態に応じた半導体デバイスの上面図。

【図8】さらに別の例示的な実施形態に応じた半導体デバイスの上面図。

【図9】さらに別の例示的な実施形態に応じた4リード半導体デバイスの上面図。

【図10】線10-10に沿った図9の半導体デバイスの側断面図。

【図11】さらに別の例示的な実施形態に応じた半導体デバイスの側断面図。

【図12】例示的な実施形態に応じた半導体デバイスを製造する方法のフローチャート。

【発明を実施するための形態】

50

【 0 0 0 8 】

下記の詳細な記載は本來說明のみを目的とし、本主題の実施形態またはこれらの実施形態の適用および使用を限定することを意図しない。本明細書において使用される場合、「例示的な (e x e m p l a r y) 」という単語は、「例、事例、または説明としての役割を果たす」ことを意味する。例示として本明細書に記載される全ての実施例は、必ずしも他の実施例よりも好適であるまたは優位であるとは解釈されない。さらに、上記技術分野、背景技術、または以下の詳細な説明で提示される、いかなる表示または暗示された理論によっても束縛されることは意図されていない。

【 0 0 0 9 】

実施形態は、空洞およびオーバーモールドパッケージを使用して実装される半導体デバイス（たとえば、無線周波数 (R F) 半導体デバイス）を含む。下記により詳細に説明するように、半導体デバイスの一実施形態は、一般的にパッケージの「能動素子領域」内に位置する能動素子（たとえば、トランジスタ）と、デバイスに対する入力に結合される入力インピーダンス整合回路と、デバイスの出力に結合される出力インピーダンス整合回路とを含む。入力および出力インピーダンス整合回路の各々は、複数のインピーダンス整合要素（たとえば、インダクタおよびキャパシタ）を含む。様々な実施形態に応じて、インピーダンス整合要素のうちいくつかは、入力および出力インピーダンス整合回路の所望の電気的特性を依然として達成しながら、パッケージの能動素子領域の外側に位置する。下記の記載において、様々なタイプのパッケージの実施形態（たとえば、空洞パッケージおよびオーバーモールドパッケージ）を詳細に説明する。より具体的には、様々な実施形態において、1以上のインピーダンス整合要素は、下記により詳細に説明するように、デバイスの分離構造体に物理的に結合される。特に、空洞パッケージの実施形態が最初に（図2～図10に関連して）説明され、オーバーモールドパッケージの実施形態がその後（図11に関連して）説明される。1つのタイプのパッケージに関連して説明される特徴が他のタイプのパッケージにおいて実装されてもよく、本発明の主題の範囲はそのような改変を含むことを理解されたい。加えて、本明細書における記載は主に、出力インピーダンス整合回路のインピーダンス整合要素をパッケージの能動部分の外部に位置付けることを説明しているが、他の実施形態では、入力インピーダンス整合回路のインピーダンス整合要素も同様にパッケージの能動部分の外部に位置付けられてもよいことを理解されたい。

【 0 0 1 0 】

図1は、例示的な実施形態に応じた、半導体デバイス100の概略図である。デバイス100は、一実施形態では、入力リード102と、入力インピーダンス整合回路110と、トランジスタ120と、包絡線周波数終端回路149と、出力インピーダンス整合回路150と、出力リード104とを含む。包絡線周波数終端回路149および出力インピーダンス整合回路150は、「出力回路」と総称される場合がある。トランジスタ120ならびに入力および出力インピーダンス整合回路110、150の様々な要素は単一の構成要素として示されているが、この図示は説明を容易にすることを目的としているにすぎない。本明細書における記載に基づいて、当業者は、トランジスタ120および/または入力および出力インピーダンス整合回路110、150のいくつかの要素は各々、複数の構成要素（たとえば、互いに並列または直列に接続される）として実装されてもよいことが理解でき、そのような実施形態の例は他の図面に示され、後述される。たとえば、実施形態は、シングルパスデバイス（たとえば、単一の入力リード、出力リード、トランジスタなどを含む）、デュアルパスデバイス（たとえば、2つの入力リード、出力リード、トランジスタなどを含む）、および/またはマルチパスデバイス（たとえば、2つ以上の入力リード、出力リード、トランジスタなどを含む）を含み得る。さらに、入力/出力リードの数は、トランジスタの数と同じでなくてもよい（たとえば、所与のセットの入力/出力リードに対して並列に動作する複数のトランジスタがあってもよい）。したがって、トランジスタ120ならびに入力および出力インピーダンス整合回路の様々な要素の下記の記載は、本発明の主題の範囲を示す実施形態のみに限定するようには意図されない。

【 0 0 1 1 】

入力リード102および出力リード104は各々、デバイス100が外部回路（図示せず）に電氣的に結合されることを可能にするように構成される導体を含む。より具体的には、入力および出力リード102、104は、物理的には、デバイスのパッケージの外部と内部との間に位置する。入力インピーダンス整合回路110は、入力リード102と、同じくデバイスの内部に位置するトランジスタ120の第1の端子との間に電氣的に結合され、出力インピーダンス整合回路150は、トランジスタ120の第2の端子と出力リード104との間に電氣的に結合される。

【0012】

一実施形態に応じて、トランジスタ120はデバイス100の主要能動構成要素である。トランジスタ120は制御端子および2つの導電端子を含み、導電端子は可変導電性チャネルによって空間的かつ電氣的に分離される。たとえば、トランジスタ120は、ゲート（制御端子）、ドレイン（第1の導電端子）、およびソース（第2の導電端子）を含む電界効果トランジスタ（FET）（金属酸化膜半導体FET（MOSFET）など）であり得る。代替的に、トランジスタ120はバイポーラ接合トランジスタ（BJT）であってもよい。したがって、本明細書において「ゲート」、「ドレイン」、および「ソース」を参照するとき、これは限定であるようには意図されず、これは、これらの指定の各々がBJT実施態様について類似の特徴部（たとえば、それぞれベース、コレクタ、およびエミッタ）を有するためである。一実施形態に応じて、また一般的にMOSFETに適用される用語を非限定的に使用して、トランジスタ120のゲートは入力インピーダンス整合回路110に結合され、トランジスタ120のドレインは出力インピーダンス整合回路150に結合され、トランジスタ120のソースはグラウンドに結合される。トランジスタ120のゲートに提供される制御信号の変化を通じて、トランジスタ120の導電端子間の電流が変調され得る。

【0013】

入力インピーダンス整合回路110は、デバイス100のインピーダンスをより高い（たとえば、中程度またはより高い）インピーダンスレベル（たとえば、約2～約10オームの範囲内またはより高い）に上昇させるように構成される。これは、ドライバ段からのPCBレベル整合インターフェースが、損失および変動が最小限である大量製造において達成されることができインピーダンスを有することを可能にする（たとえば、「ユーザフレンドリー」整合インターフェース）点で有利である。入力インピーダンス整合回路110は、入力リード102とトランジスタ120の制御端子（たとえば、ゲート）との間に結合される。一実施形態に応じて、入力インピーダンス整合回路110は、2つの誘導素子112（たとえば、2セットのボンドワイヤ）、116およびシャントキャパシタ114を含む。第1の誘導素子112（たとえば、第1のセットのボンドワイヤ）は入力リード102とキャパシタ114の第1の端子との間に結合され、第2の誘導素子116（たとえば、第2のセットのボンドワイヤ）はキャパシタ114の第1の端子とトランジスタ120の制御端子との間に結合される。キャパシタ114の第2の端子はグラウンドに結合される。誘導素子112、116およびシャントキャパシタ114の組み合わせは、ローパスフィルタとして機能する。一実施形態に応じて、誘導素子112、116の直列の組み合わせは、約50ピコヘンリー（pH）～約3ナノヘンリー（nH）の範囲内の値を有し得、シャントキャパシタ114は約5ピコファラド（pF）～約80pFの範囲内の値を有し得る。

【0014】

出力インピーダンス整合回路150は、デバイス100の出力インピーダンスを、出力リード104に結合され得る外部回路または構成要素（図示せず）の入力インピーダンスと整合させるように構成される。出力インピーダンス整合回路150は、トランジスタ120の第1の導電端子（たとえば、ドレイン）と出力リード104との間に結合される。一実施形態に応じて、出力インピーダンス整合回路150は、3つの誘導素子132、134、140（たとえば、3セットのボンドワイヤ）および2つのキャパシタ142、146を含む。本明細書においては「直列インダクタ」と称される場合がある第1の誘導素

10

20

30

40

50

子132(たとえば、第3のセットのボンドワイヤ)は、トランジスタ120の第1の導電端子(たとえば、ドレイン)と出力リード104との間に結合される。本明細書においては「シャントインダクタ(shunt inductor)」と称される場合がある第2の誘導素子134(たとえば、第4のセットのボンドワイヤ)は、トランジスタ120の第1の導電端子と、本明細書においては「シャントキャパシタ」と称される場合がある第1のキャパシタ142の第1の端子との間に結合される。最後に、本明細書においては「ローパス整合インダクタ」と称される場合がある第3の誘導素子140(たとえば、第5のセットのボンドワイヤ)は、出力リード104と、本明細書においては「ローパス整合キャパシタ」と称される場合がある第2のキャパシタ146の第1の端子との間に結合される。シャントおよびローパス整合キャパシタ142、144、146の第2の端子は、一実施形態ではグランドに結合される。

【0015】

シャントインダクタ134およびシャントキャパシタ142はトランジスタ120の導電端子とグランドとの間に直列に結合され、このインピーダンス整合要素の組み合わせは第1の(ハイパス)整合段として機能する。したがって、シャントインダクタ134およびシャントキャパシタ142の組み合わせは、本明細書においてハイパス整合回路143と称される場合がある。一実施形態に応じて、シャントインダクタ134は、約100pH~約3nHの範囲内の値を有し得、シャントキャパシタ142は、約50pF~約500pFの範囲内の値を有し得るが、これらの構成要素はまた、これらの範囲外の値を有してもよい。

【0016】

シャントインダクタ134とシャントキャパシタ142との間のノード148にRF「冷点(cold point)」が存在し、RF冷点は、回路内の高インピーダンス点を表す。包絡線周波数終端回路149(envelope frequency termination circuit 149)は、RF冷点(ノード148にある)とグランドとの間に結合される。包絡線周波数終端回路149は、RF周波数において高インピーダンスを呈することによる、出力インピーダンス整合回路150とバイアスフィードとの間の相互作用によって引き起こされるデバイス100の低周波数共鳴を改善するように機能する。包絡線周波数終端回路149は、包絡線周波数における出力インピーダンスにのみ影響を及ぼす(すなわち、包絡線周波数終端回路149はデバイス200の包絡線周波数に対する終端を提供する)ため、整合の観点からは基本的に「不可視(invisible)」である。一実施形態に応じて、包絡線周波数終端回路149は、全て直列に結合される、誘導素子136と、抵抗器138と、キャパシタ144とを含む。本明細書において「包絡線インダクタ」と称される場合がある誘導素子136(たとえば、第6のセットのボンドワイヤ)は、ノード148(またはシャントキャパシタ142の第1の端子)と、本明細書において「包絡線抵抗器(envelope resistor)」と称される場合がある抵抗器138の第1の端子との間に結合される。包絡線抵抗器138の第2の端子は、本明細書において「包絡線キャパシタ」と称される場合があるキャパシタ144の第1の端子に結合される。包絡線キャパシタ144の第2の端子は、一実施形態ではグランドに結合される。一実施形態に応じて、包絡線インダクタ136は、約5pH~約500pHの範囲内の値を有し得、包絡線抵抗器138は、約0.1オーム~約2オームの範囲内の値を有し得、包絡線キャパシタ144は、約10ナノファラド(nF)~約10マイクロファラド(μ F)の範囲内の値を有し得るが、これらの構成要素はまた、これらの範囲外の値を有してもよい。

【0017】

ローパス整合インダクタ140およびローパス整合キャパシタ146は、出力リード104とグランドとの間に直列に結合され、このインピーダンス整合要素の組み合わせは第2の(ローパス)整合段として機能する。したがって、ローパス整合インダクタ140およびローパス整合キャパシタ146の組み合わせは、本明細書においてローパス整合回路147と称される場合がある。一実施形態に応じて、ローパス整合インダクタ140は、

約 50 p H ~ 約 1 n H の範囲内の値を有し得、ローパス整合キャパシタ 146 は、約 1 p F ~ 約 50 p F の範囲内の値を有し得るが、これらの構成要素はまた、これらの範囲外の値を有してもよい。

【0018】

理想的には、ローパス整合回路 147 はローパス整合キャパシタ 146 のみを含むことになる。ローパス整合インダクタ 140 は、下記に説明する理由から、特に望ましい要素ではない。しかしながら、或る実施形態では、出力リード 104 とローパス整合キャパシタ 146 との間に明白な電気接続を確立する必要があるため、ローパス整合インダクタ 140 がローパス整合回路 147 内に含まれる。ローパス整合インダクタ 140 はその電気接続を表す（たとえば、ローパス整合インダクタ 140 は、出力リード 104 とローパス整合キャパシタ 146 との間の複数のボンドワイヤ（たとえば、図 2 のボンドワイヤ 240）として実装され得る）。所望の性能を達成するために、出力インピーダンス整合回路 150 は、たとえそのような補償が他の欠点（たとえば、ローパス整合キャパシタ 146 のサイズが増大する）を有する場合があっても、ローパス整合インダクタ 140 のインダクタンスを補償するように設計されるべきである。加えて、後により詳細に説明するように、これらの誘導素子が相対的に、物理的に密に近接していることに起因して、ローパス整合インダクタ 140 とシステムの他の誘導素子（たとえば、直列インダクタ 132 およびシャントインダクタ 134）との間に望ましくない誘導結合が存在する可能性がある。この誘導結合によって、出力インピーダンス整合回路 150 において望ましくない損失および準最適なインピーダンス変換が引き起こされる可能性がある。後により詳細に説明するように、或る実施形態では、ローパス整合インダクタ 140 は省かれてもよい。

10

20

【0019】

下記に説明するように、デバイスの入力リード、入力インピーダンス整合回路、トランジスタ、出力インピーダンス整合回路、および出力リードは全て単一のパッケージに組み込まれてもよく、デバイスのトランジスタはパッケージデバイスの能動素子領域内に位置付けられる。特定の実施形態においてパッケージサイズを低減するために、インピーダンス整合回路のいくつかの要素はパッケージデバイスの能動素子領域から離れて位置付けられ、これによって、多段整合を有する相対的に小さいパッケージデバイスが製造されることが可能になる。加えて、或る実施形態では、インピーダンス整合回路のいくつかの要素は、ボンドワイヤ以外の導電性相互接続を使用して他のデバイス要素に電氣的に結合され、これによって、製造複雑度および/またはデバイス費用が低減され得る。

30

【0020】

図 2 は、半導体デバイス 200（たとえば、RF デバイス）の一実施形態の上面図である。たとえば、デバイス 200 の相互接続された電氣的構成要素および要素は、図 1 の概略図によってモデリングされ得る。デバイス 200 は、入力リード 202（たとえば、図 1 の入力リード 102）と、出力リード 204（たとえば、図 1 の出力リード 104）と、フランジ 206 と、分離構造体 208 と、1 以上のトランジスタ 220（たとえば、図 1 のトランジスタ 120）と、入力インピーダンス整合回路 210（たとえば、図 1 の入力インピーダンス整合回路 110）と、包絡線周波数終端回路 249（たとえば、図 1 の包絡線周波数終端回路 149）と、出力インピーダンス整合回路 250（たとえば、図 1 の出力インピーダンス整合回路 150）とを含み、それらの全てがともにデバイスの一部としてパッケージされ得る（たとえば、上記リストの構成要素は単一の個別的なデバイスの部分を形成する）。図 2 の例において、デバイス 200 は、基本的に並列に機能する 2 つのトランジスタ 220 を含むが、別の半導体デバイスは、1 つ程度の少ないトランジスタを含んでもよいし、3 つ以上のトランジスタ（たとえば、図 3 および図 6 ~ 図 8 の実施形態のように）を含んでもよい。加えて、デバイス 200 は 2 つの入力キャパシタ 214 と、2 つのシャントキャパシタ 242 と、1 つの包絡線キャパシタ 244 と、複数のローパス整合キャパシタ 246 とを含み、同じタイプのキャパシタのセットは同じく基本的に並列に機能する。より多いまたはより少ないキャパシタ 214、242、244、246 も実装されてもよいことを理解されたい。明瞭にするために、トランジスタ 220、入力

40

50

キャパシタ 214、シャントキャパシタ 242、およびローパス整合キャパシタ 246 は各々、下記では単数形感覚で参照される。単数形感覚の特定のデバイス構成要素の記載は、全てのこのような構成要素のセットに当てはまることを理解されたい。

【0021】

一実施形態に応じて、デバイス 200 は、空洞パッケージ内に組み込まれ、デバイス 200 の実質的に全ての電氣的構成要素（リード 202、204 の、分離構造体 208 の端部を越えて伸張する部分を除く）が、密閉空洞内に位置する。基本的に、空洞は、フランジ 206、分離構造体 208、ならびに、分離構造体 208 およびリード 202、204 の上に重なって接しているキャップによって底部を境界されている。キャップは図 2 には示されていないが、キャップの一例の周縁が破線のボックス 218 によって示されている。代替の実施形態では、デバイスは、オーバーモールドパッケージ（すなわち、少なくともトランジスタ 220 および能動素子領域内の他の電氣的構成要素が非導電性成形コンパウンド内に包含され、リード 202、204 の部分、ならびに分離構造体 208 の全体または部分および能動素子領域の外部の要素も成形コンパウンドによって包含され得るパッケージ）内に組み込まれてもよい。

10

【0022】

フランジ 206 は、剛性導電性基板を含み、これは、デバイス 200 の他の構成要素および要素に対する構造的サポートを提供するのに十分である厚さを有する。加えて、フランジ 206 は、トランジスタ 220 とフランジ 206 上に据え付けられる他のデバイスとに対するヒートシンクとして機能し得る。フランジ 206 は、上面および底面（上面の中央部分のみが図 2 に見える）、ならびにデバイス 200 の周縁に対応する実質的に長方形の周縁を有する。図 2 において、フランジ 206 の中央部分のみが分離構造体 208 内の開口を通じて示されている。しかしながら、フランジ 206 はまた、分離構造体 208 全体の下にも延在している。フランジ 206 は、分離構造体 208 の周縁を越えて延在し得るが、そのような延在は図 2 には示されていない。フランジ 206 は、導電性上面（すなわち、その上に分離構造体 208 が付着される表面）を有し、全体を導電性材料から形成され得る。代替的に、フランジ 206 は、その上面の下に非導電性材料の 1 以上の層を有してもよい。デバイス 200 がより大きい電氣的システムの中に組み込まれる場合、フランジ 206 は、デバイス 200 に対するグランド基準を提供するのに使用され得る。たとえば、様々な構成要素および要素は、フランジ 206 に電氣的に結合される端子を有し得、フランジ 206 はシステムグランドに電氣的に結合され得る。フランジ 206 は、より一般的に導電面を有する基板と称される場合がある。フランジ 206 の少なくとも表面は、導電性材料の層から形成され、フランジ 206 のおそらく全体がバルク導電性材料から形成される。いずれにせよ、フランジ 206 は導電面を有する。

20

30

【0023】

分離構造体 208 は、フランジ 206 の上面に付着される。たとえば、分離構造体 208 は、その底面上に、フランジ 206 の上面にはんだ付けまたは他の状態で付着されてもよい、メタライゼーション（たとえば、図 4、図 5 のメタライゼーション 420）の層を含んでもよい。分離構造体 208 は、電氣的に絶縁性の剛性材料（たとえば、約 3.0 ~ 10.0 の範囲内の絶縁定数を有する材料、ただし、より高いまたはより低い絶縁定数を有する材料が使用されてもよい）から形成され、上面および対向する底面を有する。「分離構造体」という用語は、本明細書において使用される場合、デバイスの導電性特徴部間の（たとえば、リード 202、204 およびフランジ 206 の間の）電氣的分離を提供する構造を指す。たとえば、分離構造体 208 は、無機材料（たとえば、酸化アルミニウム、窒化アルミニウムのようなセラミックなど）および/または有機材料（たとえば、1 以上のポリマーまたはプリント回路基板（PCB）材料）から形成され得る。分離構造体 208 が PCB 材料を含む実施形態では（たとえば、分離構造体 208 は基本的に単層または多層 PCB を含む）、導電層（たとえば、銅層）は、分離構造体の上面および底面上に含まれ得る。さらなる実施形態では、分離構造体 208 の上面上の導電層は、デバイス 200 のリードフレーム（リード 202、204 を含む）を形成するためにパターンングお

40

50

よびエッチングされ得、分離構造体 208 の底面上の導電層は、フランジ 206 に結合され得る。他の実施形態では、導電層は、分離構造体 208 の上面および/または底面から除外されてもよい。このような実施形態では、リード（たとえば、リード 202、204）は、エポキシ樹脂（または他の接着剤）を使用して分離構造体 208 に結合されてもよく、かつ/または分離構造体 208 は、エポキシ樹脂（または他の接着剤）を使用してフランジ 206 に結合されてもよい。また他の実施形態では、分離構造体 208 は、その上面の、リードが付着される部分において圧延されてもよい。

【0024】

一実施形態に応じて、分離構造体 208 は、一般的にフレーム形状を有し、これは、中央開口を有する実質的に密閉された構造を含む。分離構造体 208 は、図 2 に示すように実質的に長方形の形状を有してもよく、または分離構造体 208 は、別の形状（たとえば、円環、楕円など）を有してもよい。分離構造体 208 は、単一の一体構造として形成されてもよく、または分離構造体 208 は、複数の部材の組み合わせとして形成されてもよい。たとえば、代替の実施形態では、分離構造体 208 は、互いに接する、または互いから空間的に分離される複数の部分を含んでもよい（たとえば、分離構造体 208 は、入力リード 202 をフランジ 206 から分離する 1 つの部分、および、出力リード 204 をフランジ 206 から分離する別の部分を有してもよい）。分離構造体 208 が複数の空間的に分離される部分を含む実施形態では、分離構造体 208 内の「中央開口」は、これらの複数の空間的に分離される部分の間の空間であるとみなされる。加えて、分離構造体 208 は均質な材料から形成されてもよく、または分離構造体 208 は複数の層から形成されてもよい。入力および出力リード 202、204 は、中央開口の対向する両側上で分離構造体 208 の上面上に据え付けられる。したがって、入力および出力リード 202、204 は、フランジ 206 の上面の上に持ち上げられ、フランジ 206 から電氣的に分離される。たとえば、入力および出力リード 202、204 は、分離構造体 208 の上面上のメタライゼーション 203、205 にはんだ付けまたは他の様態で付着されてもよい。一般的に、入力および出力リード 202、204 は、入力および出力リード 202、204 と、分離構造体 208 の中央開口内の構成要素および要素との間にボンドワイヤ（たとえば、ボンドワイヤ 212、232、240）を付着させることを可能にするように方向付けられる。

【0025】

トランジスタ 220 ならびに入力および出力インピーダンス整合回路 210、250 の様々な要素 214、238、242、244、246 は、分離構造体 208 内の開口を通じて露出されるフランジ 206 の上面の概して中央の部分上に据え付けられる。本明細書において使用される場合、「能動素子領域」は、デバイスの、1 以上の能動素子（たとえば、トランジスタ 220）が据え付けられる部分（たとえば、フランジ 206 の導電面の、分離構造体 208 内の開口を通じて露出される部分）に対応する。代替的に、「能動素子領域」は、デバイスの分離構造体内の開口内に含まれるデバイス部分（たとえば、分離構造体 208 の開口内にある、デバイス 200 の部分）として定義されてもよい。一実施形態に応じて、分離構造体 208 内の開口を通じて露出されるフランジ 206 の部分に対応しない任意のデバイス 200 の部分は、能動素子領域内にあるとはみなされない。したがって、図 2 において、トランジスタ 220 は、デバイス 200 の能動素子領域内に位置付けられる。図 2 の実施形態では、インピーダンス整合要素 214、238、242、244、246 も、デバイス 200 の能動素子領域内に位置付けられる。

【0026】

トランジスタ 220 は、制御端子（たとえば、ゲート）および 2 つの導電端子（たとえば、ドレインおよびソース）を有する。トランジスタ 220 の制御端子は、入力インピーダンス整合回路 210 に（たとえば、入力キャパシタ 214 とトランジスタ 220 との間のボンドワイヤ 216 を介して）結合される。加えて、一実施形態では、一方の導電端子（たとえば、ドレイン）は、出力インピーダンス整合回路 250 に（たとえば、トランジスタ 220 とキャパシタ 242 との間のボンドワイヤ 234 を介して）結合され、他方の

10

20

30

40

50

導電端子（たとえば、ソース）は、フランジ 206 に（たとえば、グランドに）結合される。

【0027】

入力インピーダンス整合回路 210（たとえば、図 1 の入力インピーダンス整合回路 110）は、入力リード 202（たとえば、図 1 の入力リード 102）と、トランジスタ 220（たとえば、図 1 のトランジスタ 120）の制御端子との間に結合される。図 2 のデバイス 200 において、入力インピーダンス整合回路 210 は、2 つの誘導素子 212、216（たとえば、図 1 の誘導素子 112、116）およびキャパシタ 214（たとえば、図 1 のキャパシタ 114）を含む。各誘導素子 212、216 は、複数の平行な、近接して離間されたボンドワイヤのセットから形成される。たとえば、第 1 の誘導素子 212（たとえば、図 1 の誘導素子 112）は、入力リード 202 とキャパシタ 214（たとえば、図 1 のキャパシタ 114）の第 1 の端子との間に結合される複数のボンドワイヤを含み、第 2 の誘導素子 216（たとえば、図 1 の誘導素子 116）は、キャパシタ 214 の第 1 の端子とトランジスタ 220 の制御端子との間に結合される複数のボンドワイヤを含む。キャパシタ 214 の第 2 の端子は、フランジ 206 に（たとえば、グランドに）結合される。キャパシタ 214 は、たとえば、個別的なシリコンキャパシタ（たとえば、上面が第 1 の端子に対応し、底面が第 2 の端子に対応するシリコン基板から成る）、個別的なセラミックキャパシタ、または別のタイプのキャパシタであってもよい。ボンドワイヤ 212、216 は、キャパシタ 214 の上面において導電性頂板に付着される。

10

【0028】

出力インピーダンス整合回路 250（たとえば、図 1 の出力インピーダンス整合回路 150）は、トランジスタ 220（たとえば、図 1 のトランジスタ 120）の第 1 の導電端子（たとえば、ドレイン）と出力リード 204（たとえば、図 1 の出力リード 104）との間に結合される。図 2 のデバイス 200 において、出力インピーダンス整合回路 250 は、3 つの誘導素子 232、234、240（たとえば、図 1 のインダクタ 132、134、140）および 2 つのキャパシタ 242、246（たとえば、図 1 のキャパシタ 142、146）を含む。再び、各誘導素子 232、234、240 は、複数の平行な、近接して離間されたボンドワイヤのセットから形成される。たとえば、直列誘導素子 232（たとえば、図 1 の直列インダクタ 132）は、トランジスタ 220 の第 1 の導電端子（たとえば、ドレイン）と出力リード 204 との間に結合される複数のボンドワイヤを含む。シャント誘導素子 234（たとえば、図 1 のシャントインダクタ 134）は、トランジスタ 220 の第 1 の導電端子とシャントキャパシタ 242（たとえば、図 1 のシャントキャパシタ 142）の第 1 の端子との間に結合される複数のボンドワイヤを含む。最後に、ローパス整合誘導素子 240（たとえば、図 1 のローパス整合インダクタ 140）は、出力リード 204 とローパス整合キャパシタ 246（たとえば、図 1 のローパス整合キャパシタ 146）の第 1 の端子との間に結合される。キャパシタ 242、246 の第 2 の端子は、フランジ 206 に（たとえば、グランドに）結合される（すなわち、キャパシタ 242、246 は、能動素子領域においてフランジ 306 上に据え付けられる）。

20

30

【0029】

シャントインダクタ 234 とシャントキャパシタ 242 との間の相互接続部に、RF 冷点が存在する。包絡線周波数終端回路 249（たとえば、図 1 の包絡線周波数終端回路 149）は、RF 冷点とフランジ 206 との間に（たとえば、グランドに）結合される。図 2 のデバイスにおいて、包絡線周波数終端回路 249 は、全て直列に結合される、誘導素子 236（たとえば、図 1 のインダクタ 136）と、抵抗器 238（たとえば、図 1 の抵抗器 138）と、キャパシタ 244（たとえば、図 1 のキャパシタ 144）とを含む。再び、包絡線誘導素子 236 は、複数の平行な、近接して離間されたボンドワイヤのセットから形成される。たとえば、包絡線誘導素子 236（たとえば、図 1 の包絡線インダクタ 136）は、シャントキャパシタ 242 の第 1 の端子と包絡線抵抗器 238（たとえば、図 1 の包絡線抵抗器 138）の第 1 の端子との間に結合される複数のボンドワイヤを含む。包絡線抵抗器 238 の第 2 の端子は、ボンドワイヤ 239 を介して包絡線キャパシタ 2

40

50

44 (たとえば、図1の包絡線キャパシタ144)の第1の端子に結合される。キャパシタ244の第2の端子は、フランジ206に(たとえば、グラウンドに)結合される(すなわち、キャパシタ244は、能動素子領域においてフランジ306上に据え付けられる)。

【0030】

包絡線抵抗器238は、たとえば、個別的な抵抗器、厚膜抵抗器、薄膜抵抗器、または別のタイプの抵抗器であってもよい。キャパシタ242、244、246は、たとえば、個別的なシリコンキャパシタ、個別的なセラミックキャパシタ、他の構造体と(たとえば、分離構造体と)一体的に形成されるキャパシタ、または他のタイプのキャパシタであってもよい。誘導素子234、236、240に対応するボンドワイヤは、キャパシタ242、244、246の上面において導電性頂板に付着される。

10

【0031】

図2に示す実施形態は、他の従来の半導体デバイスと比較すると良好な電気的性能を提供する。しかしながら、ローパス整合誘導素子240を含む結果として、上述のように、望ましくない損失および他の要素(たとえば、誘導素子232、234)との誘導結合が生じる場合があり、したがって、デバイス200の電気的性能が準最適(sub-optimal)になる場合がある。加えて、能動素子領域内にインピーダンス整合要素を実質的に全て含むことによって、能動素子(たとえば、トランジスタ)に割り当てることができる空間が低減するか、または能動素子領域が増大し、したがってパッケージサイズが増大するかのいずれかを容認することになる。図3~図11に関連して図示および記載する実施形態では、出力回路要素のうち少なくともいくつかは、能動素子領域の外部のロケーションに位置付けられ、したがって、能動素子領域内の能動素子をより大きくもしくはより多くすること、またはパッケージサイズをより小さくすることが可能になる。たとえば、図3~図11の実施形態では、包絡線キャパシタ(たとえば、図1の包絡線キャパシタ144)および包絡線抵抗器(たとえば、図1の包絡線抵抗器138)は、能動素子領域の外部、より具体的には分離構造体の上面上に位置付けられる。他のインピーダンス整合要素(たとえば、図1のローパス整合キャパシタ146および/または他の要素)も、同様に能動素子領域の外部に位置付けられてもよい。

20

【0032】

図3は、一例の実施形態に応じた、半導体デバイス300(たとえば、RFデバイス)の上面図である。たとえば、デバイス300の相互接続された電気的構成要素および要素は、図1の概略図によってモデリングされてもよい。理解を高めるために、図3は、図4および図5と関連して見られるべきである。図4および図5はそれぞれ、図3の半導体デバイスの線4-4および5-5に沿った側断面図である。より具体的には、図4は、入力および出力リード302、304および能動素子領域を通る断面図であり、図5は、分離構造体308の端部(すなわち、能動素子領域の外部の領域)を通る断面図である。図4および図5は、キャップ410をも示す。これは、空洞パッケージの実施形態において、デバイス300の内部構成要素を空洞412内にシールするために実装されてもよい。

30

【0033】

デバイス300は、入力リード302(たとえば、図1の入力リード102)と、出力リード304(たとえば、図1の出力リード104)と、フランジ306と、分離構造体308と、1以上のトランジスタ320(たとえば、図1のトランジスタ120)と、入力インピーダンス整合回路310(たとえば、図1の入力インピーダンス整合回路110)と、包絡線周波数終端回路349(たとえば、図1の包絡線周波数終端回路149)と、出力インピーダンス整合回路350(たとえば、図1の出力インピーダンス整合回路150)とを含み、それらの全てがともにデバイスの一部としてパッケージされてもよい。図3の例では、デバイス300は、基本的に並列に機能する3つのトランジスタ320を含むが、別の半導体デバイスはまた、1つもしくは2つのトランジスタまたは4つ以上のトランジスタを含んでもよい。加えて、デバイス300は、3つの入力キャパシタ314と、3つのシャントキャパシタ342と、2つの包絡線キャパシタ344と、複数のロー

40

50

パス整合キャパシタ 3 4 6 とを含み、同じタイプのキャパシタのセットは、同じく基本的に並列に機能する。より多いまたはより少ないキャパシタ 2 1 4、2 4 2、2 4 6 も実装されてもよいことを理解されたい。明瞭にするために、トランジスタ 2 2 0、入力キャパシタ 2 1 4、シャントキャパシタ 2 4 2、およびローパス整合キャパシタ 2 4 6 は各々、下記では単数形感覚 (singular sense) で参照され、他の後述する図面内の類似の構成要素も同様である。単数形感覚の特定のデバイス構成要素の記載は、全てのこのような構成要素のセットに当てはまることを理解されたい。一実施形態に応じて、対応する構成要素間に低周波数パスを提供するために、ジャンパーワイヤ 3 2 2 が、複数のトランジスタ 3 2 0、入力キャパシタ 3 1 4、およびシャントキャパシタ 3 4 2 の間に電氣的に結合されてもよい。

10

【0034】

一実施形態に応じて、デバイス 3 0 0 は、空洞パッケージ内に組み込まれ、トランジスタ 3 2 0 および様々なインピーダンス整合要素 3 1 2、3 1 4、3 1 6、3 3 2、3 3 4、3 4 0、3 4 2、および 3 4 4 は、密閉空洞内に位置する。加えて、インピーダンス整合要素 3 3 8、3 4 6 も、図 3 に示す実施形態における空洞内に位置するが、インピーダンス整合要素 3 3 8、3 4 6 のいずれかまたは両方は、代替の実施形態では空洞の外部に位置してもよい。基本的に、空洞は、フランジ 3 0 6、分離構造体 3 0 8、ならびに、分離構造体 3 0 8 およびリード 3 0 2、3 0 4 の上に重なって接しているキャップによって境界されている。キャップは図 3 には示されていないが、キャップの一例の周縁が破線のボックス 3 1 8 によって示されている。別の実施形態では、キャップは、包絡線キャパシタ 3 4 4 および包絡線抵抗器 3 3 8 が空洞内に含まれない (たとえば、誘導素子 3 3 6 はキャップと分離構造体 3 0 8 との間の開口を通じて延びる) ようなサイズにされてもよい。代替の実施形態では、デバイスは、オーバーモールドパッケージ (すなわち、少なくともトランジスタ 3 2 0 および能動素子領域内の他の電氣的構成要素が、非導電性成形コンパウンド内に包含され、リード 3 0 2、3 0 4 の部分、ならびに分離構造体 3 0 8 の全体または部分および能動素子領域の外部の要素も、成形コンパウンドによって包含され得る、パッケージ) 内に組み込まれてもよい。

20

【0035】

フランジ 3 0 6 は、剛性導電性基板を含み、これは、デバイス 3 0 0 の他の構成要素および要素に対する構造的な支持を提供するのに十分である厚さを有する。加えて、フランジ 3 0 6 は、トランジスタ 3 2 0 と、フランジ 3 0 6 上に据え付けられる他のデバイスとに対するヒートシンクとして機能してもよい。フランジ 3 0 6 は、上面および底面 (上面の中央部分のみが図 3 に見える) と、実質的に長方形の周縁とを有する。実質的に長方形の周縁は、デバイス 3 0 0 の周縁に (たとえば、後述する分離構造体 3 0 8 の周縁に) 対応する。フランジ 3 0 6 は、導電性材料から形成され、デバイス 3 0 0 に対するグランド基準を提供するために使用されてもよい。たとえば、様々な構成要素および要素は、フランジ 3 0 6 に電氣的に結合される端子を有してもよく、フランジ 3 0 6 は、デバイス 3 0 0 がより大きい電氣的システム内に組み込まれるときはシステムグランドに電氣的に結合されてもよい。

30

【0036】

分離構造体 3 0 8 は、フランジ 3 0 6 の上面に付着される。たとえば、分離構造体 3 0 8 は、その底面上に、フランジ 3 0 6 の上面にはんだ付けまたは他の状態で付着されてもよい、メタライゼーション 4 2 0 の層を含んでもよい。分離構造体 3 0 8 は、電氣的に絶縁性の剛性材料 (たとえば、約 3 . 0 ~ 1 0 . 0 の範囲内の絶縁定数を有する材料、ただし、より高いまたはより低い絶縁定数を有する材料が使用されてもよい) から形成され、上面および対向する底面を有する。たとえば、分離構造体 3 0 8 は、無機材料 (たとえば、酸化アルミニウム、窒化アルミニウムのようなセラミックなど) および / または有機材料 (たとえば、1 以上のポリマーまたは PCB 材料) から形成されてもよい。分離構造体 3 0 8 が PCB 材料を含む実施形態では (たとえば、分離構造体 3 0 8 は基本的に単層または多層 PCB を含む)、導電層 (たとえば、銅層) は、分離構造体 3 0 8 の上面および

40

50

底面上に含まれてもよい。さらなる実施形態では、分離構造体308の上面上の導電層は、デバイス300のリードフレームを形成するためにパターンングおよびエッチングされてもよく、分離構造体308の底面上の導電層はフランジ306に結合されてもよい。

【0037】

一実施形態では、分離構造体308はフレーム形状を有し、これは、中央開口を有する実質的に密閉された、四角形構造を含む。分離構造体308は、図3に示すように実質的に長方形の形状を有してもよく、または分離構造体308は別の形状（たとえば、円環、楕円など）を有してもよい。分離構造体308は、単一の一体構造として形成されてもよく、または分離構造体308は複数の部材の組み合わせとして形成されてもよい。たとえば、代替の実施形態では、分離構造体308は、互いに接する、または互いから空間的に分離される複数の部分を含んでもよい（たとえば、分離構造体308は、入力リード302をフランジ306から分離する1つの部分、および、出力リード304をフランジ306から分離する別の部分を有してもよい）。加えて、分離構造体308は、均質な材料から形成されてもよく、または分離構造体308は複数の層から形成されてもよい。入力および出力リード302、304は、中央開口の対向する両側上で分離構造体308の上面上に据え付けられ、したがって、入力および出力リード302、304は、フランジ306の上面の上に持ち上げられ、フランジ306から電氣的に分離される。たとえば、入力および出力リード302、304は、分離構造体308の上面上のメタライゼーション303、305にはんだ付けまたは他の様態で付着されてもよい。メタライゼーション303、305は、入力および出力リード302、304が結合される導電性パッドであるとみなされてもよい。一般的に、入力および出力リード302、304は、入力および出力リード302、304と、分離構造体308の中央開口内の構成要素および要素との間にボンドワイヤ（たとえば、ボンドワイヤ312、332、340）を付着させることを可能にするように方向付けられる。

10

20

【0038】

トランジスタ320と、入力および出力インピーダンス整合回路310、350の様々な要素314、342、346とは、分離構造体308内の開口を通じて露出されるフランジ306の上面の概して中央の部分上に据え付けられる。一実施形態に応じて、トランジスタ320は、インピーダンス整合要素314、342、346とともに、デバイス300の能動素子領域内に位置付けられる。

30

【0039】

トランジスタ320は、制御端子（たとえば、ゲート）および2つの導電端子（たとえば、ドレインおよびソース）を有する。トランジスタ320の制御端子は、入力インピーダンス整合回路310に（たとえば、入力キャパシタ314とトランジスタ320との間のボンドワイヤ316を介して）結合される。加えて、1つの導電端子（たとえば、ドレイン）は、出力インピーダンス整合回路350に（たとえば、トランジスタ320とキャパシタ342との間のボンドワイヤ334を介して）、および、出力リード304に（たとえば、トランジスタ320と出力リード304との間のボンドワイヤ332を介して）結合される。他方の導電端子（たとえば、ソース）は、一実施形態では、フランジ306に（たとえば、グランドに）結合される。

40

【0040】

入力インピーダンス整合回路310（たとえば、図1の入力インピーダンス整合回路110）は、入力リード302（たとえば、図1の入力リード102）と、トランジスタ320（たとえば、図1のトランジスタ120）の制御端子との間に結合される。図3のデバイス300において、入力インピーダンス整合回路310は、2つの誘導素子312、316（たとえば、図1の誘導素子112、116）およびキャパシタ314（たとえば、図1のキャパシタ114）を含む。図2の実施形態と同様に、各誘導素子312、316は、複数の平行な、近接して離間されたボンドワイヤのセットから形成される。たとえば、第1の誘導素子312（たとえば、図1の誘導素子112）は、入力リード302とキャパシタ314（たとえば、図1のキャパシタ114）の第1の端子との間に結合され

50

る複数のボンドワイヤを含み、第2の誘導素子316（たとえば、図1の誘導素子116）は、キャパシタ314の第1の端子とトランジスタ320の制御端子との間に結合される複数のボンドワイヤを含む。キャパシタ314の第2の端子は、フランジ306に（たとえば、グラウンドに）結合される。キャパシタ314は、たとえば、個別的なシリコンキャパシタ、個別的なセラミックキャパシタ、または別のタイプのキャパシタであってもよい。ボンドワイヤ312、316は、キャパシタ314の上面において導電性頂板に付着される。

【0041】

出力インピーダンス整合回路350（たとえば、図1の出力インピーダンス整合回路150）は、トランジスタ320（たとえば、図1のトランジスタ120）の第1の導電端子（たとえば、ドレイン）と出力リード304（たとえば、図1の出力リード104）との間に結合される。図3のデバイス300において、出力インピーダンス整合回路350は、3つの誘導素子332、334、340（たとえば、図1のインダクタ132、134、140）および2つのキャパシタ342、346（たとえば、図1のキャパシタ142、146）を含む。再び、各誘導素子332、334、340は、複数の平行な、近接して離間されたボンドワイヤのセットから形成される。

【0042】

たとえば、直列誘導素子332（たとえば、図1の直列インダクタ132）は、トランジスタ320の第1の導電端子（たとえば、ドレイン）と出力リード304との間に結合される複数のボンドワイヤを含む。シャント誘導素子334（たとえば、図1のシャントインダクタ134）は、トランジスタ320の第1の導電端子とシャントキャパシタ342（たとえば、図1のシャントキャパシタ142）の第1の端子との間に結合される複数のボンドワイヤを含む。ローパス整合誘導素子340（たとえば、図1のローパス整合インダクタ140）は、出力リード304とローパス整合キャパシタ346（たとえば、図1のローパス整合キャパシタ146）の第1の端子との間に結合される。キャパシタ342、346の第2の端子は、フランジ306に（たとえば、グラウンドに）結合される（すなわち、キャパシタ342、346は能動素子領域においてフランジ306上に据え付けられる）。キャパシタ342、346は、たとえば、個別的なシリコンキャパシタ、個別的なセラミックキャパシタ、または他のタイプのキャパシタであってもよい。加えて、キャパシタ342、346は、互いから明確に異なってもよく、または統合された個別的なデバイス（たとえば、図3に示すような）として形成されてもよい。誘導素子334、340に対応するボンドワイヤは、キャパシタ342、346の上面において導電性頂板に付着される。図4を参照すると、ボンドワイヤ332と334との間の誘導結合がボンドワイヤ332、334の両方のセットの下にある領域440に関係する（たとえば、領域440が大きくなるほど、誘導結合も高くなる、およびその逆）ことが特徴的である。その領域440を低減するために、ボンドワイヤ332がボンドワイヤ340の上で妥当な距離にあることを依然として保証しながら、ボンドワイヤ332が可能な限り小さいことが望ましい。基本的に、ボンドワイヤ340の高さがボンドワイヤ332の高さを決定する。

【0043】

図2に示す実施形態とは対照的に、包絡線周波数終端回路349の要素（すなわち、包絡線抵抗器338および包絡線キャパシタ344）は、能動素子領域内に位置するのではなく、分離構造体308の中または上に位置する。言い換えれば、包絡線抵抗器338および包絡線キャパシタ344は、能動素子領域内でフランジ306上に据え付けられる代わりに、能動素子領域の外部に位置し、追加の導電性特徴部を通じて出力インピーダンス整合回路250の残りの部分と電氣的に結合される。より具体的には、リード302、304は、四角形分離構造体308の2つの対向する部分（または辺）に結合される、示す実施形態では、包絡線抵抗器338および包絡線キャパシタ344は、分離構造体308の2つの他の対向する部分（または辺）の中または上に位置する（たとえば、包絡線抵抗器338および包絡線キャパシタ344は、分離構造体308の、リード302、304

10

20

30

40

50

が結合される部分以外の部分上に位置する)。言い換えれば、リード302、304が結合される2つのリード支持部分(または辺)、および、リード302、304が結合されない2つの非リード支持部分(または辺)(たとえば、リード支持部分、または分離構造体308のリード302、304を支持しない他の部分の間にわたる辺)を分離構造体308が有するとみなされるとき、包絡線抵抗器338および包絡線キャパシタ344は、2つの非リード支持部分の中または上に位置する。代替の実施形態では、包絡線抵抗器338および/または包絡線キャパシタ344のいずれかまたは両方は、分離構造体308のリード支持部分の中または上に位置してもよい。他の代替の実施形態では、単一の包絡線抵抗器338および/または包絡線キャパシタ344のみが含まれてもよい。

【0044】

たとえば、一実施形態では、デバイス300は、分離構造体308の上面上の導電性パッド337をも含み、導電性パッド337は、包絡線抵抗器338と包絡線誘導素子336との間の電気接続を提供する。より詳細には、一実施形態に応じて、包絡線誘導素子336(たとえば、図1の包絡線インダクタ136)は、キャパシタ342の第1の端子(またはキャパシタ342の上面にある導電性頂板)と導電性パッド337との間に結合される。デバイス300のRF冷点348(たとえば、図1のノード148に対応する)は、キャパシタ342の第1の端子に位置する。包絡線抵抗器338(たとえば、図1の包絡線抵抗器138)の第1の端子も導電性パッド337に付着され、したがって、包絡線誘導素子336と抵抗器338との間に導電性パッド337を通じて電気接続が確立される。包絡線抵抗器338の第2の端子は、包絡線キャパシタ344(たとえば、図1の包絡線キャパシタ144)の第1の端子に結合される。様々な実施形態に応じて、抵抗器338は、厚膜または薄膜抵抗器である。

【0045】

包絡線キャパシタ344は、様々な実施形態において、たとえば、多層キャパシタ(たとえば、キャパシタの上部上の第1の端子(またはプレート)に結合される複数の第1のプレート、および、キャパシタの底部上の第2の端子(またはプレート)に結合される複数の第2のプレートを有するキャパシタ、第1のプレートおよび第2のプレートは互いに噛み合い、またはインターリーブされる)であってもよい。たとえば、一実施形態では、包絡線キャパシタ344は、分離構造体308と一体的に形成されてもよい(たとえば、分離構造体308の、少なくとも、包絡線キャパシタ344が位置する部分は、多層構造であってもよく、分離構造体308の交互になった導電層および絶縁体層が包絡線キャパシタ344を形成する)。包絡線キャパシタ344の最上部導電層は、包絡線抵抗器338の第2の端子に結合される。包絡線キャパシタ344の最下部導電層は、フランジ306に結合される。たとえば、最下部導電層は、キャパシタ344の最下部導電層と分離構造体308の底面との間に延びる1以上の導電性ビア345(実際は隠れているが、明瞭にするために図3に示されている)を通じてフランジ306に結合されてもよい。より具体的には、包絡線キャパシタ344の第2の端子は、分離構造体306内でビア345の第1の端部に結合されてもよく、分離構造体306の底面にあるビア345の第2の端部は、フランジ306に(たとえば、図4のメタライゼーション420を通じて)結合される。したがって、ビア345は、包絡線キャパシタ344とフランジ306(たとえば、グランド)との間の電気接続を提供する。代替の実施形態では、ビア345は、分離構造体308の周縁端部に沿って包絡線キャパシタ344の最下層と分離構造体308の底面との間に延びる、端部めっきまたはキャストレーション(castellations)に置き換わってもよく、端部めっきまたはキャストレーションは、包絡線キャパシタ344とフランジ306との間の電気接続を提供する。そのようなビア345、端部めっきおよびキャストレーションは、一般的に本明細書において、分離構造体の中または上の「導電性構造体」と称される場合があり、これは、包絡線キャパシタ344をフランジ306の導電面に電氣的に結合する。分離構造体308の厚さが包絡線キャパシタ344の厚さに実質的に等しい別の代替の実施形態では、ビア345(または他の導電性構造体)は、包絡線キャパシタ344の最下層が分離構造体308の底面と実質的に同一平面上にある

10

20

30

40

50

場合があるため、なくてもよい。

【 0 0 4 6 】

図 3 の実施形態の利点は、包絡線周波数終端回路 3 4 9 (具体的には包絡線抵抗器 3 3 8 および包絡線キャパシタ 3 4 4) と関連付けられる個別的な構成要素が能動素子領域内に位置していないことである。代わりに、これらの要素は、能動素子領域の外部に (具体的には分離構造体 3 0 8 の中または上に) 位置している。したがって、能動素子領域内の能動素子にとってより多くの空間が利用可能であり、かつ / または能動素子領域 (および、したがってデバイス 3 0 0) は、図 2 のデバイス 2 0 0 と比較するとより小さいサイズを有してもよい。代替の実施形態では、入力インピーダンス整合回路 3 1 0 の部分 (たとえば、入力キャパシタ 3 1 4) が分離構造体 3 0 8 上に位置してもよく、かつ / または出力インピーダンス整合回路 3 5 0 の部分が分離構造体 3 0 8 上に位置してもよい。また他の実施形態では、包絡線キャパシタ 3 4 4 (たとえば、図 1 の包絡線キャパシタ 1 4 4) および / または包絡線抵抗器 3 3 8 (たとえば、図 1 の包絡線抵抗器 1 3 8) は、異なって構成される構成要素を使用して実装されてもよい。

10

【 0 0 4 7 】

たとえば、図 6 は、別の例示的な実施形態に応じた半導体デバイス 6 0 0 の上面図である。図 6 のデバイス 6 0 0 も、入力リード 6 0 2 (たとえば、図 1 の入力リード 1 0 2) と、出力リード 6 0 4 (たとえば、図 1 の出力リード 1 0 4) と、フランジ 6 0 6 と、分離構造体 6 0 8 と、1 以上のトランジスタ 6 2 0 (たとえば、図 1 のトランジスタ 1 2 0) と、入力インピーダンス整合回路 6 1 0 (たとえば、図 1 の入力インピーダンス整合回路 1 1 0) と、包絡線周波数終端回路 6 4 9 (たとえば、図 1 の包絡線周波数終端回路 1 4 9) と、出力インピーダンス整合回路 6 5 0 (たとえば、図 1 の出力インピーダンス整合回路 1 5 0) とを含み、それらの全てがともにデバイスの一部としてパッケージされてもよいという点で、図 6 のデバイス 6 0 0 は、図 3 のデバイス 3 0 0 と同様である。入力インピーダンス整合回路 6 1 0 は、2 つの誘導素子 6 1 2、6 1 6 (たとえば、図 1 の誘導素子 1 1 2、1 1 6) およびキャパシタ 6 1 4 (たとえば、図 1 のキャパシタ 1 1 4) を含む。出力インピーダンス整合回路 6 5 0 は、3 つの誘導素子 6 3 2、6 3 4、6 4 0 (たとえば、図 1 のインダクタ 1 3 2、1 3 4、1 4 0) および 2 つのキャパシタ 6 4 2、6 4 6 (たとえば、図 1 のキャパシタ 1 4 2、1 4 6) を含む。包絡線周波数終端回路 6 4 9 は、誘導素子 6 3 6 (たとえば、図 1 の誘導素子 1 3 6) と、抵抗器 6 3 8 (たとえば、図 1 の抵抗器 1 3 8) と、キャパシタ 6 4 4 (たとえば、図 1 のキャパシタ 1 4 4) とを含む。トランジスタ 6 2 0 ならびに入力および出力インピーダンス整合回路 6 1 0、6 5 0 の様々な要素 6 1 4、6 4 2、6 4 6 は、デバイス 6 0 0 の能動素子領域内のフランジ 6 0 6 上に位置する。さらに、デバイス 6 0 0 は、破線のボックス 6 1 8 によって示される例示的な周縁を有するキャップ (図示せず) を有する空洞パッケージ内に組み込まれてもよい。別の実施形態では、キャップは、包絡線キャパシタ 6 4 4 および包絡線抵抗器 6 3 8 が空洞内に含まれない (たとえば、誘導素子 6 3 6 はキャップと分離構造体 6 0 8 との間の開口を通じて延びる) ようなサイズにされてもよい。他の代替の実施形態では、デバイス 6 0 0 はオーバーモールドパッケージ内に組み込まれてもよい。

20

30

【 0 0 4 8 】

図 3 に示す実施形態と同様に、包絡線周波数終端回路 6 4 9 の要素 (すなわち、包絡線抵抗器 6 3 8 および包絡線キャパシタ 6 4 4) は、能動素子領域内に位置するのではなく、分離構造体 6 0 8 の中または上 (たとえば、分離構造体 6 0 8 の上面上) に位置する。しかしながら、包絡線キャパシタ 6 4 4 が、図 3 のデバイス 3 0 0 のように分離構造体 3 0 8 に組み込まれる多層キャパシタ 3 4 4 としてではなく、キャパシタ 6 4 4 の対向する端部に端子を有する表面実装ディスクリットキャパシタ (または「チップキャパシタ」) として実装される点で、図 6 のデバイス 6 0 0 は、図 3 のデバイス 3 0 0 とは異なっている。包絡線キャパシタ 6 4 4 は、分離構造体 6 0 8 の上面に結合 (たとえば、接合、はんだ付け、および / または接着) される。包絡線抵抗器 6 3 8 は、たとえば、厚膜または薄膜抵抗器であつてもよい。加えて、一実施形態に応じて、デバイス 6 0 0 は、包絡線誘

40

50

導素子 636 (たとえば、図 1 の包絡線インダクタ 136)、包絡線抵抗器 638 (たとえば、図 1 の包絡線抵抗器 138)、および包絡線キャパシタ 644 (たとえば、図 1 の包絡線キャパシタ 144) が結合される、異なる構成の導電性パッド 637、639、641 を有する。導電性パッド 637、639、641 は各々、分離構造体 608 の上面上に位置する。導電性パッド 637 は、包絡線誘導素子 636 と包絡線抵抗器 638 との間の電気接続を提供する。導電性パッド 639 は、包絡線抵抗器 638 と包絡線キャパシタ 644 との間の電気接続を提供する。最後に、導電性パッド 641 および導電性ビア 645 (ならびに場合によってはフランジ 608 の底面上のメタライゼーション) は、包絡線キャパシタ 644 とフランジ 606 との間の電気接続を提供する。

【0049】

より詳細には、一実施形態に応じて、包絡線誘導素子 636 は、キャパシタ 642 の第 1 の端子と導電性パッド 637 との間に結合される。包絡線抵抗器 638 の第 1 の端子も導電性パッド 637 に結合され、したがって、包絡線誘導素子 636 と包絡線抵抗器 638 との間に導電性パッド 637 を通じて電気接続が確立される。包絡線抵抗器 638 の第 2 の端子は、導電性パッド 639 に結合される。包絡線キャパシタ 644 の第 1 の端子も導電性パッド 639 に結合され、したがって、包絡線抵抗器 638 と包絡線キャパシタ 644 との間に導電性パッド 639 を通じて電気接続が確立される。包絡線キャパシタ 644 の第 2 の端子は、導電性パッド 641 に結合される。加えて、導電性パッド 641 (および、したがって包絡線キャパシタ 644) は、分離構造体 608 の上面と底面との間に延びる 1 以上の導電性ビア 645 (実際は隠れているが、明瞭にするために図 6 に示されている) を通じて、フランジ 606 に電氣的に結合される。より具体的には、導電性パッド 641 は、分離構造体 606 の上面にあるビア 645 の第 1 の端部に結合され、分離構造体 606 の底面にあるビア 645 の第 2 の端部はフランジ 606 に (たとえば、図 4 のメタライゼーション 420 を通じて) 結合される。したがって、導電性パッド 641 およびビア 645 は包絡線キャパシタ 644 とフランジ 606 (たとえば、グランド) との間の電気接続を確立する。代替の実施形態では、ビア 645 は、分離構造体 608 の周縁端部に沿って分離構造体 608 の上面と底面との間に延びる、端部めっきまたはキャストレーションに置き換わってもよく、端部めっきまたはキャストレーションは、導電性パッド 641 とフランジ 606 との間の電気接続を提供する。

【0050】

図 7 は、さらに別の例示的な実施形態に応じた半導体デバイス 700 の上面図である。図 7 のデバイス 700 も、入力リード 702 (たとえば、図 1 の入力リード 102) と、出力リード 704 (たとえば、図 1 の出力リード 104) と、フランジ 706 と、分離構造体 708 と、1 以上のトランジスタ 720 (たとえば、図 1 のトランジスタ 120) と、入力インピーダンス整合回路 710 (たとえば、図 1 の入力インピーダンス整合回路 110) と、包絡線周波数終端回路 749 (たとえば、図 1 の包絡線周波数終端回路 149) と、出力インピーダンス整合回路 750 (たとえば、図 1 の出力インピーダンス整合回路 150) とを含み、それらの全てがともにデバイスの一部としてパッケージされてもよいという点で、図 7 のデバイス 700 は、図 3 および図 6 のデバイス 300、600 と同様である。入力インピーダンス整合回路 710 は、2 つの誘導素子 712、716 (たとえば、図 1 の誘導素子 112、116) およびキャパシタ 714 (たとえば、図 1 のキャパシタ 114) を含む。出力インピーダンス整合回路 750 は、3 つの誘導素子 732、734、740 (たとえば、図 1 のインダクタ 132、134、140) および 2 つのキャパシタ 742、746 (たとえば、図 1 のキャパシタ 142、146) を含む。包絡線周波数終端回路 749 は、誘導素子 736 (たとえば、図 1 の誘導素子 136) と、抵抗器 738 (たとえば、図 1 の抵抗器 138) と、キャパシタ 744 (たとえば、図 1 のキャパシタ 144) とを含む。トランジスタ 720 および入力および出力インピーダンス整合回路 710、750 の様々な要素 714、742、746 は、デバイス 700 の能動素子領域内のフランジ 706 上に位置する。さらに、デバイス 700 は、破線のボックス 718 によって示される例示的な周縁を有するキャップ (図示せず) を有する空洞パッケー

10

20

30

40

50

ジ内に組み込まれてもよい。別の実施形態では、キャップは、包絡線キャパシタ744および包絡線抵抗器738が空洞内に含まれない(たとえば、誘導素子736はキャップと分離構造体708との間の開口を通じて延びる)ようなサイズにされてもよい。他の代替の実施形態では、デバイス700は、オーバーモールドパッケージ内に組み込まれてもよい。

【0051】

図3および図6に示す実施形態と同様に、包絡線周波数終端回路749の要素(たとえば、包絡線抵抗器738および包絡線キャパシタ744)は、能動素子領域内に位置するのではなく、分離構造体708上(たとえば、分離構造体708の上面上)に位置する。しかしながら、図7のデバイス700は、包絡線抵抗器738および包絡線キャパシタ744の両方が、分離構造体708の上面に結合(たとえば、接合、はんだ付け、および/または接着)される、対向する端部上に端子を有する表面実装ディスクリットデバイス(たとえば、チップキャパシタおよびディスクリット抵抗器)として実装される点で、図3および図6のデバイス300、600とは異なっている。加えて、一実施形態に応じて、デバイス700は、包絡線誘導素子736(たとえば、図1の包絡線インダクタ136)、包絡線抵抗器738(たとえば、図1の包絡線抵抗器138)、および包絡線キャパシタ744(たとえば、図1の包絡線キャパシタ144)が結合される、異なる構成の導電性パッド737、739、741を有する。導電性パッド737、739、741は各々、分離構造体708の上面上に位置する。導電性パッド737は、包絡線誘導素子736と包絡線抵抗器738の第1の端子との間の電気接続を提供する。導電性パッド739は、包絡線抵抗器738の第2の端子と包絡線キャパシタ744との間の電気接続を提供する。最後に、導電性パッド741および導電性ビア745(ならびに場合によってはフランジ708の底面上のメタライゼーション)は、包絡線キャパシタ744とフランジ706との間の電気接続を提供する。

10

20

【0052】

より詳細には、一実施形態に応じて、包絡線誘導素子736はキャパシタ742の第1の端子と導電性パッド737との間に結合される。包絡線抵抗器738の第1の端子も導電性パッド737に結合され、したがって、包絡線誘導素子736と包絡線抵抗器738との間に導電性パッド737を通じて電気接続が確立される。包絡線抵抗器738の第2の端子は導電性パッド739に結合される。包絡線キャパシタ744の第1の端子も導電性パッド739に結合され、したがって、包絡線抵抗器738と包絡線キャパシタ744との間に導電性パッド739を通じて電気接続が確立される。包絡線キャパシタ744の第2の端子は導電性パッド741に結合される。加えて、導電性パッド741(および、したがって包絡線キャパシタ744)は、分離構造体708の上面と底面との間に延びる1以上の導電性ビア745(実際は隠れているが、明瞭にするために図7に示されている)を通じてフランジ706に電氣的に結合される。より具体的には、導電性パッド741は、分離構造体708の上面にあるビア745の第1の端部に結合され、分離構造体706の底面にあるビア745の第2の端部はフランジ706に(たとえば、図4のメタライゼーション420を通じて)結合される。したがって、導電性パッド741およびビア745は包絡線キャパシタ744とフランジ706(たとえば、グランド)との間の電気接続を確立する。代替の実施形態では、ビア745は、分離構造体708の周縁端部に沿って分離構造体708の上面と底面との間に延びる、端部めっきまたはキャストレーションに置き換わってもよく、端部めっきまたはキャストレーションは導電性パッド741とフランジ706との間の電気接続を提供する。

30

40

【0053】

前述のように、包絡線周波数終端回路(たとえば、図1の包絡線周波数終端回路149)の要素が能動素子領域の外部に位置付けられるのに加えて、入力および/または出力インピーダンス整合回路(たとえば、図1のインピーダンス整合回路110、150)の要素は、能動素子領域の外部に位置付けられてもよい。たとえば、図8は、さらに別の例示的な実施形態に応じた半導体デバイス800の上面図である。図8の実施形態では、包絡

50

線周波数終端回路 849 の要素に加えて、出力インピーダンス整合回路 850 の要素（すなわち、ローパス整合キャパシタ 846）が能動素子領域の外部に位置付けられる。代替の実施形態では、包絡線周波数終端回路 849 の要素のいくつかまたは全てが能動素子領域内に位置付けられてもよく、一方で入力および / または出力インピーダンス整合回路 810、850 の要素が能動素子領域の外部に位置付けられてもよい。説明の便宜上、図 8 のデバイス 800 は図 7 のデバイスと比較されるが、図 8 のデバイス 800 は他の前述の実施形態との類似性をも有してもよいことは理解されたい。

【0054】

図 8 のデバイス 800 も、入力リード 802（たとえば、図 1 の入力リード 102）と、出力リード 804（たとえば、図 1 の出力リード 104）と、フランジ 806 と、分離構造体 808 と、1 以上のトランジスタ 820（たとえば、図 1 のトランジスタ 120）と、入力インピーダンス整合回路 810（たとえば、図 1 の入力インピーダンス整合回路 110）と、包絡線周波数終端回路 849（たとえば、図 1 の包絡線周波数終端回路 149）と、出力インピーダンス整合回路 850（たとえば、図 1 の出力インピーダンス整合回路 150）とを含み、それらの全てがともにデバイスの一部としてパッケージされてもよいという点で、図 8 のデバイス 800 は、図 7 のデバイス 700 と同様である。入力インピーダンス整合回路 810 は、2 つの誘導素子 812、816（たとえば、図 1 の誘導素子 112、116）およびキャパシタ 814（たとえば、図 1 のキャパシタ 114）を含む。図 7 のデバイス 700 とは対照的に、また下記により詳細に説明する理由から、出力インピーダンス整合回路 850 は 2 つのみ（3 つではなく）の誘導素子 832、834（たとえば、図 1 のインダクタ 132、134）および 2 つのキャパシタ 842、846（たとえば、図 1 のキャパシタ 142、146）を含む。包絡線周波数終端回路 849 は、誘導素子 836（たとえば、図 1 の誘導素子 136）と、抵抗器 838（たとえば、図 1 の抵抗器 138）と、キャパシタ 844（たとえば、図 1 のキャパシタ 144）とを含む。トランジスタ 820 ならびに入力および出力インピーダンス整合回路 810、850 の様々な要素 814、842 は、デバイス 800 の能動素子領域内のフランジ 806 上に位置する。さらに、デバイス 800 は、破線のボックス 818 によって示される例示的な周縁を有するキャップ（図示せず）を有する空洞パッケージ内に組み込まれてもよい。別の実施形態では、キャップは、包絡線キャパシタ 844、包絡線抵抗器 838、および / またはローパス整合キャパシタ 846 が空洞内に含まれないようなサイズにされてもよい。他の代替の実施形態では、デバイス 800 はオーバーモールドパッケージ内に組み込まれてもよい。

【0055】

同じく図 7 に示す実施形態と同様に、包絡線周波数終端回路 849 の要素（たとえば、包絡線抵抗器 838 および包絡線キャパシタ 844）は、能動素子領域内に位置するのではなく、分離構造体 808 上（たとえば、分離構造体 808 の上面上）に位置する。加えて、デバイス 800 は、図 7 に関連して前述したように、包絡線誘導素子 836（たとえば、図 1 の包絡線インダクタ 136）、包絡線抵抗器 838（たとえば、図 1 の包絡線抵抗器 138）、および包絡線キャパシタ 844（たとえば、図 1 の包絡線キャパシタ 144）が結合される、導電性パッド 837、839、841 およびビア 845 の構成を含む。図 8 は、包絡線抵抗器 838 および包絡線キャパシタ 844 の両方が、対向する端部に端子を有する表面実装ディスクリットデバイスとして実装される実施形態に対応するが、包絡線抵抗器 838 および包絡線キャパシタ 844 はまた、異なる構成を有してもよい。たとえば、包絡線抵抗器 838 は、（たとえば、図 3 および図 6 の実施形態のように）薄膜または厚膜抵抗器として実装されてもよく、かつ / または包絡線キャパシタ 844 は、（たとえば、図 3 の実施形態のように）分離構造体 808 と一体化される多層キャパシタとして実装されてもよい。

【0056】

図 7 の実施形態とは対照的に、出力インピーダンス整合回路 850 の要素（すなわち、ローパス整合キャパシタ 846）は能動素子領域の外部に位置付けられる。図 8 に示すよ

10

20

30

40

50

うに、ローパス整合キャパシタ 846 は、分離構造体 808 の上面に結合（たとえば、接合、はんだ付け、および/または接着）されるディスクリットキャパシタであってもよい。代替的に、ローパス整合キャパシタ 846 は、（たとえば、図 3 の包絡線キャパシタ 344 と同様に）分離構造体 808 と一体化される多層キャパシタとして実装されてもよい。ローパス整合キャパシタ 846 がディスクリットキャパシタである実施形態（たとえば、図 8 の実施形態）では、出力リード 804 が付着されるメタライゼーション 805 は、ローパス整合キャパシタ 846 の第 1 の端子がメタライゼーション 805 に結合されることができるよう構成され、それによって、メタライゼーション 805 は、出力リード 804 とローパス整合キャパシタ 846 との間の電気接続を確立する。メタライゼーション 805 は、出力リード 804 およびキャパシタ 846 が結合される導電性パッドであるとみなされてもよい。メタライゼーション 805 によって提供される電気接続は、図 7 における誘導素子 740（たとえば、図 4 の誘導素子 140）によって提供される電気接続に取って代わる。したがって、図 8 の実施形態では、ローパス整合インダクタ（たとえば、図 4 の誘導素子 140）は出力インピーダンス整合回路 850（たとえば、図 1 の出力インピーダンス整合回路 150）からなくなってもよい。ローパス整合インダクタをなくすることは、その出力インピーダンス整合回路に対する効果が補償される必要がなく、ローパス整合インダクタとシステム内の他のインダクタ（たとえば、図 1 の直列インダクタ 132）との間の誘導結合の問題がなくなるという点で有利である。加えて、図 8 の実施形態では、そうでない場合にローパス整合誘導素子（たとえば、図 1 のローパス整合インダクタ 140）を含むことに起因して受ける可能性がある、出力回路内の望ましくない損失がなくなる。さらに、出力インピーダンス整合回路 850 によって達成可能なインピーダンス変換は、ローパス整合誘導素子を含む回路内で達成可能なインピーダンス変換よりも良好であり得る。

10

20

30

40

50

【0057】

加えて、デバイス 800 は、ローパス整合キャパシタ 846 の第 2 の端子が結合される追加の導電性パッド 847 を有する。そして、導電性パッド 847 は、分離構造体 808 の上面と底面との間に延びる 1 以上の導電性ビア 849（実際は隠れているが、明瞭にするために図 8 に示されている）を通じてフランジ 806 に電氣的に結合される。したがって、導電性パッド 847 および導電性ビア 849（ならびに場合によってはフランジ 808 の底面上のメタライゼーション）は、ローパス整合キャパシタ 846 とフランジ 806 との間の電気接続を提供する。代替の実施形態では、ビア 849 は、分離構造体 808 の周縁端部に沿って分離構造体 808 の上面と底面との間に延びる、端部めっきまたはキャストレーションに置き換わってもよく、端部めっきまたはキャストレーションは導電性パッド 847 とフランジ 806 との間の電気接続を提供する。

【0058】

前述および図示の実施形態の各々は、2 リードデバイス（たとえば、図 1 の入力リード 104 および出力リード 106 を有するデバイス）に対応する。そのようなデバイスは、デバイスを PCB に物理的に結合し、入力リードを信号源に電氣的に結合し、出力リードを負荷に電氣的に結合することによって、より大きい電氣的システム内に組み込まれてもよい。PCB は、近位端部が出力リードおよび/または入力リードに対する PCB 接続（複数の場合もあり）に近接して位置する（たとえば、各々がラムダ/4 の長さまたは何らかの他の長さを有する）1 以上のバイアスフィードをさらに含んでもよい。各バイアスリードの遠位端部にある阻止キャパシタは、バイアスリードを通じて変換されるときに開回路として現れる、所与の RF 周波数における短絡をもたらす場合がある。

【0059】

他の実施形態は、デバイスの一体部分として形成されるバイアスリード、および、バイアスリードをインピーダンス整合ネットワーク（複数の場合もあり）と結合した追加の導電性特徴部を有するデバイスを含む。たとえば、別の実施形態は、2 つのバイアスリード（たとえば、図 9 のバイアスリード 937）が出力インピーダンス整合回路（たとえば、図 1 の出力インピーダンス整合回路 150）に結合される 4 リードデバイス（たとえば、

図9のデバイス900)を含む。別の実施形態(図示せず)は、2つのバイアスリードが入力インピーダンス整合回路(たとえば、図1の入力インピーダンス整合回路110)に結合される4リードデバイスを含んでもよい。また別の実施形態(図示せず)は、2つのバイアスリードが出力インピーダンス整合回路に結合され、2つのバイアスリードが入力インピーダンス整合回路に結合される、6リードデバイスを含む。また他の実施形態では、単一のバイアスリードのみが入力および/または出力インピーダンス整合回路に結合されてもよい(たとえば、特にデュアルパスおよびマルチパスデバイスにおけるような、3つ以上のRFリードがある実施形態について)。

【0060】

加えて、前述の実施形態のいくつかは、分離構造体(たとえば、図3および図6~図8の分離構造体308、608、708、808)上に位置する(かつ/または分離構造と一体化される)特定の出カインピーダンス整合回路要素を含む。説明したように、分離構造体は無機(たとえば、セラミック)または有機(たとえば、PCB材料を使用して実装される)であってもよい。分離構造体が適切な絶縁定数を有する材料(たとえば、約3.0~約10.0の範囲内であるが、より高いまたはより低い絶縁定数を有する材料が使用されてもよい)を含む或る実施形態に応じて、ローパス整合キャパシタ(たとえば、図1~図3および図6~図8のローパス整合キャパシタ146、246、346、646、746、846)は、図9~図11に関連してより詳細に説明されるように、出力リードの下の分布容量(*distributed capacitance*)と置き換わってもよい。このローパス整合キャパシタの、出力リードの下の分布容量への置き換えは、前述の実施形態のいずれかに適用されてもよい。

【0061】

たとえば、図9は、さらに別の例示的な実施形態に応じた4リード半導体デバイス900の上面図である。理解を高めるために、図9は、図9の半導体デバイスの線10-10に沿った側断面図である、図10と関連して見られるべきである。より具体的には、図10は、入力および出力リード902、904および能動素子領域を通る断面図である。図10はキャップ1010をも示し、これは、空洞パッケージの実施形態において実装されてもよく、デバイス900の内部構成要素を空洞1012内にシールするように構成される。前述の実施形態とは対照的に、デバイス900は、下記により詳細に説明するような、2つの追加のバイアスリード937および(図2、図3、および図6~図8のローパス整合キャパシタ246、346、646、746、846のようなディスクリートローパス整合キャパシタではなく)出力リード904の下の分布ローパス容量946を含む。説明の便宜上、図9のデバイス900は図7のデバイスと比較されるが、図9のデバイス900は他の前述の実施形態との類似性をも有してもよいことは理解されたい。

【0062】

図9のデバイス900も、入力リード902(たとえば、図1の入力リード102)と、出力リード904(たとえば、図1の出力リード104)と、フランジ906と、分離構造体908と、1以上のトランジスタ920(たとえば、図1のトランジスタ120)と、入力インピーダンス整合回路910(たとえば、図1の入力インピーダンス整合回路110)と、包絡線周波数終端回路949(たとえば、図1の包絡線周波数終端回路149)と、出力インピーダンス整合回路950(たとえば、図1の出力インピーダンス整合回路150)とを含み、それらの全てがともにデバイスの一部としてパッケージされてもよいという点で、図9のデバイス900は図7のデバイス700と同様である。入力インピーダンス整合回路910は、2つの誘導素子912、916(たとえば、図1の誘導素子112、116)およびキャパシタ914(たとえば、図1のキャパシタ114)を含む。出力インピーダンス整合回路950は、誘導素子932、934(たとえば、図1のインダクタ132、134)および2つのキャパシタ942、946(たとえば、図1のキャパシタ142、146)を含む。包絡線周波数終端回路949は、誘導素子935、936(たとえば、図1の誘導素子136)と、抵抗器938(たとえば、図1の抵抗器138)と、キャパシタ944(たとえば、図1のキャパシタ144)とを含む。

【 0 0 6 3 】

ともに包絡線インダクタ（たとえば、図 1 の包絡線インダクタ 1 3 6）を形成する誘導素子 9 3 5 および 9 3 6 は、シャントキャパシタ 9 4 2 と包絡線抵抗器 9 3 8 との間に直列に結合され、基本的に誘導素子 7 3 6 に置き換わる。誘導素子 9 3 5 および 9 3 6 は誘導素子 7 3 6 と機能的に類似であってもよい（たとえば、インダクタンスの範囲は同様である）が、それらの物理的な実施態様は異なる。より詳細には、誘導素子 9 3 6 は、誘導素子 7 3 6 の事例のように一連のボンドワイヤとして実装されるのではなく、分離構造体 9 0 8 の上面上のメタライゼーションを含む。誘導素子 9 3 6 を形成するメタライゼーションの第 1 の部分（本明細書において誘導素子 9 3 6 の「バー部分（bar portion）」と称する）は、分離構造体 9 0 8 の、出力リード 9 0 4 の端部を越えて能動素子領域に向かって伸びる部分に位置する。より詳細には、誘導素子 9 3 6 のバー部分は、出力リード 9 0 4 の端部の近傍に、当該端部と並行して伸び、誘導素子 9 3 6 のバー部分は、出力リード 9 0 4 から電氣的に絶縁される。誘導素子 9 3 6 のバー部分の長さ（図 9 における水平寸法）は、一実施形態では、出力リード 9 0 4 の端部の長さよりも長い。誘導素子 9 3 6 を形成するメタライゼーションの第 2 の部分（本明細書において誘導素子 9 3 6 の「導電性パッド部分」と称する）は、バー部分の対向する両端に位置し、包絡線抵抗器 9 3 8 およびバイアスリード 9 3 7 との電気接続を容易にするような形状にされる。誘導素子 9 3 5（すなわち、複数のボンドワイヤから形成される）は、シャントキャパシタ 9 4 2 と誘導素子 9 3 6 のバー部分との間に電氣的に結合される。したがって、誘導素子 9 3 5 および 9 3 6 は、シャントキャパシタ 9 4 2 と包絡線抵抗器 9 3 8 との間の直列結合インダクタのセットを表す。

【 0 0 6 4 】

一実施形態に応じて、誘導素子 9 3 5、9 3 6 は、デバイス 9 0 0 の RF 冷点（RF cold point、たとえば、図 1 のノード 1 4 8）に対応する。バイアスリード 9 3 7 の近位端部は、誘導素子 9 3 6 の導電性パッド部分の各々に結合される。バイアスリード 9 3 7 は、パッケージされるとデバイス 9 0 0 から伸び、それによって、それらの遠位端部が露出され、バイアス電圧を受け取るためにより大きいシステムの PCB に結合されてもよい。したがって、バイアスリード 9 3 7 を含むことによって、PCB 自体の上のバイアスリードの必要がなくなる。一実施形態に応じて、各バイアスリード 9 3 7 は、ラムダ / 4 に対応する長さを有するが、各バイアスリード 9 3 7 はまた、異なる長さを有してもよい。

【 0 0 6 5 】

図 7 に示すデバイス 7 0 0 と同様に、トランジスタ 9 2 0 ならびに入力および出力インピーダンス整合回路 9 1 0、9 5 0 の様々な要素 9 1 4、9 4 2 は、デバイス 9 0 0 の能動素子領域内のフランジ 9 0 6 上に位置する。さらに、デバイス 9 0 0 は、破線のボックス 9 1 8 によって示される例示的な周縁を有するキャップ（図示せず）を有する空洞パッケージ内に組み込まれてもよい。別の実施形態では、キャップは、包絡線キャパシタ 9 4 4、包絡線抵抗器 9 3 8、および / または誘導素子 9 3 6 が空洞内に含まれないようなサイズにされてもよい。他の代替の実施形態では、デバイス 9 0 0 は（たとえば、後述する図 1 1 の実施形態のように）オーバーモールドパッケージ内に組み込まれてもよい。

【 0 0 6 6 】

同じく図 7 に示す実施形態と同様に、包絡線周波数終端回路 9 4 9 の要素（たとえば、包絡線抵抗器 9 3 8 および包絡線キャパシタ 9 4 4）は、能動素子領域内に位置するのではなく、分離構造体 9 0 8 上（たとえば、分離構造体 9 0 8 の上面上）に位置する。加えて、デバイス 9 0 0 は、図 7 に関連して前述したように、包絡線誘導素子 9 3 6（たとえば、図 1 の包絡線インダクタ 1 3 6）、包絡線抵抗器 9 3 8（たとえば、図 1 の包絡線抵抗器 1 3 8）、および包絡線キャパシタ 9 4 4（たとえば、図 1 の包絡線キャパシタ 1 4 4）が結合される、導電性パッド 9 3 9、9 4 1 およびビア 9 4 5 の構成を含む。

【 0 0 6 7 】

しかしながら、図 7 の実施形態とは対照的に、包絡線抵抗器 9 3 8 の一方の端子は、導

電性パッド（たとえば、導電性パッド 737）を通じてボンドワイヤから成る誘導素子（たとえば、誘導素子 736）に結合されるのではなく、誘導素子 936 の導電性パッド部分と結合される。図 9 は、包絡線抵抗器 938 および包絡線キャパシタ 944 の両方が、対向する端部上に端子を有する表面実装ディスクリットデバイスとして実装される実施形態に対応するが、包絡線抵抗器 938 および包絡線キャパシタ 944 はまた、異なる構成を有してもよい。たとえば、包絡線抵抗器 938 は、（たとえば、図 3 および図 6 の実施形態のように）薄膜または厚膜抵抗器として実装されてもよく、かつ/または包絡線キャパシタ 944 は、（たとえば、図 3 の実施形態のように）分離構造体 908 と一体化される多層キャパシタとして実装されてもよい。

【0068】

同じく図 7 の実施形態とは対照的に、出力インピーダンス整合回路 950 の要素（すなわち、ローパス整合キャパシタ 946）は能動素子領域の外部に位置付けられる。より詳細には、図 9 の実施形態において、ローパス整合キャパシタ 946 は、出力リード 904 の下に分布する容量として実装される。図 10 を参照すると、ローパス整合キャパシタ 946 は、出力リード 904 の下のメタライゼーション 905（たとえば、ローパス整合キャパシタ 946 の頂板を画定する）と、分離構造体 908 の出力リード 904 の下にある部分（たとえば、分離構造体 908 の少なくともその部分が剛性ローパス有機または無機材料から形成される場合、ローパス整合キャパシタ 946 の絶縁体層を画定する）と、出力リード 904 の底面上のメタライゼーション 1020（たとえば、ローパス整合キャパシタ 946 の底板を画定する）とから成る。メタライゼーション 905 および/またはメタライゼーション 1020 が含まれない場合、出力リード 904 および/またはフランジ 906 がローパス整合キャパシタ 946 の頂板および/または底板として機能してもよい。ローパス整合キャパシタ 946 の容量は、出力リード 904 およびフランジ 906 の重なり合った部分、ならびに、出力リード 904 およびフランジ 906 の重なり合った部分の間の分離構造 908 の部分の絶縁定数および高さによって定義される。したがって、これらのパラメータは、ローパス整合キャパシタ 946 の所望の容量（たとえば、約 1 pF ~ 約 50 pF の範囲内の容量）を達成するように定義される。

【0069】

図 8 に関連して記載した実施形態と同様に、図 9 におけるローパス整合キャパシタ 946 の構成は、出力インピーダンス整合回路 950（たとえば、図 1 の出力インピーダンス整合回路 150）から図 7 における誘導素子 740（たとえば、図 4 の誘導素子 140）をなくすことを可能にする。図 8 に関連して前述したように、ローパス整合インダクタをなくすことは、その出力インピーダンス整合回路に対する効果が補償される必要がなく、ローパス整合インダクタとシステム内の他のインダクタ（たとえば、図 1 の直列インダクタ 132）との間の誘導結合の問題がなくなるという点で有利である。加えて、図 3 および図 4 に関連して前述したように、ボンドワイヤ 932 と 934 との間の誘導結合はボンドワイヤ 932、934 の両方のセットの下にある領域 1040 に関連する。ローパス整合インダクタに対応するボンドワイヤ（たとえば、図 3 のボンドワイヤ 340）をなくすことによって、ボンドワイヤ 932 の高さおよび長さが短くされることができ、したがって、ボンドワイヤ 932、934 の下の領域 1040 が低減する。したがって、ローパス整合インダクタに関連付けられるボンドワイヤを含む実施形態（たとえば、図 3、図 6、および図 7 の実施形態）と比較すると、ボンドワイヤ 932、934 間の誘導結合が低減されることができ。

【0070】

前述の実施形態に対応する図面は、空洞パッケージの実施形態に対応する。しかしながら、上記で示したように、様々な実施形態のいずれかは代替的にオーバーモールドパッケージにおいて実装され得る。たとえば、図 11 は、さらに別の例示的な実施形態に応じた、オーバーモールドパッケージにおいて実装される半導体デバイス 1100 の側断面図である。図 11 の断面は、入力および出力リード 1102、1104 ならびに能動素子領域を通じてとられた（たとえば、図 10 の断面と同様の）断面に対応する。

10

20

30

40

50

【0071】

デバイス1100も、入力リード1102（たとえば、図1の入力リード102）と、出力リード1104（たとえば、図1の出力リード104）と、フランジ1106と、分離構造体1108と、1以上のトランジスタ1120（たとえば、図1のトランジスタ120）と、入力インピーダンス整合回路（たとえば、2つの誘導素子1112、1116（たとえば、図1の誘導素子112、116）、およびキャパシタ1114（たとえば、図1のキャパシタ114）を含む）と、包絡線周波数終端回路（たとえば、誘導素子1136（図1のインダクタ136）、抵抗器（たとえば、図1の抵抗器138、図示せず）、およびキャパシタ（たとえば、図1のキャパシタ144、図示せず）を含む）と、出力インピーダンス整合回路（たとえば、誘導素子1132、1134、1135（たとえば、図1のインダクタ132、134）および2つのキャパシタ1142、1146（たとえば、図1のキャパシタ142、146）を含む）とを含むという点で、図11に示す実施形態は、図9および図10に示す実施形態と実質的に同じである。図9および図10の実施形態と同様に、ローパス整合キャパシタ1146は、出力リード1104の下で、メタライゼーション1105（および/または出力リード1104）、分離構造体1108、およびメタライゼーション1120（および/またはフランジ1106）から形成される。加えて、誘導素子1136は、包絡線抵抗器（たとえば、図9の包絡線抵抗器938）および/またはバイアスリード（たとえば、図9のバイアスリード937）に（たとえば、誘導素子1136の図示されていない導電性パッド部分を通じて）結合されるパー部分を有してもよい。

10

20

【0072】

デバイス1100とデバイス900との間の差は、空洞（たとえば、空洞1012）を画定するキャップ（たとえば、キャップ1010）を含むのではなく、デバイス900は、能動素子領域内の構成要素および回路要素を包含するように構成される非導電性成形コンパウンド1110を含むことである。加えて、一実施形態では、成形コンパウンド1110は、能動素子領域内に位置するか否かにかかわらず、リード1102、1104の部分と、分離構造体1108の全体または部分と、入力および出力整合回路ならびに包絡線周波数終端回路の他の要素のいくつかまたは全てとを包含してもよい。代替の実施形態では、成形コンパウンド1110は、能動素子領域の外部に位置する要素のいくつかまたは全てを包含しなくてもよい。図2～図10に示す実施形態のいずれかは、空洞パッケージにおいて実装されるのではなく、図11のものと同様のオーバーモールドパッケージにおいて実装されてもよいことを理解されたい。

30

【0073】

図12は、様々な例示的な実施形態に応じた半導体デバイス（たとえば、図3～図11のデバイス300、600、700、800、900、1100）を製造する方法のフローチャートである。方法は、ブロック1202において、フランジ（たとえば、フランジ306、606、706、806、906、1106）および分離構造体（たとえば、分離構造体308、608、708、808、908、1108）を設けることによって開始してもよい。前述した様々な実施形態に応じて、分離構造体は、入力および/または出力インピーダンス整合ネットワークのいくつかの要素の分離構造体に対する物理的および電氣的結合を容易にする、導電性パッド、ビア（またはキャストレーションもしくは端部めっき）、および表面メタライゼーションの組み合わせを含んでもよい。加えて、或る実施形態では、分離構造体は1以上の統合されたキャパシタ（たとえば、キャパシタ344）を含んでもよい。いくつかの他の実施形態（たとえば、図9～図11に示す実施形態）では、分離構造体は、誘導素子（たとえば、誘導素子936、1136）のパーおよび導電性パッド部分に対応する、その上面上のメタライゼーションを含んでもよい。

40

【0074】

ブロック1204において、分離構造体がフランジの上面に結合（たとえば、はんだ付け、接着、または他の状態で付着）される。加えて、能動素子（たとえば、トランジスタ320、620、720、820、920、1120）および他の回路要素（たとえば、

50

キャパシタ 3 1 4、6 1 4、7 1 4、8 1 4、9 1 4、1 1 1 4、キャパシタ 3 4 2、6 4 2、7 4 2、8 4 2、9 4 2、1 1 4 2、およびキャパシタ 3 4 6、6 4 6、7 4 6) が、分離構造体内の開口を通じて露出されるフランジの上面の一部(たとえば、能動素子領域)に結合される。

【0075】

ブロック 1 2 0 6 において、リード(たとえば、入力リード 3 0 2、6 0 2、7 0 2、8 0 2、9 0 2、1 1 0 2、出力リード 3 0 4、6 0 4、7 0 4、8 0 4、9 0 4、1 1 0 4、およびバイアスリード 9 3 7) が、分離構造体の上面に(たとえば、分離構造体の上面上のメタライゼーションに)結合される。代替の実施形態では、分離構造体の上面上の導電層は、(たとえば、分離構造体をフランジに結合する前に)リードフレームを形成するために、パターンングおよびエッチングされてもよい。本明細書において使用される場合、分離構造体へのリードの「結合」に対する参照は、リードが別個に形成されて、その後分離構造体に結合されること、または、リードが分離構造体上に(たとえば、分離構造体の表面上に導電層をパターンングおよびエッチングすることによって)形成されることを意味する。加えて、他の回路要素(たとえば、抵抗器 3 3 8、6 3 8、7 3 8、8 3 8、9 3 8、キャパシタ 6 4 4、7 4 4、8 4 4、8 4 6、9 4 4) が、分離構造体の上面に(たとえば、分離構造体の上面上の導電性パッドまたは他のメタライゼーションに)結合(たとえば、接合、はんだ付け、および/または接着)される。他の回路要素は、分離構造体がフランジに結合される前または後に分離構造体に結合されてもよい。

10

【0076】

ブロック 1 2 0 8 において、誘導素子(たとえば、誘導素子 3 1 2、3 1 6、3 3 2、3 3 4、3 3 6、3 4 0、6 1 2、6 1 4、6 3 2、6 3 4、6 3 6、6 4 0、7 1 2、7 1 4、7 3 2、7 3 4、7 3 6、7 4 0、8 1 2、8 1 4、8 3 2、8 3 4、8 3 6、9 1 2、9 1 4、9 3 2、9 3 4、9 3 5) を形成するボンドワイヤが、様々なデバイス構成要素および要素の間に付着される。最後に、ブロック 1 2 1 0 において、デバイスが(たとえば、キャップ 4 1 0、1 0 1 0 を用いて)キャッピングされ、または(成形コンパウンド 1 1 1 0 を用いて)封入される。デバイスは、その後、より大きい電気的システム内に組み込まれてもよい。

20

【0077】

図 1 2 に関連して説明した様々なステップは図 1 2 に示した順序以外の順序において実行されてもよいことを理解されたい。たとえば、上記で示したように、入力および出力リード(またはリードフレーム)ならびに/または様々な回路要素(すなわち、能動素子領域の外部に位置すべき回路要素)は、様々な実施形態において、分離構造体がフランジに結合される前に分離構造体上に形成されてもよく、または分離構造体に結合されてもよい。言い換えれば、一実施形態では、最初に分離構造体をフランジに結合し、続いてリードおよび/または回路要素を分離構造体に結合するのではなく、分離構造体サブアセンブリ(たとえば、リードおよび/または回路要素を含む)が構築され、続いてフランジに結合されてもよい。図 1 2 に示されるステップの順序に対する他の変更も行われてもよく、そのような変更は本発明の主題の範囲内に含まれることが意図されている。

30

【0078】

半導体デバイス(たとえば、RF トランジスタデバイス)の様々な実施形態およびそれらの製造方法が上記で説明された。デバイスの一実施形態は、基板と、分離構造体と、能動素子と、リードと、回路とを含む。分離構造体は、上面と、基板の表面に結合される底面と、開口とを有し、リードは分離構造体に結合される。基板の表面の、開口を通じて露出される部分によって、能動素子領域が画定される。能動素子は、能動素子領域内で基板の表面に結合される。回路は、能動素子とリードとの間に電氣的に結合される。回路は複数の要素を含み、複数の要素の 1 以上の要素は能動素子領域の外部に位置付けられる。さらなる実施形態に応じて、能動素子領域の外部に位置付けられる 1 以上の要素は、分離構造体に物理的に結合される。別のさらなる実施形態に応じて、能動素子領域の外部に位置付けられる 1 以上の要素は、包絡線終端回路の 1 以上の要素を含む。

40

50

【0079】

デバイスの別の実施形態は、基板と、分離構造体と、トランジスタと、リードと、回路とを含む。基板は導電面を有し、分離構造体は上面と、基板の導電面に結合される底面とを有する。分離構造体は開口を含み、基板の導電面の、開口を通じて露出される部分によって、能動素子領域が画定される。トランジスタは、能動素子領域内で基板の導電面に結合される。リードは分離構造体に結合される。回路は、トランジスタとリードとの間で電氣的に結合される。回路は複数の要素を含み、複数の要素の1以上の要素は能動素子領域の外部に位置付けられる。さらなる実施形態に応じて、リードは出力リードであり、回路はトランジスタの導電端子と出力リードとの間に結合される出力回路であり、能動素子領域の外部に位置付けられる1以上の要素は分離構造体に物理的に結合される。別のさらなる実施形態に応じて、デバイスは、能動素子領域の外部に位置付けられる1以上の要素に電氣的に結合する、分離構造体の中または上の1以上の導電性パッドおよび/または1以上の導電性構造体をも含む。1以上の導電性構造体は、1以上のビア、1以上のキャストレーション、および端部めっきから選択されてもよい。

10

【0080】

デバイスの別の実施形態は、基板と、リードと、分離構造体と、能動素子と、回路とを含む。分離構造体は、上面と、底面とを有する。リードは分離構造体の上面に結合され、分離構造体の底面は、基板の表面に結合される。能動素子領域は、基板の表面の、分離構造体が結合されない部分に対応する。能動素子は、能動素子領域内で基板の表面に結合される。回路は、能動素子とリードとの間に電氣的に結合される。回路は、複数の要素を含む。複数の要素の1以上の要素は能動素子領域の外部に位置付けられる。能動素子領域の外部に位置付けられる1以上の要素は、分離構造体のリードと基板との間の部分を含む、リードの下のキャパシタを含む。さらなる実施形態に応じて、デバイスは、能動素子および少なくとも能動素子領域内の回路の要素を包含する成形コンパウンドをも含む。別のさらなる実施形態に応じて、キャパシタはローパス整合キャパシタである。また別のさらなる実施形態に応じて、分離構造体はプリント回路基板材料から形成される。また別のさらなる実施形態に応じて、能動素子領域の外部に位置付けられる1以上の要素は、分離構造体の上面上に結合される、および/または分離構造体内に集積される1以上の受動素子(たとえば、キャパシタおよび/または抵抗器)をも含む。

20

【0081】

半導体デバイスを製造する方法の一実施形態は、基板を設けるステップと、分離構造体の底面を基板の表面に結合するステップとを含む。分離構造体は開口を含み、基板の表面の、開口を通じて露出される部分によって、能動素子領域が画定される。方法はさらに、能動素子を、能動素子領域内で基板の表面に結合するステップと、リードを分離構造体に結合するステップと、回路を能動素子とリードとの間に電氣的に結合するステップとを含む。回路は複数の要素を含み、複数の要素の1以上の要素は能動素子領域の外部に位置付けられる。さらなる実施形態に応じて、能動素子領域の外部に位置付けられる1以上の要素は、分離構造体に物理的に結合される。

30

【0082】

本明細書に含まれる様々な図面において示されている接続線は、様々な要素間の例示的な機能的関係および/または物理結合を表すように意図されている。なお、多くの代替形態または追加の機能的関係または物理接続が本主題の一実施形態において存在してもよい。加えて、特定の専門用語は本明細書においては参照のみを目的として使用されている場合もあり、したがって、限定であるようには意図されておらず、「第1の」、「第2の」といった用語、および、構造を指す他のこのような数に関する用語は文脈において明確に指示されていない限り、並びまたは順序を暗示してはいない。

40

【0083】

本明細書において使用される場合、「ノード」とは、任意の内部または外部の基準点、接続点、接点、信号線、導体素子などを意味し、そこに、所与の信号、論理レベル、電圧、データパターン、電流、または量が存在する。さらに、2つ以上のノードが1の物理的

50

要素によって実現されてもよい（また、共通のノードにおいて受信または出力されるが、2つ以上の信号が多重化、変調、または他の様態で区別されることができる）。

【0084】

上記の記載は、ともに「接続される」または「結合される」ものとして要素もしくはノードまたは特徴に言及している。本明細書において使用される場合、別途明確に述べられていない限り、「接続される」とは、1の要素が別の要素に直接的に結び付けられている（または直接的にそれと通信する）ことを意味し、必ずしも機械的ではない。同様に、別途明確に述べられていない限り、「結合される」とは、1の要素が別の要素に直接的にまたは間接的に結び付けられている（または直接的にもしくは間接的に、電氣的にまたは他の様態でそれと通信する）ことを意味し、必ずしも機械的ではない。したがって、図面に示されている概略図は要素の1の例示的な構成を図示しているが、追加の介在する要素、デバイス、特徴、または構成要素が図示される主題の実施形態において存在してもよい。

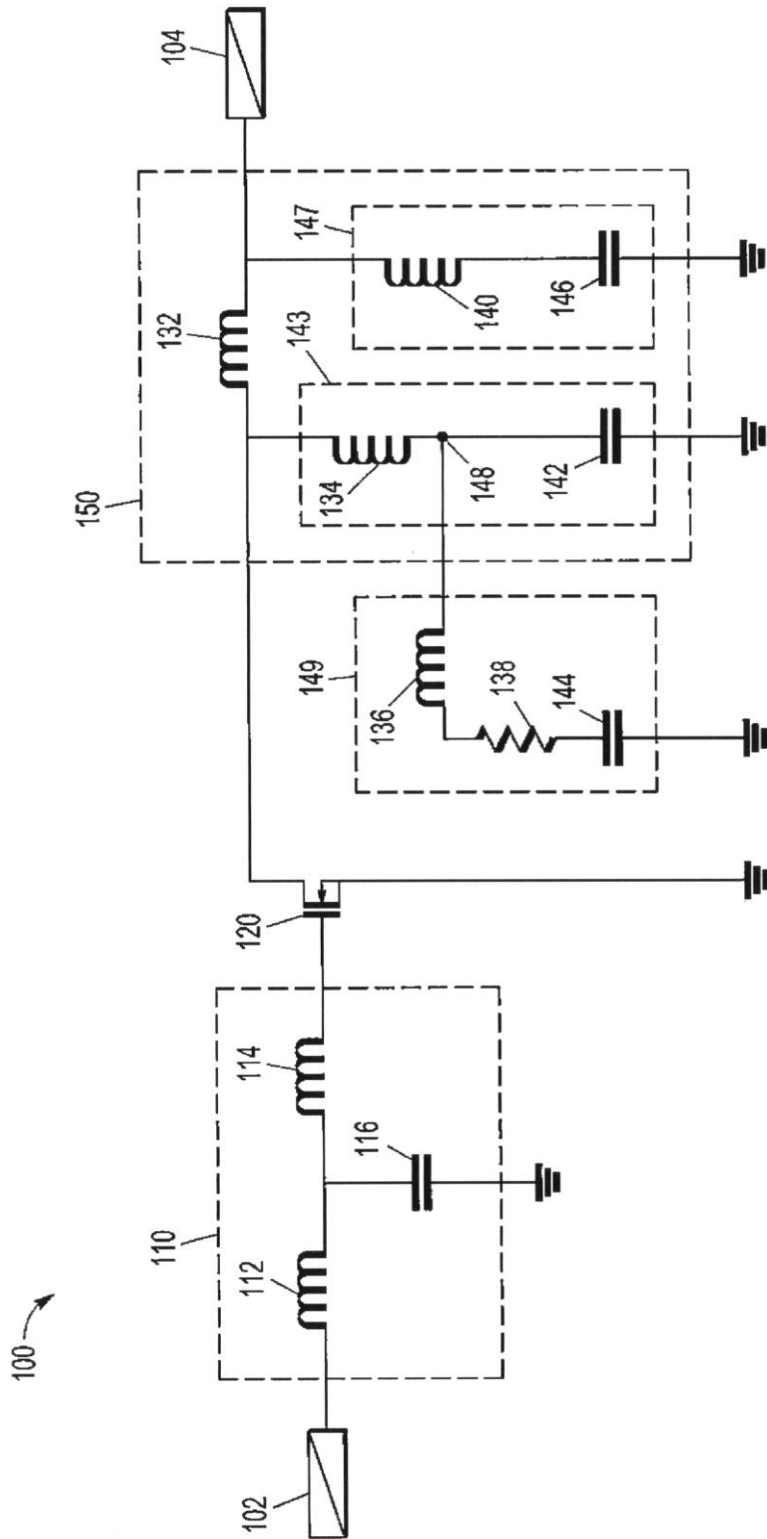
10

【0085】

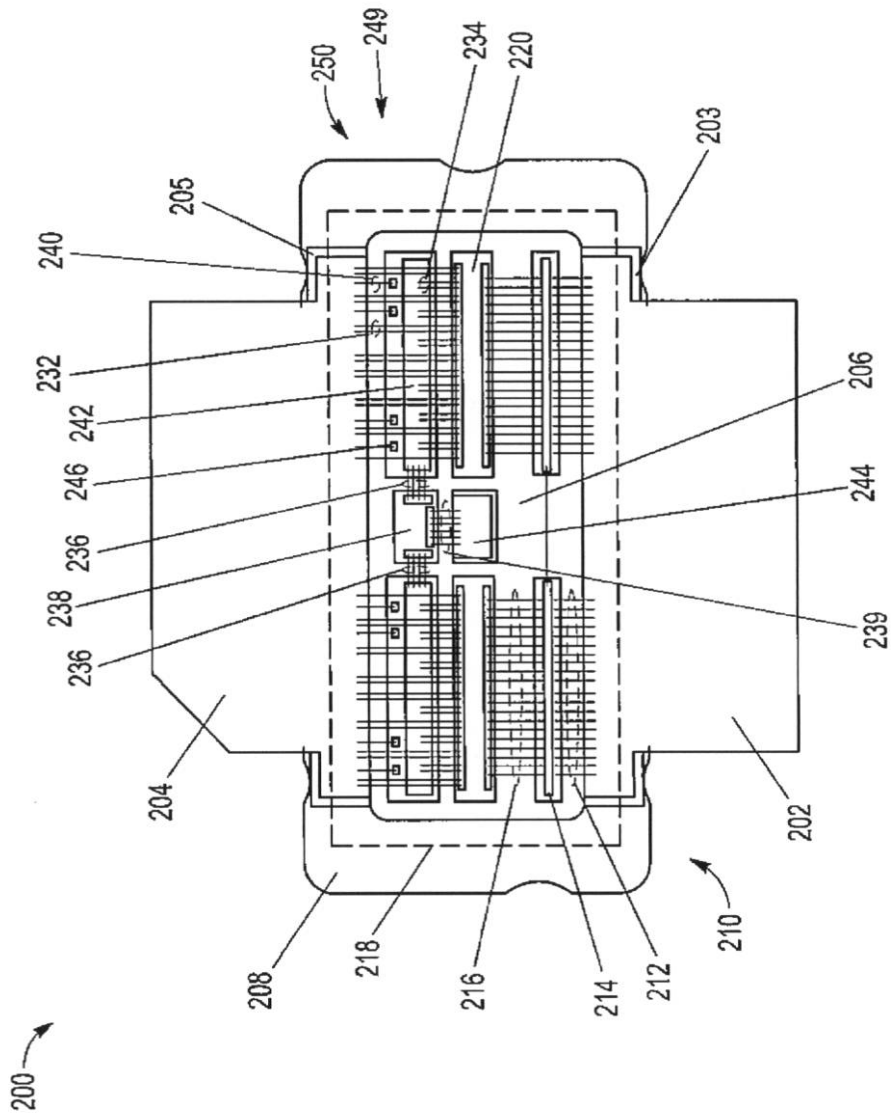
前述の詳細な説明の中で少なくとも1の例示的な実施形態を提示してきたが、膨大な数の変形形態が存在することが理解されるべきである。本明細書に記載される1以上の例示的な実施形態は、権利を請求する主題の範囲、適用性または構成を限定することを決して意図していないことも理解されるべきである。そうではなく、前述の詳細な説明は、説明された1以上の実施形態を実行するための有意義な指針を当業者に提供するものである。特許請求の範囲によって画定される範囲であって本願の出願時点で既知の均等物および予見される均等物を含む範囲から逸脱することなく、要素の機能および構成における様々な変更を行うことができることが理解されるべきである。

20

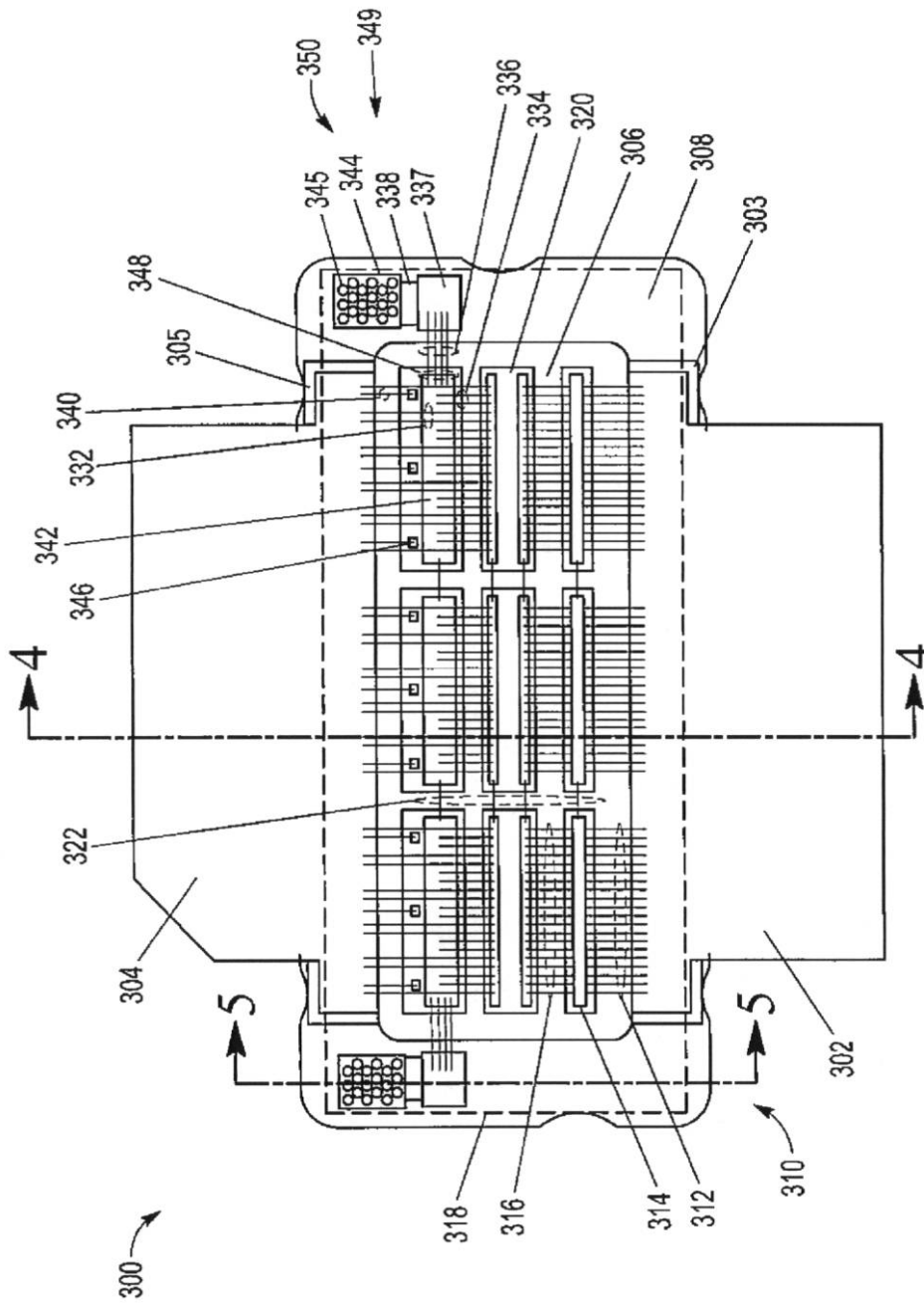
【図 1】



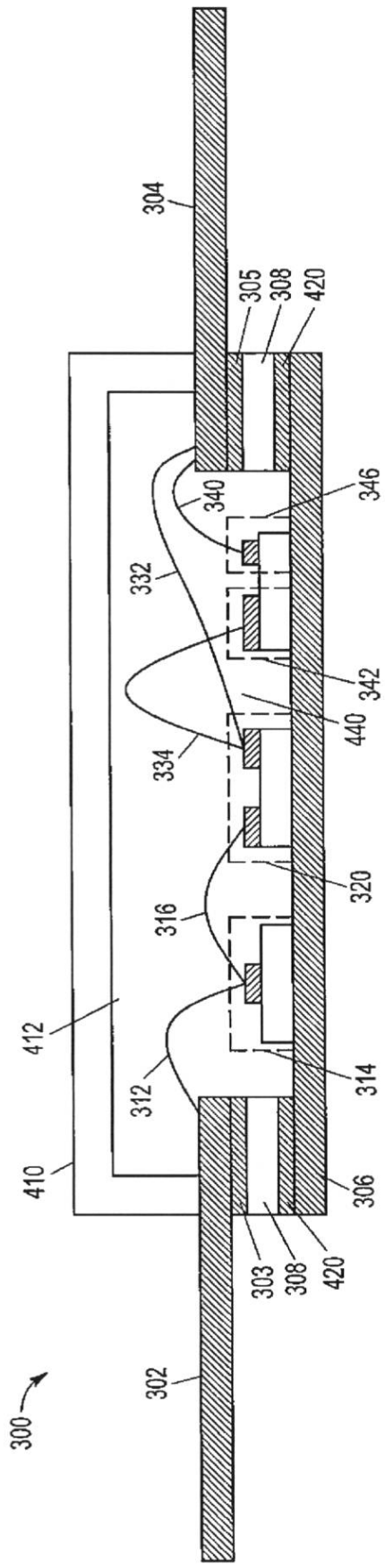
【 図 2 】



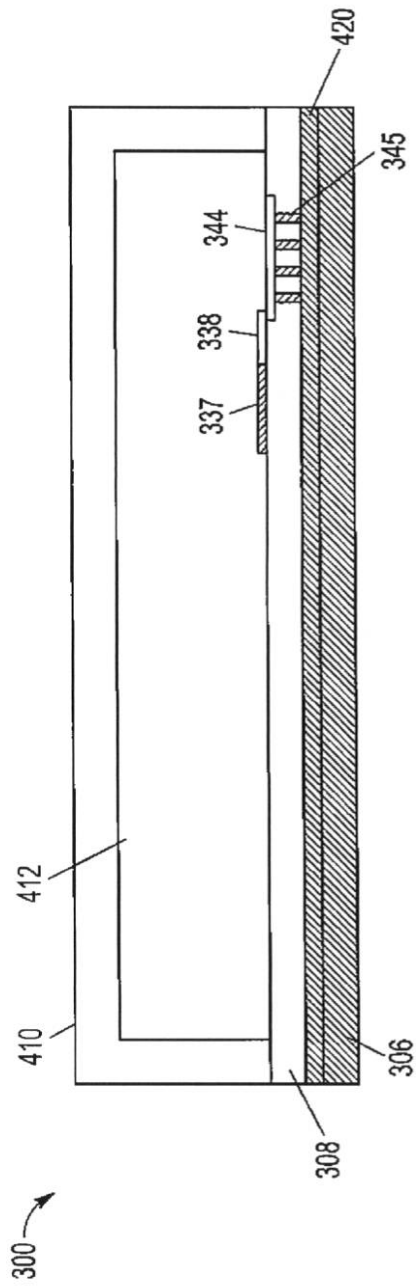
【図 3】



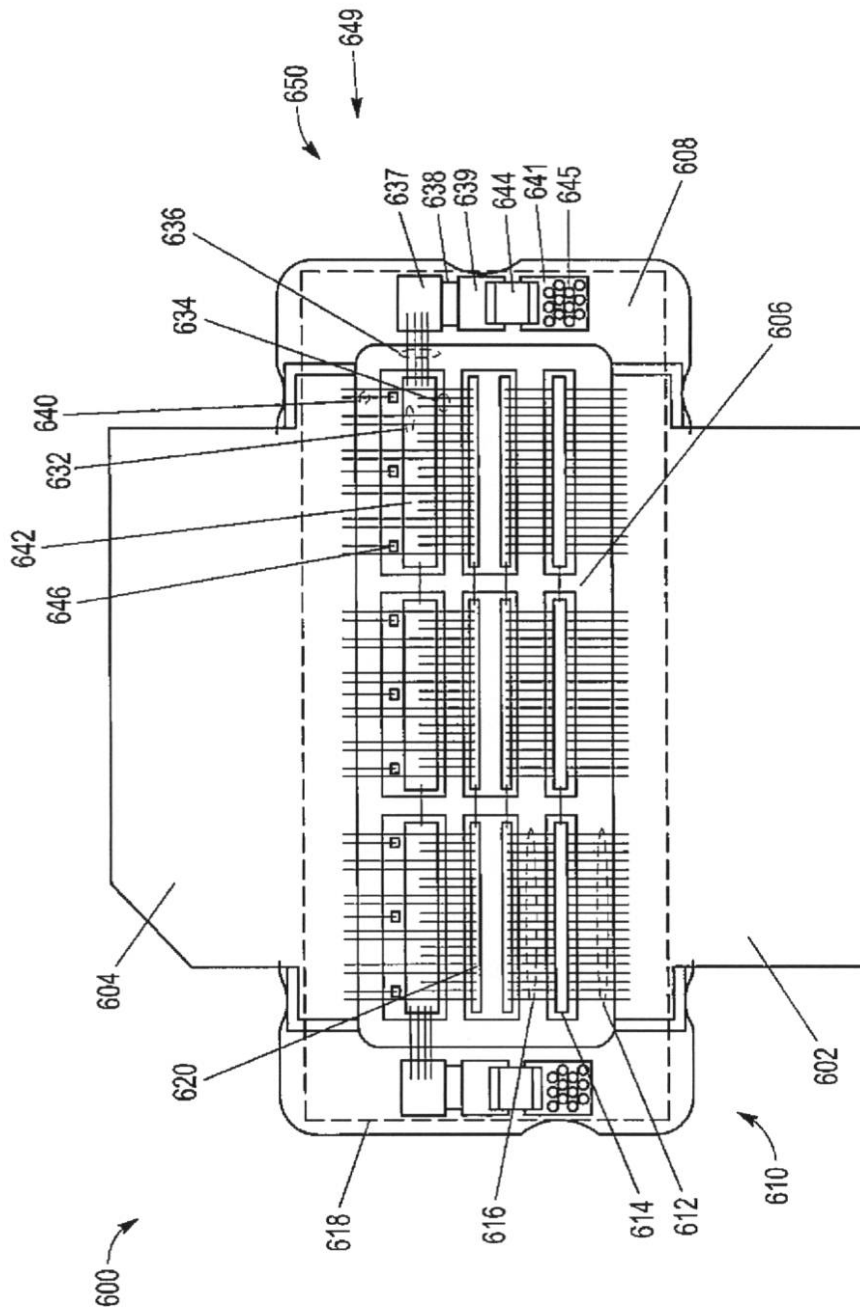
【 図 4 】



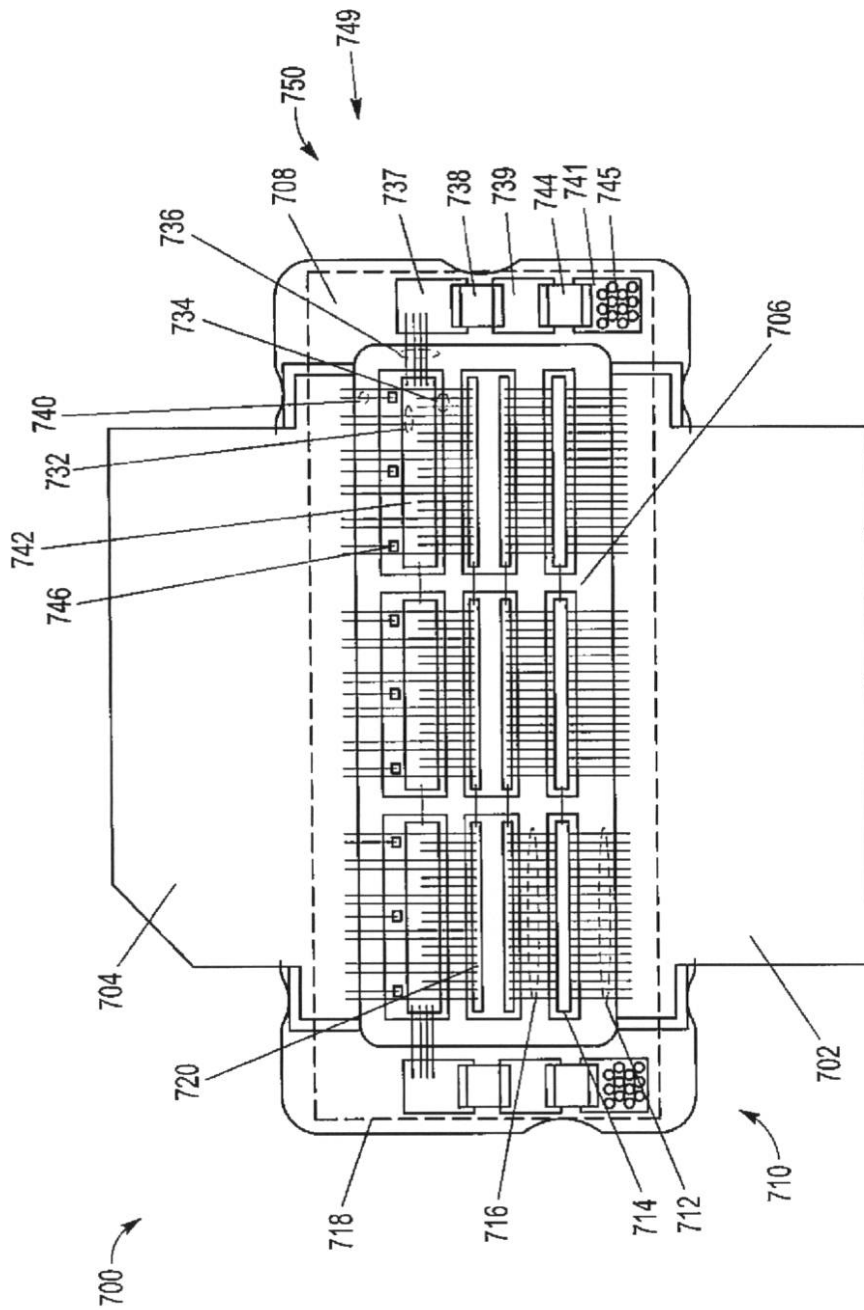
【 図 5 】



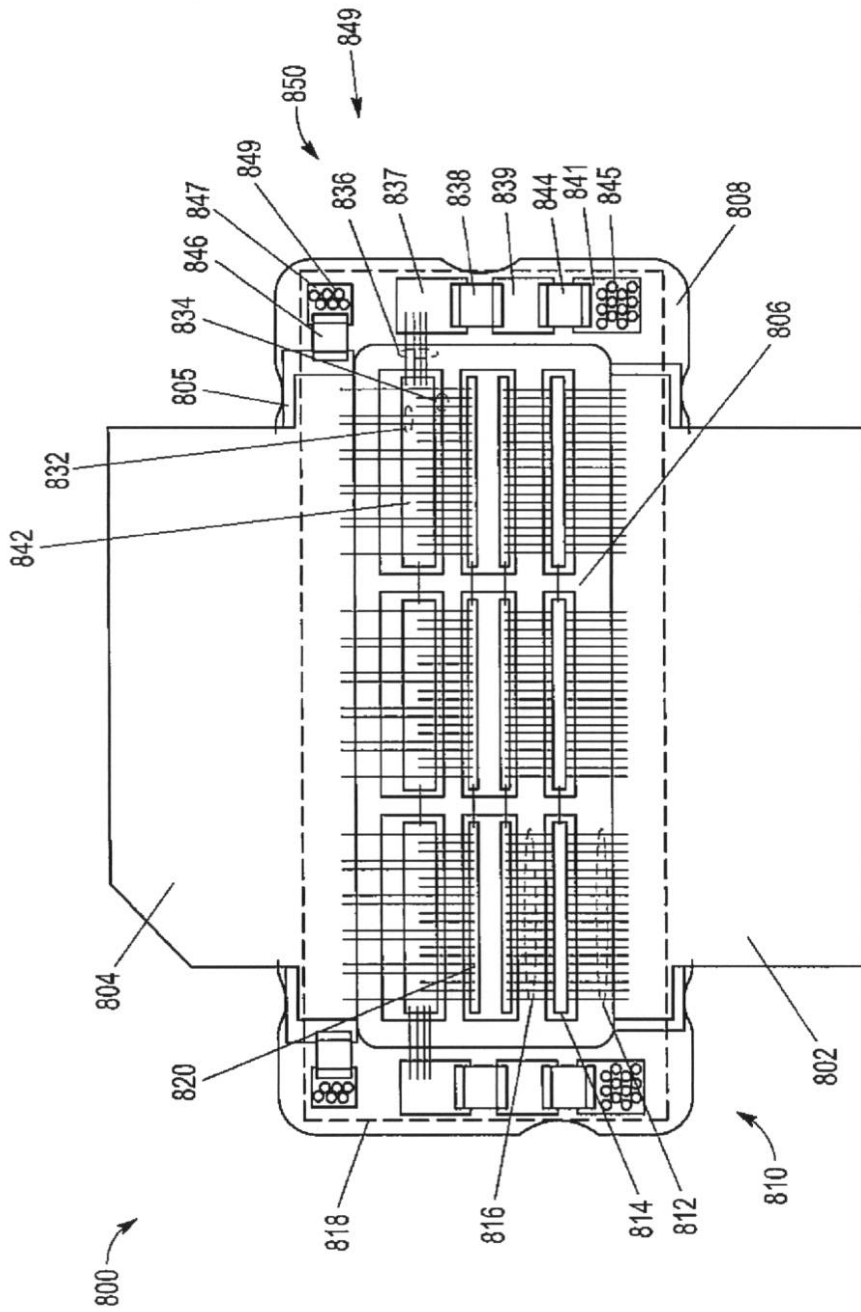
【 図 6 】



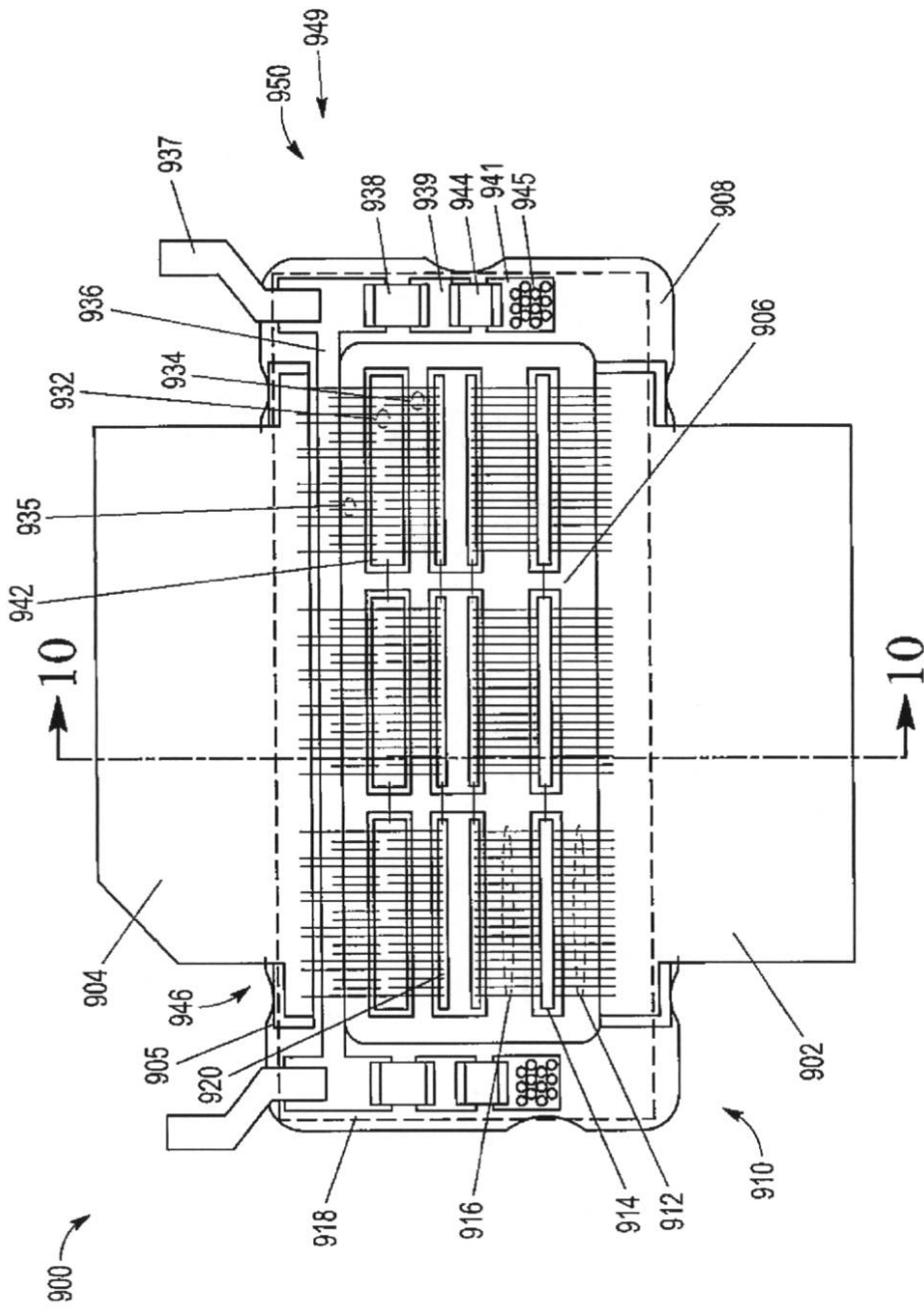
【図7】



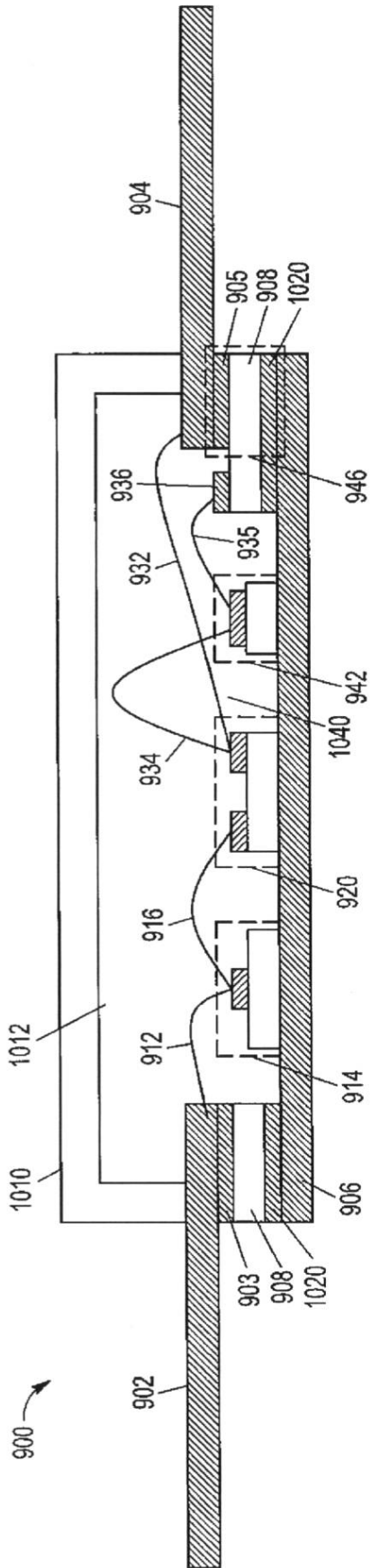
【 図 8 】



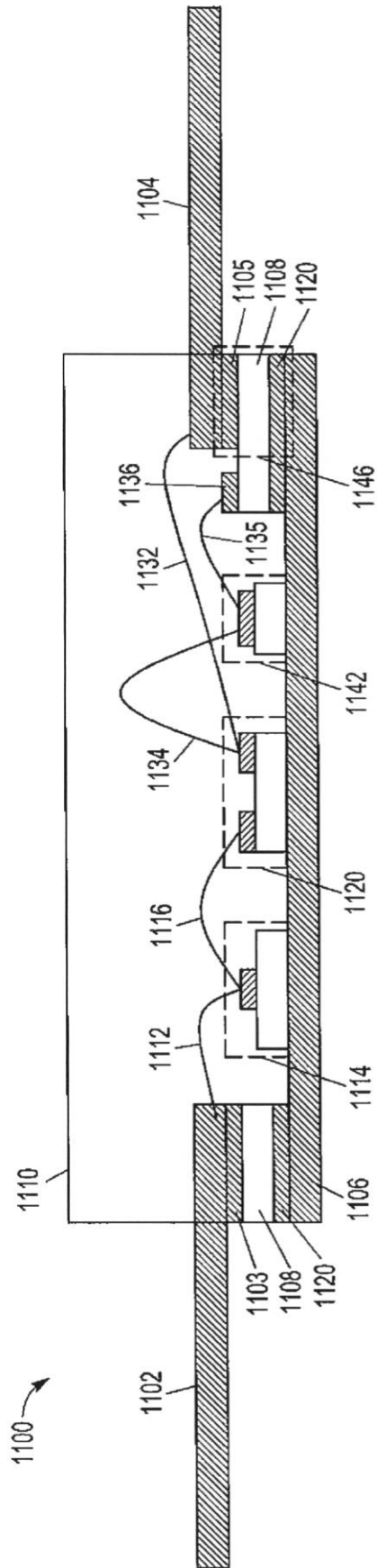
【図9】



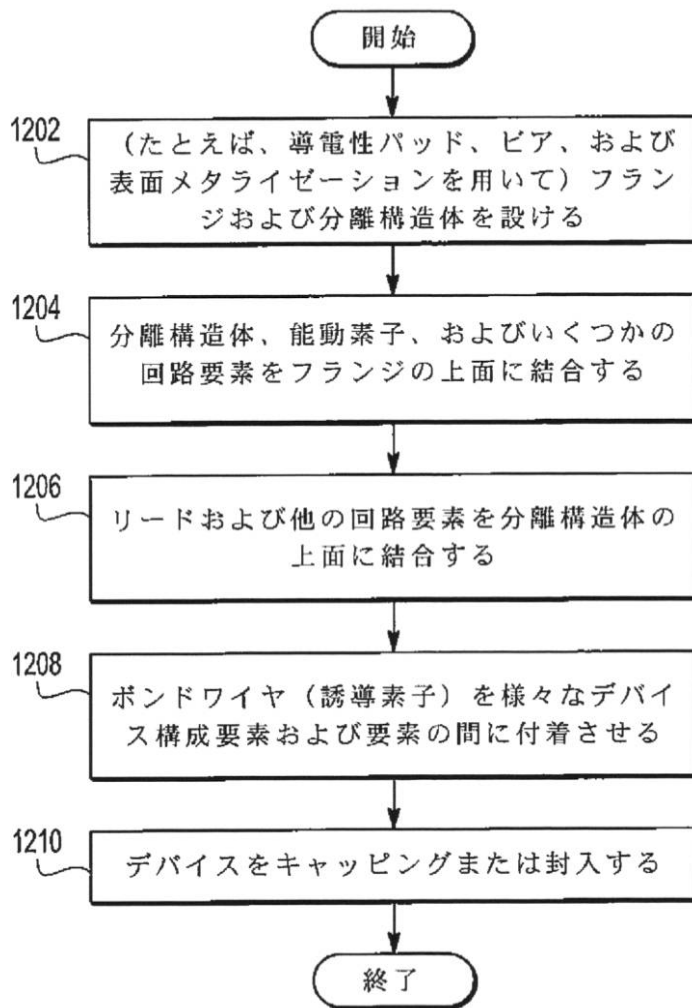
【 図 1 0 】



【 図 1 1 】



【図 12】



フロントページの続き

(72)発明者 ジェフリー ケイ・ジョーンズ

アメリカ合衆国 8 5 2 8 6 アリゾナ州 チャンドラー イー・ウистерリア ドライブ 2 5
8 0

(72)発明者 スコット ディ・マーシャル

アメリカ合衆国 8 5 2 2 6 アリゾナ州 チャンドラー ダブリュ・グレンビュー プレイス
4 6 1 4

Fターム(参考) 5J500 AA01 AC75 AF16 AH10 AH25 AH29 AH33 AK00 AK29 AQ02
AQ03 AS13 AT07