(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4558738号
(P4558738)

(45)発行日　平成22年10月6日(2010.10.6)　(24)登録日　平成22年7月30日(2010.7.30)

(51)Int.Cl.　F I
H03K 19/20 (2006.01)　H03K 19/20 101

請求項の数 4　(全 10 頁)

(21)出願番号	特願2006-536370 (P2006-536370)
(86)(22)出願日	平成17年9月16日 (2005.9.16)
(86)国際出願番号	PCT/JP2005/017136
(87)国際公開番号	WO2006/033298
(87)国際公開日	平成18年3月30日 (2006.3.30)
審査請求日	平成20年8月8日 (2008.8.8)
(31)優先権主張番号	特願2004-277889 (P2004-277889)
(32)優先日	平成16年9月24日 (2004.9.24)
(33)優先権主張国	日本国(JP)

(73)特許権者　000116024
ローム株式会社
京都府京都市右京区西院溝崎町２１番地
(74)代理人　100064746
弁理士　深見　久郎
(74)代理人　100085132
弁理士　森田　俊雄
(74)代理人　100083703
弁理士　仲村　義平
(74)代理人　100096781
弁理士　堀井　豊
(74)代理人　100098316
弁理士　野田　久登
(74)代理人　100109162
弁理士　酒井　將行

最終頁に続く

(54)【発明の名称】入力回路

(57)【特許請求の範囲】
【請求項１】
第１の固定電位、および前記第１の固定電位より低い第２の固定電位の間に直列に設けられた第１～第４の抵抗素子（３～６）と、
前記第２の抵抗素子（４）および前記第３の抵抗素子（５）の接続点に接続され、入力信号が入力される入力端子（２）と、
前記第３の抵抗素子（５）および前記第４の抵抗素子（６）の接続点の電圧によりオン・オフ制御される第１のスイッチングトランジスタ（７）と、
前記第１のスイッチングトランジスタ（７）がオンのとき供給電流を出力し、オフのとき前記供給電流を出力しない電流供給回路（８）と、
前記電流供給回路（８）から供給電流を受けて定電圧を出力する定電圧発生回路（９）と、
前記第１のスイッチングトランジスタ（７）がオフのとき出力をハイインピーダンス状態とし、オンのとき前記定電圧発生回路（９）の定電圧を受けて前記第１の抵抗素子（３）および前記第２の抵抗素子（４）の接続点に所定の電圧を出力する定電圧出力バッファ回路（１０）と、
前記第２の抵抗素子（４）の両端間の電圧によりオン・オフ制御される第２のスイッチングトランジスタ（１１）と、
前記第１のスイッチングトランジスタ（７）および前記第２のスイッチングトランジスタ（１１）のオン・オフの組み合わせに基づいて複数の判別信号を出力する組み合わせ回

路（１２）とを備える入力回路。
【請求項２】
前記電流供給回路（８）は、前記第１のスイッチングトランジスタ（７）がオンのとき前記定電圧出力バッファ回路（１０）に供給電流を出力し、
前記定電圧出力バッファ回路（１０）は、前記電流供給回路（８）が前記供給電流を出力しない場合には出力をハイインピーダンス状態とし、前記電流供給回路（８）が前記供給電流を出力する場合には前記定電圧発生回路（９）の定電圧を受けて前記第１の抵抗素子（３）および前記第２の抵抗素子（４）の接続点に所定の電圧を出力する請求項１記載の入力回路。
【請求項３】
前記定電圧出力バッファ回路（１０）は、
前記定電圧発生回路（９）から受けた定電圧を増幅する増幅回路（２１）と、
前記増幅回路（２１）の出力電圧を低い出力インピーダンスで出力する電圧フォロア回路（２２）とを含む請求項１記載の入力回路。
【請求項４】
前記入力端子（２）にローレベルが入力されると、前記第１のスイッチングトランジスタ（７）がオフし、
前記入力端子（２）がハイインピーダンス状態であると、前記第１のスイッチングトランジスタ（７）がオンすると共に前記第２のスイッチングトランジスタ（１１）がオンし、
前記入力端子（２）にハイレベルが入力されると、前記第１のスイッチングトランジスタ（７）がオンすると共に前記第２のスイッチングトランジスタ（１１）がオフする請求項１記載の入力回路。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、入力回路、特に半導体集積装置に好適な入力回路に関する。
【背景技術】
【０００２】
半導体集積装置における入力回路は、ハイレベルおよびローレベルの２値の外部信号を判別するものが一般的である。また、半導体装置の端子数を減少させてパッケージコストを低減するなどを図るものとして、ハイレベル、中間レベルおよびローレベルの３値の外部信号を判別できるようにした入力回路も存在する（たとえば特開平６－１０４６６４号公報（特許文献１））。
【０００３】
図３は、特開平６－１０４６６４号公報（特許文献１）記載の入力回路の概略構成を示す回路図である。同図を参照して、入力回路１０１は、コンパレータ１０３と、コンパレータ１０４と、組み合わせ回路１０５とを備える。
【０００４】
コンパレータ１０３およびコンパレータ１０４は、入力端子１０２からの外部信号ＩＮをそれぞれの比較基準電圧ＶＲＥＦ１およびＶＲＥＦ２と比較する。
【０００５】
組み合わせ回路１０５は、コンパレータ１０３および１０４の出力に基づいて判別信号ＯＵＴ１およびＯＵＴ２を出力する。
【０００６】
比較基準電圧ＶＲＥＦ１は比較基準電圧ＶＲＥＦ２よりも電圧値が低い。外部信号ＩＮの電圧が比較基準電圧ＶＲＥＦ１よりも低ければ判別信号ＯＵＴ１がハイレベルとなり、かつ、判別信号ＯＵＴ２がローレベルとなる。外部信号ＩＮの電圧が比較基準電圧ＶＲＥＦ１およびＶＲＥＦ２の間に有れば判別信号ＯＵＴ１がローレベルとなり、かつ、判別信号ＯＵＴ２がハイレベルとなる。外部信号ＩＮの電圧が比較基準電圧ＶＲＥＦ２よりも高

ければ判別信号ＯＵＴ１がローレベルとなり、かつ、判別信号ＯＵＴ２がローレベルとなる。このような構成により、入力回路１０１は、ハイレベル、中間レベルおよびローレベルの３値を有する外部信号ＩＮを判別することができる。

【特許文献１】特開平６－１０４６６４号公報

【発明の開示】

【発明が解決しようとする課題】

【０００７】

ところで、入力回路１０１では、外部信号ＩＮを判別するために比較基準電圧ＶＲＥＦ１およびＶＲＥＦ２に合うように、外部信号ＩＮを出力する制御装置（図示せず）の中間レベル出力電圧を調整するか、または、制御装置の中間レベル出力電圧に合うように比較基準電圧ＶＲＥＦ１およびＶＲＥＦ２を調整する必要がある。更には、入力回路１０１を含む半導体集積装置と制御装置との電源電圧が異なる場合も多く、このような場合には、電圧調整は極めて煩雑になり、更には困難になる場合もある。

【０００８】

また、多くの半導体集積装置では、半導体集積装置が動作していない場合の消費電力を低減させるためにスタンバイ状態となる機能を有し、スタンバイ状態への遷移またはスタンバイ状態からの復帰を表わすスタンバイ信号を入力して判別するスタンバイ信号入力回路が設けられる。ここで、入力回路１０１をスタンバイ信号入力回路に用いた場合には、スタンバイ状態においてもコンパレータ１０３および１０４を動作させておく必要があるため、比較的大きな電力を消費してしまう。

【０００９】

本発明は、係る事由に鑑みてなされたものであり、その目的は、煩雑な電圧調整をすることなく３値の外部信号を判別することができ、かつ、スタンバイ状態における消費電力を低減することが可能な入力回路を提供することにある。

【課題を解決するための手段】

【００１０】

上記課題を解決するために、この発明のある局面に係わる入力回路は、第１の固定電位、および第１の固定電位より低い第２の固定電位の間に直列に設けられた第１～第４の抵抗素子と、第２の抵抗素子および第３の抵抗素子の接続点に接続され、入力信号が入力される入力端子と、第３の抵抗素子および第４の抵抗素子の接続点の電圧によりオン・オフ制御される第１のスイッチングトランジスタと、第１のスイッチングトランジスタがオンのとき供給電流を出力し、オフのとき供給電流を出力しない電流供給回路と、電流供給回路から供給電流を受けて定電圧を出力する定電圧発生回路と、第１のスイッチングトランジスタがオフのとき出力をハイインピーダンス状態とし、オンのとき定電圧発生回路の定電圧を受けて第１の抵抗素子および第２の抵抗素子の接続点に所定の電圧を出力する定電圧出力バッファ回路と、第２の抵抗素子の両端間の電圧によりオン・オフ制御される第２のスイッチングトランジスタと、第１のスイッチングトランジスタおよび第２のスイッチングトランジスタのオン・オフの組み合わせに基づいて複数の判別信号を出力する組み合わせ回路とを備える。

【００１１】

好ましくは、電流供給回路は、第１のスイッチングトランジスタがオンのとき定電圧出力バッファ回路に供給電流を出力し、定電圧出力バッファ回路は、電流供給回路が供給電流を出力しない場合には出力をハイインピーダンス状態とし、電流供給回路が供給電流を出力する場合には定電圧発生回路の定電圧を受けて第１の抵抗素子および第２の抵抗素子の接続点に所定の電圧を出力する。

【００１２】

好ましくは、定電圧出力バッファ回路は、定電圧発生回路から受けた定電圧を増幅する増幅回路と、増幅回路の出力電圧を低い出力インピーダンスで出力する電圧フォロア回路とを含む。

【００１３】

好ましくは、入力端子にローレベルが入力されると、第１のスイッチングトランジスタがオフし、入力端子がハイインピーダンス状態であると、第１のスイッチングトランジスタがオンすると共に第２のスイッチングトランジスタがオンし、入力端子にハイレベルが入力されると、第１のスイッチングトランジスタがオンすると共に第２のスイッチングトランジスタがオフする。

【発明の効果】

【００１４】

本発明に係る入力回路は、入力端子にハイレベルおよびローレベルに加えてハイインピーダンス状態を有する３値の信号を入力して判別できるようにしたので、煩雑な電圧調整が必要とならず、また、入力される外部信号が所定値の場合に回路内の電流量が抑制されるのでスタンバイ状態における消費電力を低減することができる。

【図面の簡単な説明】

【００１５】

【図１】本発明の実施の形態に係る入力回路１の回路図である。

【図２】本発明の実施の形態に係る入力回路１における電流供給回路８および定電圧発生回路９の回路図である。

【図３】特開平６－１０４６６４号公報（特許文献１）記載の入力回路の概略構成を示す回路図である。

【符号の説明】

【００１６】

１，１０１　入力回路、２　入力端子（スタンバイ入力端子）、３　第１の抵抗素子、４　第２の抵抗素子、５　第３の抵抗素子、６　第４の抵抗素子、７　第１のスイッチングトランジスタ、８　電流供給回路、９　定電圧発生回路、１０　定電圧出力バッファ回路、１１　第２のスイッチングトランジスタ、１２，１０５　組み合わせ回路、２１　増幅回路、２２　電圧フォロア回路、３１，３４，４２～４８，５３，５４，５６　トランジスタ、３２～３３，３５，４１，５１～５２　抵抗、１０３，１０４　コンパレータ。

【発明を実施するための最良の形態】

【００１７】

以下、本発明の最良の実施形態を図面を参照しながら説明する。図１は、本発明の実施の形態に係る入力回路１の回路図である。

【００１８】

同図を参照して、入力回路１は、スタンバイ入力端子２と、抵抗素子３～６（第１～第４の抵抗素子）と、ＮＰＮ型のスイッチングトランジスタ（第１のスイッチングトランジスタ）７と、電流供給回路８と、定電圧発生回路９と、定電圧出力バッファ回路１０と、ＰＮＰ型のスイッチングトランジスタ（第２のスイッチングトランジスタ）１１と、組み合わせ回路１２とを備える。定電圧出力バッファ回路１０は、増幅回路２１と、電圧フォロア回路２２とを含む。組み合わせ回路１２は、ＰＭＯＳ（P-channel Metal Oxide Semiconductor）型のトランジスタ３１と、抵抗３２～３３と、ＮＰＮ型のトランジスタ３４と、抵抗３５とを含む。

【００１９】

入力回路１は、入力端子としてスタンバイ信号ＳＴＢＹが入力されるスタンバイ入力端子２を有し、スタンバイ信号ＳＴＢＹの３値、すなわちハイレベルおよびローレベルに加え、ハイインピーダンス状態、言い換えるとスタンバイ信号ＳＴＢＹを出力する制御装置（図示せず）が無信号を出力した状態を判別して判別信号ＭＵＴＥ１およびＭＵＴＥ２を出力する。判別信号ＭＵＴＥ１およびＭＵＴＥ２は後続の機能回路（図示せず）に入力され、たとえば判別信号ＭＵＴＥ１がハイレベルならば機能回路全体がスタンバイ状態となり、判別信号ＭＵＴＥ２がハイレベルならば機能回路の一部だけがスタンバイ状態となり、判別信号ＭＵＴＥ１およびＭＵＴＥ２が共にローレベルならば機能回路が通常の動作を行なう。なお、機能回路に対する判別信号ＭＵＴＥ１およびＭＵＴＥ２の作用は機能回路の種類に応じて任意に設定可能である。

【００２０】
詳しくは、たとえば５Ｖである電源電圧ＶＣＣ（第１の固定電位）と接地電位（第２の固定電位）との間には抵抗素子３～６が直列に設けられる。なお、電源電圧ＶＣＣを電源電圧とは異なる固定電位とし、かつ、接地電位をこの固定電位より低い固定電位とする構成であってもよい。抵抗素子４および抵抗素子５の接続点にスタンバイ入力端子２が接続される。スタンバイ時の電源電圧ＶＣＣから接地電位へ流れる電流量を抑制するため、抵抗素子３～６の抵抗値は高く設定されている。また、抵抗素子４の抵抗値はスタンバイ信号ＳＴＢＹがハイインピーダンス状態のときスイッチングトランジスタ１１がオンし、スタンバイ信号ＳＴＢＹがハイレベルのときオフするように決められる。抵抗素子５および抵抗素子６の接続点にはＮＰＮ型のスイッチングトランジスタ７のベース（制御端）が接続される。スイッチングトランジスタ７は、エミッタ（一端）が接地され、抵抗素子５および抵抗素子６の接続点の電圧によりオン・オフ制御される。すなわち、スイッチングトランジスタ７は、抵抗素子５および抵抗素子６の接続点の電圧が順バイアス電圧（Ｖｆ）よりも低ければオフし、高ければオンする。

【００２１】
スイッチングトランジスタ７のコレクタ（他端）には電流供給回路８の入力端子である端子Ａが接続される。電流供給回路８は、出力端子である端子Ｂ～Ｄから供給電流を出力する。その詳細は後述するが、電流供給回路８は、スイッチングトランジスタ７がオンのとき端子Ｂ～Ｄから供給電流を出力し、オフならば供給電流を出力しない。電流供給回路８の端子Ｂには定電圧発生回路９の入力端子である端子Ｅが接続される。定電圧発生回路９は、端子Ｂおよび端子Ｅを介して電流供給回路８から電流が供給されると、定電圧（たとえば１．２８Ｖ）を発生して出力端子である端子Ｆから出力する。定電圧発生回路９の端子Ｆには定電圧出力バッファ回路１０が接続される。

【００２２】
定電圧出力バッファ回路１０において、増幅回路２１は、定電圧発生回路９から受けた定電圧を増幅する。電圧フォロア回路２２は、増幅回路２１の出力電圧を低い出力インピーダンスで出力する。増幅回路２１は、具体的には、オペアンプの非反転入力端子に定電圧発生回路９からの定電圧が入力され、反転入力端子に増幅用の抵抗を接続した非反転型の増幅回路である。

【００２３】
定電圧出力バッファ回路１０は、電流供給回路８の端子Ｃから電源電流が供給される場合、定電圧発生回路９から受けた定電圧に基づいて抵抗素子３および抵抗素子４の接続点に所定の電圧（たとえば３．３Ｖ）を出力する。定電圧出力バッファ回路１０は、電流供給回路８から電源電流が供給されない場合、すなわちスイッチングトランジスタ７がオフの場合、出力をハイインピーダンス状態とする。なお、定電圧出力バッファ回路１０は、電流供給回路８から電流が供給される構成に限らず、スイッチングトランジスタ７のオン・オフに基づいて所定の電圧を出力するか、または出力をハイインピーダンス状態とするかを切り替える構成であればよい。

【００２４】
定電圧出力バッファ回路１０の出力には、抵抗素子３および抵抗素子４の接続点が接続されると共に、ＰＮＰ型のスイッチングトランジスタ１１のエミッタ（一端）が接続される。スイッチングトランジスタ１１のベース（制御端）は抵抗素子４および抵抗素子５の接続点に接続される。スイッチングトランジスタ１１は、抵抗素子４の両端間の電圧によりオン・オフ制御される。すなわち、スイッチングトランジスタ１１は、抵抗素子４の両端間の電圧が順バイアス電圧（Ｖｆ）よりも低ければオフし、高ければオンする。

【００２５】
スイッチングトランジスタ１１のコレクタ（他端）には組み合わせ回路１２が接続される。具体的には、スイッチングトランジスタ１１のコレクタにはＰＭＯＳ型のトランジスタ３１のソースが接続される。トランジスタ３１のドレインには他端が接地された抵抗３２の一端が接続され、その接続点の信号が判別信号ＭＵＴＥ２になる。電流供給回路８の

端子Ｄには他端が接地された抵抗３３の一端とＮＰＮ型のトランジスタ３４のベースが接続される。トランジスタ３４は、エミッタが接地され、電流供給回路８から電流が供給されるとオンし、供給されないとオフする。トランジスタ３４のコレクタには他端が電源電圧ＶＣＣに接続された抵抗３５の一端が接続され、トランジスタ３４のコレクタおよび抵抗３５の接続点の信号が判別信号ＭＵＴＥ１になる。また、トランジスタ３４のコレクタおよび抵抗３５の接続点に前述のトランジスタ３１のゲートが接続される。

【００２６】

組み合わせ回路１２は、この回路構成により、スイッチングトランジスタ７およびスイッチングトランジスタ１１のオン・オフの組み合わせに基づいて複数の、この例では２個の判別信号を出力する論理を実現する。すなわち、スイッチングトランジスタ７がオフならば、電流供給回路８の端子Ｄから電流が供給されないのでトランジスタ３４はオフし、判別信号ＭＵＴＥ１はハイレベルになる。また、トランジスタ３１がオフするので、判別信号ＭＵＴＥ２はローレベルになる。一方、スイッチングトランジスタ７がオンならば、電流供給回路８の端子Ｄから電流が供給されてトランジスタ３４はオンし、判別信号ＭＵＴＥ１はローレベルになる。また、トランジスタ３１がオンするので、トランジスタ１１がオンならば判別信号ＭＵＴＥ２はハイレベルになり、トランジスタ１１がオフならば判別信号ＭＵＴＥ２はローレベルになる。なお、これと同様な論理を実現するのに他の様々な回路構成も可能である。たとえば、トランジスタ３４のゲートに電流供給回路８から電流が供給される代わりにトランジスタ３４のゲートをスイッチングトランジスタ７のゲートと共通にすることも可能である。

【００２７】

次に、入力回路１の全体の動作について説明する。スタンバイ入力端子２にローレベル（たとえば１．０Ｖ以下）のスタンバイ信号ＳＴＢＹが入力されると、スタンバイ信号ＳＴＢＹの電圧は抵抗素子５および抵抗素子６により分割され、抵抗素子５および抵抗素子６の接続点の電圧はスイッチングトランジスタ７の順バイアス電圧（Ｖｆ）よりも低くなり、スイッチングトランジスタ７はオフする。したがって、判別信号ＭＵＴＥ１はハイレベルになり、判別信号ＭＵＴＥ２はローレベルになり、前述したように、後続の機能回路全体がスタンバイ状態となる。また、電流供給回路８は端子Ｂ～Ｄから供給電流を出力せず、定電圧出力バッファ回路１０は出力をハイインピーダンス状態とするため、スタンバイ時の消費電流を低減することができる。

【００２８】

スタンバイ入力端子２がハイインピーダンス状態になると、電源電圧ＶＣＣが抵抗素子３～６により分割され、抵抗素子５および抵抗素子６の接続点の電圧はスイッチングトランジスタ７の順バイアス電圧（Ｖｆ）よりも高くなり、スイッチングトランジスタ７はオンする。また、抵抗素子４の両端間の電圧がスイッチングトランジスタ１１の順バイアス電圧（Ｖｆ）よりも高くなり、スイッチングトランジスタ１１はオンする。したがって、判別信号ＭＵＴＥ１はローレベルになり、判別信号ＭＵＴＥ２はハイレベルになる。

【００２９】

スタンバイ入力端子２にハイレベル（たとえば２．８Ｖ以上）のスタンバイ信号ＳＴＢＹが入力されると、スタンバイ入力端子２の電圧は抵抗素子５および抵抗素子６により分割され、抵抗素子５および抵抗素子６の接続点の電圧はスイッチングトランジスタ７の順バイアス電圧（Ｖｆ）よりも高くなり、スイッチングトランジスタ７はオンする。また、抵抗素子４の両端間の電圧がスイッチングトランジスタ１１の順バイアス電圧（Ｖｆ）よりも低くなり、スイッチングトランジスタ１１はオフする。したがって、判別信号ＭＵＴＥ１はローレベルになり、判別信号ＭＵＴＥ２はローレベルになる。

【００３０】

たとえば、電源電圧ＶＣＣが５Ｖ、抵抗素子３および抵抗素子４の抵抗値を５０ＫΩ、抵抗素子５および抵抗素子６の抵抗値を３０ＫΩ、定電圧出力バッファ回路１０が出力する所定の電圧を３．３Ｖ、スイッチングトランジスタ７およびスイッチングトランジスタ１１の順バイアス電圧（Ｖｆ）を０．６Ｖとする。スタンバイ信号ＳＴＢＹが１．０Ｖの

場合には、抵抗素子５および抵抗素子６の接続点の電圧は０．５Ｖとなり、順バイアス電圧（Ｖｆ）である０．６Ｖよりも低くなるため、スイッチングトランジスタ７はオフする。

【００３１】

スタンバイ入力端子２がハイインピーダンス状態の場合には、電源電圧ＶＣＣを抵抗分割した結果の抵抗素子５および抵抗素子６の接続点の電圧は約０．９Ｖとなり、順バイアス電圧（Ｖｆ）の０．６Ｖよりも高くなるため、スイッチングトランジスタ７はオンする。また、抵抗素子４の両端間の電圧は約１．７Ｖとなり、順バイアス電圧（Ｖｆ）よりも高くなるため、スイッチングトランジスタ１１はオンする。

【００３２】

スタンバイ信号ＳＴＢＹが２．８Ｖの場合には、抵抗素子５および抵抗素子６の接続点の電圧は１．４Ｖとなり、順バイアス電圧（Ｖｆ）の０．６Ｖよりも高くなるため、スイッチングトランジスタ７はオンする。また、抵抗素子４の両端間の電圧は０．５Ｖとなり、の順バイアス電圧（Ｖｆ）よりも低くなるため、スイッチングトランジスタ１１はオフする。

【００３３】

次に、電流供給回路８および定電圧発生回路９を詳細に説明する。図２は、本発明の実施の形態に係る入力回路１における電流供給回路８および定電圧発生回路９の回路図である。

【００３４】

同図を参照して、電流供給回路８は、抵抗４１と、トランジスタ４２～４８とを含む。定電圧発生回路９は、抵抗５１～５２と、トランジスタ５３と、トランジスタ５４と、抵抗５５と、トランジスタ５６とを含む。

【００３５】

抵抗４１は、一端が端子Ａに接続される。トランジスタ４２は、ＮＰＮ型であり、エミッタが端子Ａに接続される。トランジスタ４３は、ＮＰＮ型であり、トランジスタ４２よりもサイズが大きい（電流能力が大きく）。また、トランジスタ４３はダイオード接続されている。すなわち、トランジスタ４３は、ベースおよびコレクタがトランジスタ４２のベースに接続され、エミッタが抵抗４１の他端に接続される。

【００３６】

トランジスタ４４は、ダイオード接続されている。すなわち、トランジスタ４４は、ベースおよびコレクタがトランジスタ４２のコレクタに接続され、エミッタが電源電圧ＶＣＣに接続される。トランジスタ４５～４８は、ＰＮＰ型であり、トランジスタ４４とカレントミラー回路を構成する。

【００３７】

トランジスタ４５のコレクタは、トランジスタ４３のコレクタおよびベースに接続される。また、トランジスタ４５は、トランジスタ４４とサイズ（電流能力）が等しい。トランジスタ４６のコレクタは端子Ｂに接続され、トランジスタ４７のコレクタは端子Ｃに接続され、トランジスタ４８のコレクタは端子Ｄに接続される。

【００３８】

スイッチングトランジスタ７がオンすると、端子Ａがほぼ接地電位となり、トランジスタ４５、トランジスタ４３および抵抗４１から成る電流路とトランジスタ４４およびトランジスタ４２から成る電流路とに電流が流れる。この２個の電流路の電流値は等しく、また、各電流路の電流値はトランジスタ４３とトランジスタ４２とのサイズ比および抵抗４１の抵抗値で決まる。各電流路の電流がトランジスタ４６～４８を介して伝達され、端子Ｂ～Ｄから供給電流が出力される。スイッチングトランジスタ７がオフすると、各電流路に電流は流れず、端子Ｂ～Ｄから供給電流が出力されなくなる。

【００３９】

なお、電流供給回路８を起動するための起動回路は図１ではスイッチングトランジスタ７が該当する。また、電流供給回路８は図２で示す回路以外にも様々な別の回路構成が可

能である。

【００４０】

定電圧発生回路９は、バンドギャップ型であり、端子Ｅは電流供給回路８の端子Ｂに接続される。また、端子Ｅは定電圧発生回路９内部で端子Ｆと接続される。

【００４１】

抵抗５１～５２は、一端が端子Ｆおよび端子Ｅに接続され、共に同じ抵抗値である。トランジスタ５３は、ＮＰＮ型であり、ベースおよびコレクタが抵抗５１の他端に接続され、エミッタが接地されるダイオード接続である。

【００４２】

トランジスタ５４は、ＮＰＮ型であり、トランジスタ５３よりもサイズが大きく（電流能力が大きく）、かつ、ベースがトランジスタ５３のベースに接続され、コレクタが抵抗５２の他端に接続される。抵抗５５は、一端がトランジスタ５４のエミッタに接続され、他端が接地される。

【００４３】

トランジスタ５６は、ＮＰＮ型であり、ベースが抵抗５２とトランジスタ５４の接続点に接続され、エミッタが接地され、コレクタが端子Ｆ（および端子Ｅ）に接続される。

【００４４】

ここでは詳細な説明は特に行なわないが、定電圧発生回路９は、電流供給回路８から電流を供給されることで、温度依存性をほぼ持たない定電圧（たとえば１．２８Ｖ）を発生して端子Ｆに出力することができる。なお、定電圧発生回路９はバンドギャップ型に限らず別の回路構成が可能である。

【００４５】

以上説明したように、入力回路１はスタンバイ信号ＳＴＢＹの３値の１つとして、ハイレベルおよびローレベルの中間のレベルでなくハイインピーダンス状態を判別する。したがって、スタンバイ信号ＳＴＢＹを出力する制御装置（図示せず）は出力をハイインピーダンス状態とできるものであればよく、制御装置の出力電圧の調整または制御装置の出力電圧に合わせた入力回路１の調整が必要とならない。このことは、入力回路１および制御装置の電源電圧が異なる場合も同様であり、たとえば入力回路１の電源電圧ＶＣＣが５Ｖ、定電圧出力バッファ回路１０の出力する所定の電圧が３．３Ｖの場合には、入力回路１はほぼ２．８Ｖ以上をハイレベルとして判別可能なので、大体２．８Ｖないし５Ｖの電源電圧の制御装置を特別な調整なく用いることができる。また、入力回路１においては、ローレベルのスタンバイ信号ＳＴＢＹが入力されるとスタンバイ状態となり、電源電圧ＶＣＣから接地電位へ流れる電流量が抑制される。

【００４６】

なお、定電圧出力バッファ回路１０が出力する所定の電圧を下げるか、またはスタンバイ入力端子２と抵抗素子４との間に別の抵抗素子を設けることで、入力回路１が判別可能なハイレベルの最低電圧を下げる（たとえば２．８Ｖから２．５Ｖにする）ことも可能である。

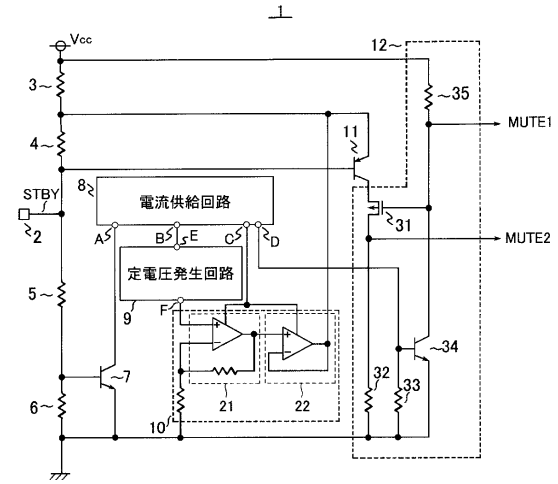
【００４７】

また、本発明の実施の形態に係る入力回路１はさまざまな設計変更が可能である。たとえば、入力回路１をスタンバイ信号入力回路以外に用いることも可能である。また、バイポーラトランジスタとＭＯＳトランジスタとの置き換えが可能なのは勿論である。

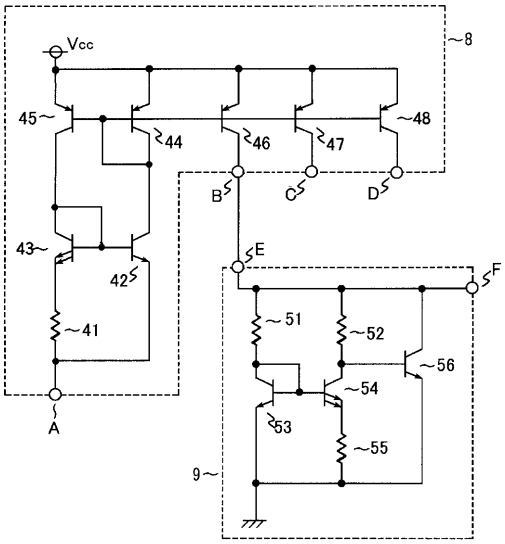
【００４８】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

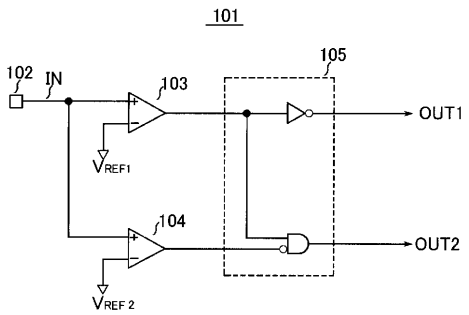
【図１】


1
Vcc
12
3
35
MUTE1
4
11
8
電流供給回路
STBY
2
A
B
E
C
D
31
MUTE2
定電圧発生回路
5
9
F
34
7
32
33
6
21
22
10

【図２】


Vcc
8
45
44
46
47
48
B
C
D
43
E
F
42
41
51
52
56
54
53
55
9
A

【図３】


101
105
102
IN
103
OUT1
VREF1
104
OUT2
VREF 2

フロントページの続き

(72)発明者　藤村　高志
京都府京都市右京区西院溝崎町２１番地　ローム株式会社内

審査官　柳下　勝幸

(56)参考文献　特開平８－７０２４２（ＪＰ，Ａ）
特開平４－１７７９１３（ＪＰ，Ａ）
特開２００３－１８８９２９（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H03K 19/20