

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5143431号  
(P5143431)

(45) 発行日 平成25年2月13日 (2013. 2. 13)

(24) 登録日 平成24年11月30日 (2012. 11. 30)

(51) Int. Cl.

F I

**H03F 3/45 (2006.01)**

H03F 3/45 A

**G09G 3/36 (2006.01)**

H03F 3/45 B

**G09G 3/20 (2006.01)**

G09G 3/36

**G02F 1/1345 (2006.01)**

G09G 3/20 623B

**G02F 1/133 (2006.01)**

G09G 3/20 621M

請求項の数 10 (全 13 頁) 最終頁に続く

(21) 出願番号 特願2007-4775 (P2007-4775)  
 (22) 出願日 平成19年1月12日 (2007. 1. 12)  
 (65) 公開番号 特開2007-189699 (P2007-189699A)  
 (43) 公開日 平成19年7月26日 (2007. 7. 26)  
 審査請求日 平成22年1月5日 (2010. 1. 5)  
 (31) 優先権主張番号 10-2006-0003962  
 (32) 優先日 平成18年1月13日 (2006. 1. 13)  
 (33) 優先権主張国 韓国 (KR)

(73) 特許権者 390019839  
 三星電子株式会社  
 Samsung Electronics  
 Co., Ltd.  
 大韓民国京畿道水原市靈通区三星路129  
 129, Samsung-ro, Yeon  
 g-tong-gu, Suwon-si, G  
 yeonggi-do, Republic  
 of Korea

(74) 代理人 100064908  
 弁理士 志賀 正武  
 (74) 代理人 100089037  
 弁理士 渡邊 隆  
 (74) 代理人 100108453  
 弁理士 村山 靖彦

最終頁に続く

(54) 【発明の名称】 出力偏差の改善された出力バッファ及びこれを備えた平板表示装置用のソースドライバ

(57) 【特許請求の範囲】

【請求項 1】

複数の表示セルが配列されている表示パネルに階調表示用のデータ信号を発生させる平板表示装置のソースドライバにおいて、

外部から提供されるデジタルのデータ信号を保存する保存部と、

前記保存部からデジタルのデータ信号を入力して、アナログの階調表示用のデータ信号に変換するデジタルアナログ変換部と、

前記階調表示用のデータ信号を前記表示パネルに提供する出力バッファ部と、を備え、

前記出力バッファ部は、複数の出力バッファを備えるが、各出力バッファは、互いに異なる駆動能を有する複数のトランジスタから構成され、

前記複数のトランジスタの一部は、薄膜のゲート絶縁膜を備える低電圧トランジスタを含み、残りは、厚膜のゲート絶縁膜を備える高電圧トランジスタを含み、

前記各出力バッファは、

第1差動入力信号と、第2差動入力信号として前記階調表示用のデータ信号とを入力する信号入力部と、

前記出力バッファの増幅等級を選択する増幅選択部と、

第1電源端子と前記信号入力部との間に連結される第1電流ミラーと、

第2電源端子と前記信号入力部との間に連結される第2電流ミラーと、

前記信号入力部及び前記増幅選択部の動作によって前記出力信号を発生させる出力部と、を備え、

前記信号入力部、前記増幅選択部、前記第 1 及び第 2 電流ミラー、及び前記出力部は、それぞれ複数のトランジスタから構成され、

前記第 1 及び第 2 電流ミラーを構成するトランジスタは、薄膜のゲート絶縁膜を備える低電圧トランジスタを含み、前記信号入力部、前記増幅選択部、及び前記出力部を構成するトランジスタは、厚膜のゲート絶縁膜を備える高電圧トランジスタを含む

ことを特徴とする平板表示装置用のソースドライバ。

【請求項 2】

前記出力バッファ部に提供される電源電圧が 12 V であると仮定する時、前記複数のトランジスタのうち低電圧トランジスタの動作領域は、2 V 以下である

ことを特徴とする請求項 1 に記載の平板表示装置用のソースドライバ。

10

【請求項 3】

前記表示パネルは、液晶パネルである

ことを特徴とする請求項 1 に記載の平板表示装置用のソースドライバ。

【請求項 4】

前記複数のトランジスタは、半導体基板上に形成された MOS トランジスタまたは平板表示パネル用の基板上に形成された薄膜トランジスタを含む

ことを特徴とする請求項 1 に記載の平板表示装置用のソースドライバ。

【請求項 5】

前記平板表示装置は、SOG タイプである

ことを特徴とする請求項 1 に記載の平板表示装置用のソースドライバ。

20

【請求項 6】

複数のゲートライン、複数のソースライン、及び前記複数のゲートラインと複数のソースラインとに連結された複数の表示セルが配列されている表示パネルと、

複数のゲート駆動信号を発生させ、前記表示パネルの前記複数のゲートラインに前記複数のゲート駆動信号をそれぞれ印加するゲートドライバと、

デジタルの入力データ信号に基づいて、前記表示パネルに配列された表示セルを駆動するのに使われるアナログ階調電圧信号を発生させるソースドライバと、

前記ゲートドライバ及びソースドライバを制御し、前記ソースドライバに前記入力データ信号を提供する制御部と、を備え、

前記ソースドライバ回路は、

30

前記デジタルの入力データ信号をアナログのデータ信号に変換して、前記アナログの階調電圧信号を発生させるデジタルアナログ変換部と、

前記デジタルアナログ変換部で発生した前記階調入力電圧を前記複数のソースラインを介して前記表示パネルに提供する複数の出力バッファを備えた出力バッファ部と、を備え、

各出力バッファは、複数のトランジスタから構成されるが、前記複数のトランジスタは、互いに異なる駆動能を有するトランジスタから構成され、

前記複数のトランジスタの一部は、低電圧駆動能を有するトランジスタを含み、残りは、高電圧駆動能を有するトランジスタを含む、

前記各出力バッファは、

40

第 1 差動入力信号と、第 2 差動入力信号として前記階調電圧信号とを入力する信号入力部と、

前記出力バッファの増幅等級を選択する増幅選択部と、

第 1 電源端子と前記信号入力部との間に連結される第 1 電流ミラーと、

第 2 電源端子と前記信号入力部との間に連結される第 2 電流ミラーと、

前記信号入力部及び前記増幅選択部の動作によって前記出力信号を発生させる出力部と、を備え、

前記信号入力部、前記増幅選択部、前記第 1 及び第 2 電流ミラー、及び前記出力部は、それぞれ複数のトランジスタから構成され、

前記第 1 及び第 2 電流ミラーを構成するトランジスタは、薄膜のゲート絶縁膜を備える

50

低電圧トランジスタを含み、前記信号入力部、前記増幅選択部、及び前記出力部を構成するトランジスタは、厚膜のゲート絶縁膜を備える高電圧トランジスタを含む

ことを特徴とする平板表示装置。

【請求項 7】

前記増幅部に提供される電源電圧が 12 V であると仮定する時、前記複数のトランジスタのうち低電圧駆動能を有するトランジスタの動作領域は、2 V 以下である

ことを特徴とする請求項 6 に記載の平板表示装置。

【請求項 8】

前記表示パネルは、液晶パネルである

ことを特徴とする請求項 6 に記載の平板表示装置。

10

【請求項 9】

前記複数のトランジスタは、半導体基板上に形成された MOS トランジスタまたは平板表示パネル用の基板上に形成された薄膜トランジスタを含む

ことを特徴とする請求項 6 に記載の平板表示装置。

【請求項 10】

前記平板表示装置は、SOG タイプである

ことを特徴とする請求項 6 に記載の平板表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

20

本発明は、平板表示装置用のソースドライバに係り、さらに詳細には、出力偏差の改善された出力バッファ及びこれを備えた平板表示装置用のソースドライバに関する。

【背景技術】

【0002】

一般的な液晶表示装置 (LCD) は、二枚の基板間に介在した液晶層を備え、前記液晶層に印加される電圧の強度を調節して、前記液晶層を通過する光の透過率を調節することで所望の画像を表示する。このような液晶表示装置は、液晶層をスイッチングするためのスイッチング素子として薄膜トランジスタを利用した薄膜トランジスタ液晶表示装置 (TFT-LCD) が主に使われている。TFT-LCD のうち、ポリシリコン TFT-LCD は、ガラス基板上に MOS トランジスタからなる回路を内蔵できるということが最も大きい長所である。現在では、LTPS (Low Temperature Polycrystalline Silicon) 工程を利用して、ドライバをガラス基板上に集積することが可能であり、さらに、制御部を含むシステム全体をガラス基板上に集積する SOG (System On Glass) が可能になった。

30

【0003】

TFT-LCD は、液晶パネルに配列された液晶セルを駆動するためのソースドライバを備える。ソースドライバは、階調表現のための電圧信号を液晶パネルに提供するために複数の出力バッファを備え、各出力バッファは、トランジスタから構成された演算増幅器から構成される。演算増幅器をトランジスタで構成する場合、同じ入力データに対応して出力される出力電圧の間には、大きい偏差が発生する。このような差をオフセット電圧と言い、オフセット電圧は、トランジスタの特性差によって激しく変動される。ソースドライバに同じデータ電圧が印加されても、出力バッファから発生する出力信号に偏差が発生して液晶パネルに同じ階調電圧が提供されない。したがって、同じ入力データに対してソースドライバから液晶パネルに異なる階調データが提供され、これによって誤動作または信号歪曲を招いて液晶パネルの画質低下をもたらす。

40

【0004】

このように、ソースドライバの出力バッファで発生する出力信号の偏差は、トランジスタのしきい電圧の偏差に起因する。トランジスタのしきい電圧は、前記トランジスタをオンまたはオフさせるための電圧であって、ゲート電極とチャンネル領域との間に存在するゲート絶縁膜の厚さ、チャンネル領域のドーピング濃度などの関数として表現される。前

50

記ゲート絶縁膜の厚さまたはチャンネル領域のドーピング濃度は、工程偏差によって変化する。したがって、従来には、出力バッファを構成するトランジスタをいずれも同一に形成したので、すなわち、出力バッファを構成するあらゆるトランジスタのゲート絶縁膜をいずれも同じ厚さを有するように形成したので、しきい電圧の変化による出力信号の偏差が引き起こされた。

【 0 0 0 5 】

これを解決するために、出力バッファにオフセット補償回路などを追加する方法が提案された。しかし、オフセット補償回路の追加は、面積の増加をもたらすため望ましくない。

【 特許文献 1 】 米国特許第 6 9 2 4 6 9 0 号明細書

10

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 6 】

本発明が解決しようとする技術的課題は、出力バッファを互いに異なる駆動能を有するトランジスタから構成して、出力バッファで発生する出力信号の偏差を改善した出力バッファを提供することである。

【 0 0 0 7 】

また、本発明の技術的課題は、出力偏差の改善された出力バッファを備えた平板表示装置用のソースドライバを提供することである。

【 課題を解決するための手段 】

20

【 0 0 0 8 】

前記本発明の技術的課題を達成するために、本発明の実施形態による出力バッファは、第 1 入力信号が提供される第 1 入力端子と、第 2 入力信号が提供される第 2 入力端子と、前記第 2 入力信号に基づいて出力信号を発生させるが、前記出力信号は、前記第 1 入力信号として提供される出力端子と、第 1 電源が提供される第 1 電源端子と、第 2 電源が提供される第 2 電源端子と、前記第 1 入力信号と第 2 入力信号とを差動増幅して、前記出力信号を前記第 1 電源にプルアップまたは前記第 2 電源にプルダウンさせ、互いに異なる複数のトランジスタを備える増幅部とを備える。

【 0 0 0 9 】

前記増幅部は、互いに異なる駆動能を有する複数のトランジスタから構成される。前記複数のトランジスタの一部は、薄膜のゲート絶縁膜を備える低電圧トランジスタを含み、残りは、厚膜のゲート絶縁膜を備える高電圧トランジスタを含む。前記増幅部に提供される電源電圧が 1.2 V であると仮定する時、前記複数のトランジスタのうち低電圧駆動能を有するトランジスタの動作領域は、2 V 以下である。前記複数のトランジスタは、MOS トランジスタまたは薄膜トランジスタを含む。第 1 電源は、電源電圧であり、前記第 2 電源は接地電圧である。

30

【 0 0 1 0 】

前記増幅部は、前記第 1 差動入力信号と、第 2 差動入力信号として前記出力信号とを入力する信号入力部と、前記増幅部の増幅等級を選択する増幅選択部と、前記第 1 電源端子と前記信号入力部との間に連結される第 1 電流ミラーと、前記第 2 電源端子と前記信号入力部との間に連結される第 2 電流ミラーと、前記信号入力部及び前記増幅選択部の動作によって前記出力信号を発生させる出力部とを備える。

40

【 0 0 1 1 】

前記信号入力部、前記増幅選択部、前記第 1 及び第 2 電流ミラー、及び前記出力部は、それぞれ複数のトランジスタから構成され、前記第 1 及び第 2 電流ミラーを構成するトランジスタは、薄膜のゲート絶縁膜を備える低電圧トランジスタを含み、前記信号入力部、前記増幅選択部、及び前記出力部を構成するトランジスタは、厚膜のゲート絶縁膜を備える高電圧トランジスタを含む。

【 0 0 1 2 】

また、本発明の他の見地によれば、複数の表示セルが配列されている表示パネルに階調

50

表示用のデータ信号を発生させる平板表示装置のソースドライバを提供する。前記ソースドライバは、外部から提供されるデジタルのデータ信号を保存する保存部と、前記保存部からデジタルのデータ信号を入力してアナログの階調表示用のデータ信号に変換するデジタルアナログ変換部と、前記階調表示用のデータ信号を前記表示パネルに提供する出力バッファ部とを備える。前記出力バッファ部は、複数の出力バッファを備えるが、各出力バッファは、互いに異なる複数のトランジスタから構成される。

【 0 0 1 3 】

また、本発明の他の見地によれば、平板表示装置は、複数のゲートライン、複数のソースライン、及び前記複数のゲートラインと複数のソースラインとに連結された複数の表示セルが配列されている表示パネルと、前記表示パネルの前記複数のゲートラインにゲート駆動信号を発生させるゲートドライバと、デジタルの入力データ信号に基づいて、前記表示パネルに配列された表示セルを駆動するためのアナログ階調電圧信号を出力するソースドライバと、前記ゲートドライバ及びソースドライバを制御し、前記ソースドライバに前記入力データ信号を提供する制御部とを備える。

10

【 0 0 1 4 】

前記ソースドライバ回路は、前記デジタルの入力データ信号をアナログのデータ信号に変換して、前記アナログの階調電圧信号を発生させるデジタルアナログ変換部と、前記デジタルアナログ変換部で発生した前記階調入力電圧を前記複数のソースラインを介して前記液晶パネルに提供する複数の出力バッファを備えた出力バッファ部とを備える。各出力バッファは、複数のトランジスタから構成されるが、前記複数のトランジスタは、互いに異なる駆動能を有するトランジスタから構成される。

20

【発明の効果】

【 0 0 1 5 】

平板表示装置用のソースドライバ回路に使われる出力バッファ回路において、出力偏差に大きく影響を及ぼすトランジスタをゲート絶縁膜の厚さが薄い低電圧トランジスタから構成し、残りのトランジスタは、ゲート絶縁膜の厚さが厚い高電圧トランジスタから構成する。これにより、出力バッファの面積を増加させずにMOSトランジスタのしきい電圧の変化による出力バッファの出力偏差を改善することができる。また、本発明の異なる駆動能を有するトランジスタから構成される出力バッファは、多様な平板表示装置のドライバ回路に適用可能である。

30

【発明を実施するための最良の形態】

【 0 0 1 6 】

以下、添付した図面に基づき、本発明の望ましい実施形態を説明する。しかし、本発明の実施形態は、色々な他の形態に変形でき、本発明の範囲が後述する実施形態によって限定されると解釈されてはならない。本発明の実施形態は、当業者に本発明をさらに完全に説明するために提供されるものである。したがって、図面での要素の形状などは、さらに明確な説明を強調するために誇張したものであり、図面上で同一符号で表示された要素は同一要素を意味する。

【 0 0 1 7 】

図1は、本発明のTF-T-LCDの構成図である。図1を参照すれば、TF-T-LCDは、セルアレイが配列される液晶パネル10、ゲートドライバ20、ソースドライバ30、及び制御部40を備える。前記液晶パネル10は、それぞれゲート駆動電圧 $V_{g1} \sim V_{gm}$ が提供される複数のゲートライン12-1～12-m、前記複数のゲートライン12-1～12-mと交差するように配列され、それぞれ階調電圧 $D1 \sim Dn$ が提供される複数のソースライン13-1～13-n、前記複数のゲートライン12-1～12-m及び前記複数のデータライン13-1～13-nにそれぞれ連結される複数の液晶セル11を備える。

40

【 0 0 1 8 】

前記各液晶セル11は、前記各ゲートライン12-1～12-mにゲートが連結され、ドレインにソースライン13-1～13-nが連結されるスイッチング素子である薄膜ト

50

ランジスタSTと、前記薄膜トランジスタSTのソースに一端が連結され、他端に共通電圧 $V_c$ が提供される液晶キャパシタ $C_{LC}$ とを備える。図示されていないが、各液晶セル11は、前記液晶キャパシタ $C_{LC}$ と並列連結されるストレージキャパシタ $C_{st}$ をさらに備えてもよい。

#### 【0019】

前記ゲートドライバ20は、前記液晶パネル10に配列された前記液晶セル11の薄膜トランジスタSTのゲートをオンまたはオフさせるゲート駆動信号 $V_{g1} \sim V_{gm}$ をそれぞれのゲートライン12-1～12-mに発生させる。前記ソースドライバ30は、入力データによる階調電圧 $D1 \sim Dn$ をそれぞれのソースライン13-1～13-nに提供する。前記制御部40は、外部から提供される制御信号を入力して、前記ゲートドライバ20及びソースドライバ30を制御するための制御信号（図示せず）を発生させる。

10

#### 【0020】

前記ゲートドライバ20及び前記ソースドライバ30は、液晶パネル10の外部に配置されるか、またはCOG(Chip On Glass)タイプの場合に液晶パネル10上に配置されうる。また、前記ゲートドライバ20及びソースドライバ30は、前記液晶パネル10のセルアレイをガラス基板上に製作するときと共に製作されてもよい。前記制御部40は、液晶パネル10の外部に配置されるか、またはSOGタイプの場合に前記液晶パネル10上に配置されうる。

#### 【0021】

図2は、本発明の実施形態によるソースドライバ30の概略的なブロック図である。図2を参照すれば、ソースドライバ30は、シフトレジスタ部310、第1ラッチ部320、第3ラッチ部330、デジタルアナログ変換部340、及び出力バッファ部350を備える。前記シフトレジスタ部310は、前記制御部40から提供されるデータクロック信号HCLKと水平同期スタート信号STHとを入力して、前記水平同期スタート信号STHを順次にシフトさせて前記第1ラッチ部320に出力する。

20

#### 【0022】

前記第1ラッチ部320は、前記シフトレジスタ部310から提供される出力信号にตอบสนองして、前記制御部40から提供される所定のビット、例えば8ビットのR、G、Bデータ信号を順次に入力して保存する。前記制御部40から提供されるR、G、Bデータ信号は、一定の階調値を有するデジタル信号である。前記第1ラッチ部320に前記複数のソースライン13-1～13-nに伝送されるR、G、Bデータ信号が全部保存されれば、前記第1ラッチ部320に保存されたR、G、Bデータ信号は、同時に前記第2ラッチ部330に伝送される。

30

#### 【0023】

前記第2ラッチ部330に保存されたR、G、Bデータ信号は、出力イネーブル信号OEにตอบสนองしてデジタルアナログ変換部340に提供される。デジタルアナログ変換部340は、階調電圧発生部（図示せず）に発生する階調電圧 $V_+ \sim V_-$ のうち、前記第2ラッチ部330から提供されるR、G、Bデータ信号に対応する階調電圧信号を選択して出力する。したがって、デジタルアナログ変換部340は、前記第2ラッチ部330から提供されるデジタル信号のR、G、Bデータ信号を入力し、前記R、G、Bデータ信号に相応するアナログ信号の階調電圧信号に変換する。前記デジタルアナログ変換部340は、図示されていないが、複数のデジタルアナログ変換器、例えば、n個のデジタルアナログ変換器を備え、複数のデジタルアナログ変換器は、それぞれアナログ階調電圧信号 $DAC1 \sim DACn$ を前記出力バッファ部350に提供する。

40

#### 【0024】

図示されていないが、ソースドライバ30は、前記第2ラッチ部330と前記デジタルアナログ変換部340との間に配列されるレベルシフト部をさらに備えてもよい。前記レベルシフト部は、前記制御部40から提供されて前記第2ラッチ部30に保存されたR、G、Bデータ信号を液晶パネル10を駆動するのに適した高電圧レベルのR、G、Bデータ信号に変換させる。

50

## 【0025】

前記出力バッファ部350は、前記デジタル-アナログ変換部340の出力を前記ソースライン13-1~13-nを介して液晶パネル10に提供する。前記出力バッファ部350は、図3を参照すれば、前記デジタルアナログ変換部340の複数のデジタルアナログ変換器から、階調電圧信号DAC1~DACnをそれぞれ前記液晶パネル10の複数のソースライン13-1~13-nにそれぞれ提供するための複数の出力バッファ、例えば、n個の出力バッファ351~35nを備える。

## 【0026】

各出力バッファ351~35nは、非反転入力端子(+)に前記デジタルアナログ変換部340の各デジタルアナログ変換器から提供される階調電圧信号DAC1~DACnが提供され、反転入力端子(-)に出力信号CH1~CHnがフィードバックされる差動増幅器から構成される。前記各出力バッファ351~35nは、前記各階調電圧信号DAC1~DACnを増幅して、出力信号CH1~CHnを前記ソースライン13-1~13-nを介して液晶パネル10に提供する。

## 【0027】

図4は、図3に示された出力バッファ351~35nの詳細図であって、MOSトランジスタをもって具現した一例を示す。各出力バッファ351~35nは、同じ構成を有する。図4を参照すれば、各出力バッファ351~35nは、差動増幅部、増幅選択部34、出力部35、及びイネーブル部36を備える。前記差動増幅部は、信号入力部31、第1電流ミラー32、及び第2電流ミラー33を備える。前記信号入力部31は、前記デジタルアナログ変換部340の各デジタルアナログ変換器から提供される階調電圧信号DAC1~DACnを第1差動入力端子を介して第1差動入力信号inpとして入力し、出力端子outを介して出力される出力信号CH1~CHnを第2差動入力端子を介して第2差動入力信号innとして入力する。前記第1差動入力信号inpを入力する第1差動入力端子は、図3の非反転入力端子(+)に対応し、前記第2差動入力信号innを入力する第2差動入力端子は、図3の反転入力端子(-)に対応する。

## 【0028】

前記信号入力部31は、第1差動入力信号inpと第2差動入力信号innとをそれぞれ入力する第1及び第2NMOSトランジスタMN1、MN2及び第1及び第2PMOSトランジスタMP1、MP2を備える。前記第1及び第2NMOSトランジスタMN1、MN2は、ゲートに第1及び第2差動入力信号inp、innがそれぞれ印加され、ソースが第2ノードa2に共通連結され、ドレインが第7ノードa7及び第3ノードa3にそれぞれ連結される。前記第1及び第2PMOSトランジスタMP1、MP2は、ゲートに前記第1及び第2差動入力inp、innが提供され、ソースに前記第1ノードa1が共通連結され、ドレインがそれぞれ第10ノードa10及び第6ノードa6に連結される。第1電流ミラー32は、第5及び第7PMOSトランジスタMP5、MP7を備える。前記第5及び第7PMOSトランジスタMP5、MP7は、ゲートが第4ノードa4に共通連結され、ソースに第1電源端子が連結され、ドレインが前記第3ノードa3及び第7ノードa7にそれぞれ連結される。前記第1電源端子には、電源電圧Vddが提供される。

## 【0029】

第2電流ミラー33は、第5及び第7NMOSトランジスタMN5、MN7を備える。前記第5及び第7NMOSトランジスタMP5、MP7は、ゲートが第5ノードa5に共通連結され、ソースに第2電源端子が連結され、ドレインが前記第6ノードa6及び第10ノードa10にそれぞれ連結される。前記第2電源端子には、接地電圧Vssが提供される。

## 【0030】

増幅選択部34は、前記出力バッファ351~35nが前記デジタルアナログ変換部340から階調電圧信号DCA1~DCAnを増幅するとき、増幅等級を選択するためのものである。例えば、前記増幅選択部34は、外部から提供される第5及び第6バイアス電圧vb5、vb6によって、A級、B級またはAB級のうち一つを選択して、前記各出力

10

20

30

40

50

バッファ351～35nの増幅部が、選択された等級に第1及び第2差動入力信号inp、innを増幅できるようにする。前記増幅選択部34は、第4、第6、第9及び第10PMOSTランジスタMP4、MP6、MP9、MP10及び第4、第6、第9及び第10NMOSTランジスタMN4、MN6、MN9、MN10を備える。

#### 【0031】

前記第4及び第6PMOSTランジスタMP4、MP6は、ゲートに第2バイアス電圧vb2が印加され、ソースが前記第3ノードa3及び第7ノードa7にそれぞれ連結され、ドレインが第4ノードa4及び第8ノードa8にそれぞれ連結される。前記第4及び第6NMOSTランジスタMN4、MN6は、ゲートに第3バイアス電圧vb3が提供され、ソースが前記第6ノードa6及び第10ノードa10にそれぞれ連結され、ドレインが第5ノードa5及び第9ノードa9にそれぞれ連結される。前記第9及び第10PMOSTランジスタMP9、MP10は、ゲートに第5バイアス電圧vb5が印加され、ソースが前記第4ノードa4及び第8ノードa8にそれぞれ連結され、ドレインが前記第5ノードa5及び第9ノードa9にそれぞれ連結される。前記第9及び第10NMOSTランジスタMN9、MN10は、ゲートに第6バイアス電圧vb6が印加され、ドレインが前記第4ノードa4及び第8ノードa8にそれぞれ連結され、ソースが前記第5ノードa5及び第9ノードa9にそれぞれ連結される。

#### 【0032】

前記出力部35は、第8PMOSTランジスタMP8及び第8NMOSTランジスタMN8と、第1及び第2キャパシタC1、C2とを備える。前記第8PMOSTランジスタMP8及び第8NMOSTランジスタMN8は、ゲートがそれぞれ第8ノードa8と第9ノードa9とに連結され、ソースがそれぞれ第1電源端子Vdd及び第2電源端子Vssにそれぞれ連結され、ドレインが出力端子outに共通連結される。前記第8PMOSTランジスタMP8及び第8NMOSTランジスタMN8のゲートには、それぞれ第8ノードa8及び第9ノードa9を通じてプルアップ信号pu及びプルダウン信号pdが提供される。前記第1及び第2キャパシタC1、C2は、一端がそれぞれ第7ノードa7と第10ノードa10とに連結され、他端が前記出力端子outに共通連結される。

#### 【0033】

前記イネーブル部36は、前記増幅部を構成する信号入力部31をイネーブルさせるための第3PMOSTランジスタMP3と第3NMOSTランジスタMN3とを備える。前記第3PMOSTランジスタMP3と第3NMOSTランジスタMN3とは、ゲートに第1バイアス電圧vb1と第4バイアス電圧vb4とがそれぞれ印加され、ソースは、それぞれ第1電源端子Vddと第2電源端子Vssとに連結され、ドレインがそれぞれ第1ノードa1と第2ノードa2とに連結される。前記第1ないし第6バイアス電圧vb1～vb6は、外部から提供される一定電圧である。

#### 【0034】

前記各出力バッファ351～35nは、第1差動入力信号inpと第2差動入力信号innとを入力し、前記第1バイアス電圧vb1及び前記第4バイアス電圧vb4によって前記第3PMOSTランジスタMP3及び第3NMOSTランジスタMN3をイネーブルさせる。前記増幅部は、第1差動入力信号inpと第2差動入力信号innとを差動増幅して、前記第7ノードa7及び第10ノードa10に提供する。前記増幅選択部34は、第5及び第6バイアス電圧vb5、vb6が印加される第10PMOSTランジスタMP10及び第10NMOSTランジスタMN10によって前記増幅部の増幅等級を決定して、プルアップ信号pu及びプルダウン信号pdを前記出力部35に提供する。前記出力部35は、前記プルアップ信号pu及びプルダウン信号pdによって、前記第8PMOSTランジスタMP8及び第8NMOSTランジスタMN8が駆動されて出力信号outを発生させる。

#### 【0035】

図示されていないが、前記ソースドライバ30は、液晶パネル10を反転駆動方式、例えば、ドット反転駆動方式を利用して駆動する場合、前記デジタルアナログ変換部34

10

20

30

40

50



0 は、階調電圧信号 D A C 1 ~ D A C n としてポジティブ階調電圧信号とネガティブ階調電圧信号とを前記出力バッファ部 3 5 0 に提供する。したがって、前記ソースドライバ 3 0 は、極性反転制御部をさらに備えて、極性反転制御部が前記デジタルアナログ変換部 3 4 0 から提供されるポジティブ階調電圧信号とネガティブ階調電圧信号とのうち一つが前記各出力バッファ 3 5 1 ~ 3 5 n に提供されるように制御することができる。

【 0 0 3 6 】

前記各出力バッファ 3 5 1 ~ 3 5 n の出力信号 o u t で発生する出力偏差は、各出力バッファ 3 5 1 ~ 3 5 n を構成する M O S トランジスタのしきい電圧 v t h の不均一に起因するが、前記しきい電圧 v t h の偏差を数式で表現すれば、次の通りである。

【 0 0 3 7 】

【 数 1 】

$$S(\Delta V_{th}) = \frac{Avt}{\sqrt{W \times L}} = \frac{q \times \sqrt{Nt}}{Cox \times \sqrt{W \times L}}$$

【 0 0 3 8 】

数式 1 において、N t は、チャンネル領域のドーピング濃度を示し、C o x は、ゲート絶縁膜のキャパシタンスを示し、W 及び L は、それぞれ M O S トランジスタの幅及び長さを示す。q は、電荷量である。

【 0 0 3 9 】

前記数式 1 から、M O S トランジスタの幅と長さが同一であり、チャンネル領域のドーピング濃度が同一であれば、しきい電圧 v t h の偏差 S ( V t h ) は、ゲート絶縁膜の厚さによって変化するということが分かる。したがって、ゲート絶縁膜の厚さが大きければ大きいほど、しきい電圧 v t h の偏差 S ( V t h ) が増加するということが分かる。

【 0 0 4 0 】

前記出力バッファ 3 5 1 ~ 3 5 n を構成する M O S トランジスタの各ノードの電圧を表 1 に示す。表 1 は、電源電圧 V d d が 1 2 V である場合、各入力電圧 V i n 、すなわち、第 1 差動入力信号 i n p の電圧レベルによる各ノードの電圧を示す。各出力バッファ 3 5 1 ~ 3 5 n の出力信号 o u t の出力偏差に大きく影響を及ぼすのは、前記出力バッファを構成する複数のトランジスタ M P 1 ~ M P 1 0 、M N 1 ~ M N 1 0 のうち、低い動作電圧を有するトランジスタである。例えば、電源電圧 V d d が 1 2 V である場合、出力偏差に大きく影響を及ぼすトランジスタは、1 2 V の電源電圧と 0 V の接地電圧とに対して 2 V 以下の動作領域を有するトランジスタである。入力電圧 V i n に関係なく 2 V 以下の動作電圧を維持するノードは、a 3 、a 6 、a 7 、a 1 0 となる。すなわち、第 3 ノード a 3 及び第 7 ノード a 7 に連結される第 1 電流ミラー 3 2 の P M O S トランジスタ M P 5 、M P 7 は、1 2 V の電源電圧の動作電圧に対して 2 V 以下の低い動作電圧を有する。一方、ノード a 6 及び a 1 0 は、接地電圧に対して 2 V 以下の低い動作電圧を維持する。第 6 ノード a 6 及び第 1 0 ノード a 1 0 に連結される第 2 電流ミラー 3 3 の N M O S トランジスタ M N 5 、M N 7 は、0 V の接地電圧に対して 2 V 以下の動作電圧を有する。しかし、ノード a 5 及び a 9 は、電源電圧及び接地電圧に対して 2 V 以下の低い動作電圧を維持しない。

【 0 0 4 1 】

出力バッファ 3 5 1 ~ 3 5 n の出力信号 o u t の出力偏差を減少させるためには、前記ノード a 3 、a 6 、a 7 、a 1 0 に連結された第 5 及び第 7 P M O S トランジスタ M P 5 、M P 7 及び第 5 及び第 7 N M O S トランジスタ M N 5 、M N 7 は、ゲート絶縁膜の厚さを残りのトランジスタに比べて薄く形成することが望ましい。したがって、図 5 に示すように、各出力バッファを構成する M O S トランジスタのうち、低い動作電圧を有する前記第 5 及び第 7 P M O S トランジスタ M P 5 、M P 7 及び第 4 及び第 5 N M O S トランジスタ M N 5 、M N 7 は、薄膜のゲート絶縁膜を有する低電圧トランジスタ 5 0 a で構成し

10

20

30

40

50

、残りのトランジスタは、厚膜のゲート絶縁膜を有する高電圧トランジスタ 50b で構成する。

【0042】

【表1】

入力電圧 ノード	0.2V	4V	11.8V	8V
a1	3.95	6.91	12.00	9.93
a2	0	1.95	7.63	4.80
a3	10.98	10.95	10.95	10.95
a4	10.59	10.54	10.53	10.54
a5	1.53	1.46	1.36	1.46
a6	0.45	0.47	0.47	0.47
a7	11.11	11.06	11.04	11.06
a8	11.05	11.00	10.97	10.99
a9	1.11	1.12	1.03	1.08
a10	0.45	0.47	0.47	0.47

【0043】

図5を参照すれば、低電圧トランジスタ 50a は、基板 51 上に形成された薄膜のゲート絶縁膜 53a、ゲート電極 55a、及びソース/ドレイン領域 57a を備える。一方、高電圧トランジスタ 50b は、前記基板 51 上に形成された厚膜のゲート絶縁膜 53b、ゲート電極 55b 及びソース/ドレイン領域 57b を備える。前記低電圧トランジスタ 50a のゲート絶縁膜 53a の厚さは、前記高電圧トランジスタ 50b のゲート絶縁膜 53b より薄い。前記各出力バッファ 351 ~ 35n を構成する MOS トランジスタの構造は、図5に限定されず、多様な構造を有することができる。

【0044】

前記ソースドライバ 30 が、前記液晶パネル 10 のセルアレイと共に集積される場合、前記基板 51 は、ガラス基板、プラスチック基板または金属基板のような平板表示パネルの製造に使われる基板を含み、低電圧トランジスタ 50a 及び高電圧トランジスタ 50b は、例えば、低温ポリシリコン工程を利用した N 型または P 型薄膜トランジスタとして具現する。一方、前記ソースドライバ 30 が、前記液晶パネル 10 のセルアレイとは別途に製作される場合には、前記基板 51 は、シリコン基板のような半導体集積回路の製造に使われる半導体基板を含み、前記低電圧トランジスタ 50a 及び高電圧トランジスタ 50b は、一般的な MOS トランジスタとして具現する。

【0045】

本発明の実施形態において、各出力バッファ 351 ~ 35n を構成する MOS トランジスタのうち、低電圧 MOS トランジスタとして具現される動作領域の範囲は、12V の電源電圧において 2V 以下に限定されるものではなく、多様な値を有してもよい。

【0046】

以上、本発明を望ましい実施形態を挙げて詳細に説明したが、本発明は、前記実施形態に限定されず、本発明の技術的思想の範囲内で当業者によって多様な変形が可能である。

【産業上の利用可能性】

## 【 0 0 4 7 】

本発明は、表示装置関連の技術分野に好適に用いられる。

## 【図面の簡単な説明】

## 【 0 0 4 8 】

【図 1】本発明の薄膜トランジスタ液晶表示装置（TFT-LCD）の構成図である。

【図 2】本発明の薄膜トランジスタ液晶表示装置用ソースドライバの概略的な構成図である。

【図 3】本発明の薄膜トランジスタ液晶表示装置用ソースドライバの出力バッファ部の構成図である。

【図 4】本発明の薄膜トランジスタ液晶表示装置用ソースドライバの出力バッファの一例を示す図である。 10

【図 5】図 4 に示す出力バッファを構成するトランジスタの断面図である。

## 【符号の説明】

## 【 0 0 4 9 】

1 0 液晶パネル

1 1 液晶セル

2 0 ゲートドライバ

3 0 ソースドライバ

3 1 信号入力部

3 2 第 1 電流ミラー

20

3 3 第 2 電流ミラー

3 4 増幅選択部

3 5 出力部

3 6 イネーブル部

4 0 制御部

5 0 a 低電圧トランジスタ

5 0 b 高電圧トランジスタ

5 1 基板

5 3 a、5 3 b ゲート絶縁膜

5 5 a、5 5 b ゲート電極

30

5 7 a、5 7 b ソース/ドレイン領域

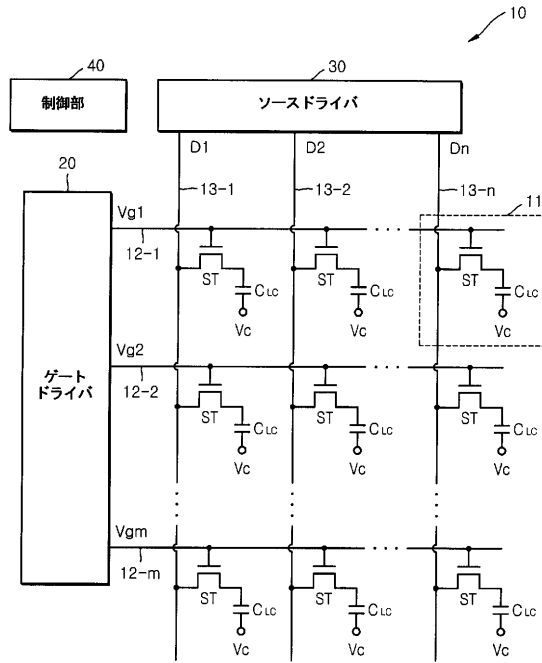
3 1 0 シフトレジスタ部

3 2 0、3 3 0 ラッチ部

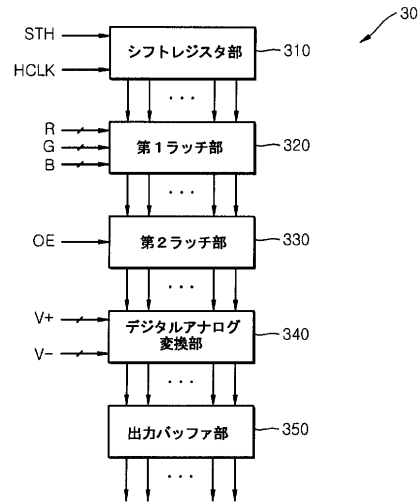
3 4 0 デジタルアナログ変換部

3 5 0 出力バッファ部

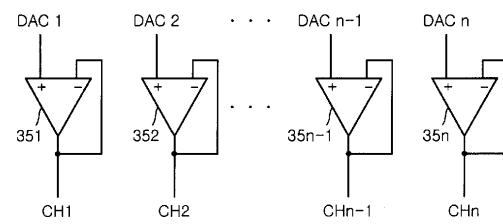
【図 1】



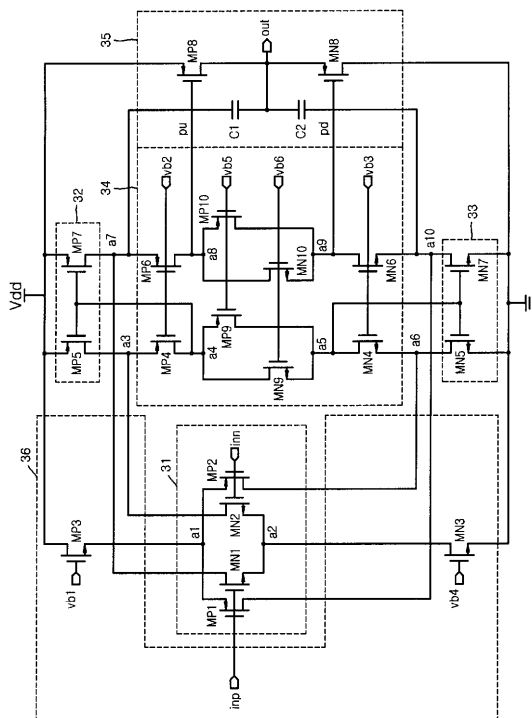
【図 2】



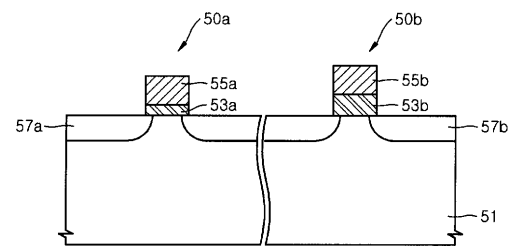
【図 3】



【図 4】



【図 5】



## フロントページの続き

(51)Int.Cl. F I

G 0 9 G	3/20	6 8 0 G
G 0 9 G	3/20	6 1 2 E
G 0 9 G	3/20	6 2 3 G
G 0 9 G	3/20	6 2 3 F
G 0 9 G	3/20	6 4 1 C
G 0 9 G	3/20	6 1 1 H
G 0 9 G	3/20	6 4 2 A
G 0 2 F	1/1345	
G 0 2 F	1/133	5 5 0
G 0 2 F	1/133	5 7 5

(74)代理人 100110364

弁理士 実広 信哉

(72)発明者 張 東烈

大韓民国京畿道水原市靈通區靈通洞 1 1 5 3 番地 靈通アイパークアパートウエスト棟 2 6 0 2 號

(72)発明者 李 受哲

大韓民国ソウル特別市江南區道谷 1 洞 8 9 5 - 8 番地 驛三韓信アパート 1 洞 6 0 3 號

審査官 高橋 義昭

(56)参考文献 特開 2 0 0 1 - 0 1 5 6 0 9 ( J P , A )

特開 2 0 0 3 - 1 8 8 6 5 2 ( J P , A )

特開 2 0 0 5 - 2 6 0 1 6 8 ( J P , A )

特開 2 0 0 5 - 3 2 1 5 1 0 ( J P , A )

特開平 0 6 - 3 2 6 5 2 9 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

H 0 3 F 3 / 4 5

G 0 2 F 1 / 1 3 3

G 0 2 F 1 / 1 3 4 5

G 0 9 G 3 / 2 0

G 0 9 G 3 / 3 6