

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成20年3月6日(2008.3.6)

【公開番号】特開2007-142448(P2007-142448A)

【公開日】平成19年6月7日(2007.6.7)

【年通号数】公開・登録公報2007-021

【出願番号】特願2007-919(P2007-919)

【国際特許分類】

H 0 1 L 21/8247 (2006.01)

H 0 1 L 29/788 (2006.01)

H 0 1 L 29/792 (2006.01)

H 0 1 L 27/115 (2006.01)

G 1 1 C 16/04 (2006.01)

【F I】

H 0 1 L 29/78 3 7 1

H 0 1 L 27/10 4 3 4

G 1 1 C 17/00 6 2 1 Z

【手続補正書】

【提出日】平成20年1月21日(2008.1.21)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体基板に形成された n 型ウエルと、前記 n 型ウエル表面に所定間隔を開けて形成された p + 領域であるソースおよびドレインと、前記ソース、ドレイン間に形成されたチャネル領域と、前記チャネル領域の情報にトンネル絶縁膜を介して形成されたフローティングゲート、ナノクリスタル層、シリコン窒化膜等の不導体電荷トラップ相当の電荷蓄積層と、前記電荷蓄積層の上方に絶縁膜を介して形成されたゲート電極と、を有する不揮発性半導体記憶装置であって、書き込み時に「 $V_g > V_{sub} > V_s > V_d$ 」、「 $V_{sub} > 0V$ 」、「 $V_d = V_{cc}$ 」の関係を有する電圧 V_g 、 V_{sub} 、 V_s および V_d を、それぞれゲート電極、n 型ウエル、ソースおよびドレインに印加することにより、ドレイン付近にバンド間トンネリングによるホットエレクトロンを発生させ、このホットエレクトロンを前記電荷蓄積層に注入してビットデータの書き込みを行なうものにおいて、

Y 系の回路を V_{cc} トランジスタで形成していることを特徴とする不揮発性半導体装置

。

【請求項 2】

半導体基板に形成された n 型ウエルと、前記 n 型ウエル表面に所定間隔を開けて形成された p + 領域であるソースおよびドレインと、前記ソース、ドレイン間に形成されたチャネル領域と、前記チャネル領域の情報にトンネル絶縁膜を介して形成されたフローティングゲート、ナノクリスタル層、シリコン窒化膜等の不導体電荷トラップ相当の電荷蓄積層と、前記電荷蓄積層の上方に絶縁膜を介して形成されたゲート電極と、を有する不揮発性半導体記憶装置であって、書き込み時に「 $V_g > V_{sub} > V_s > V_d$ 」、「 $V_{sub} > 0V$ 」、「 $V_d = V_{cc}$ 」の関係を有する電圧 V_g 、 V_{sub} 、 V_s および V_d を、それぞれゲート電極、n 型ウエル、ソースおよびドレインに印加することにより、ドレイン付近にバンド間トンネリングによるホットエレクトロンを発生させ、このホットエレクトロ

ンを前記電荷蓄積層に注入してビットデータの書き込みを行なうものにおいて、
書き込み時に、ドレインに対して 0 V 乃至正の電圧のみを与える回路を備えたことを特
徴とする不揮発性半導体装置。

【請求項 3】

請求項 1 または 2 に記載のメモリセルを NOR 型または NAND 型に接続してアレイ化したことを特徴とする不揮発性半導体記憶装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正の内容】

【0001】

本発明は、不揮発性半導体メモリセルのゲート長の短縮化を実現した不揮発性半導体記憶装置に関する。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正の内容】

【0009】

この発明は、ソース・ドレイン間の電位差 V_{ds} を小さくしてメモリセルのゲート長を短くすることができる不揮発性半導体記憶装置を提供することを目的とする。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正の内容】

【0010】

この発明は、半導体基板に形成された n 型ウエルと、前記 n 型ウエル表面に所定間隔を開けて形成された p + 領域であるソースおよびドレインと、前記ソース、ドレイン間に形成されたチャネル領域と、前記チャネル領域の情報にトンネル絶縁膜を介して形成されたフローティングゲート、ナノクリスタル層、シリコン窒化膜等の不導体電荷トラップ相当の電荷蓄積層と、前記電荷蓄積層の上方に絶縁膜を介して形成されたゲート電極と、を有する不揮発性半導体記憶装置であって、書き込み時に「 $V_g > V_{sub} > V_s > V_d$ 」、
「 $V_{sub} > 0V$ 」、 $V_d = V_{cc}$ 」の関係性を有する電圧 V_g 、 V_{sub} 、 V_s および V_d を、それぞれゲート電極、n 型ウエル、ソースおよびドレインに印加することにより、ドレイン付近にバンド間トンネリングによるホットエレクトロンを発生させ、このホットエレクトロンを前記電荷蓄積層に注入してビットデータの書き込みを行なうものにおいて、Y 系の回路を V_{cc} トランジスタで形成していることを特徴とする。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正の内容】

【0011】

この発明は、半導体基板に形成された n 型ウエルと、前記 n 型ウエル表面に所定間隔を開けて形成された p + 領域であるソースおよびドレインと、前記ソース、ドレイン間に形成されたチャネル領域と、前記チャネル領域の情報にトンネル絶縁膜を介して形成されたフローティングゲート、ナノクリスタル層、シリコン窒化膜等の不導体電荷トラップ相当の電荷蓄積層と、前記電荷蓄積層の上方に絶縁膜を介して形成されたゲート電極と、を有

する不揮発性半導体記憶装置であって、書き込み時に「 $V_g > V_{sub} > V_s > V_d$ 」、
「 $V_{sub} > 0V$ 」、「 $V_d = V_{cc}$ 」の関係を有する電圧 V_g 、 V_{sub} 、 V_s および
 V_d を、それぞれゲート電極、 n 型ウエル、ソースおよびドレインに印加することにより
、ドレイン付近にバンド間トンネリングによるホットエレクトロンを発生させ、このホッ
トエレクトロンを前記電荷蓄積層に注入してビットデータの書き込みを行なうものにおい
て、書き込み時に、ドレインに対して $0V$ 乃至正の電圧のみを与える回路を備えたことを
特徴とする。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】削除

【補正の内容】

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】削除

【補正の内容】

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】削除

【補正の内容】

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】削除

【補正の内容】

【手続補正 10】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正の内容】

【0016】

この発明は、請求項 1 または請求項 2 に記載のメモリセルを NOR 型または NAND 型
に接続してアレイ化したことを特徴とする。

【手続補正 11】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】削除

【補正の内容】

【手続補正 12】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】削除

【補正の内容】