



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2017년07월26일

(11) 등록번호 10-1761922

(24) 등록일자 2017년07월20일

(51) 국제특허분류(Int. Cl.)

H01L 23/60 (2006.01) H01L 29/78 (2006.01)

(21) 출원번호 10-2011-0027622

(22) 출원일자 2011년03월28일

심사청구일자 2015년11월13일

(65) 공개번호 10-2011-0109947

(43) 공개일자 2011년10월06일

(30) 우선권주장

JP-P-2010-076373 2010년03월29일 일본(JP)

(56) 선행기술조사문헌

US20020142540 A1\*

JP2007116049 A\*

JP2003023159 A\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

에스아이아이 세미컨덕터 가부시키가이샤

일본국 치바켄 치바시 미하마구 나카세 1쵸메 8반  
지

(72) 발명자

야마모토 스케히로

일본국 치바켄 치바시 미하마구 나카세 1쵸메 8반  
지 세이코 인스트루 가부시키가이샤 내

(74) 대리인

한양특허법인

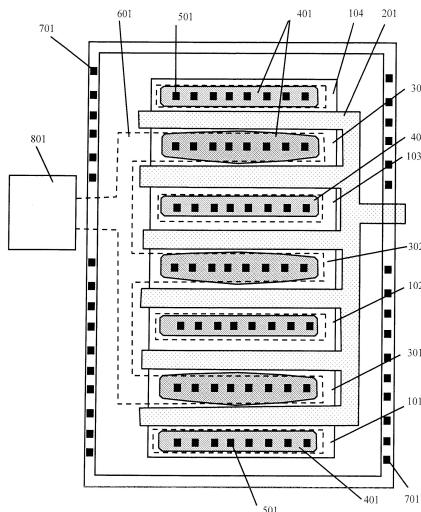
전체 청구항 수 : 총 4 항

심사관 : 이우찬

(54) 발명의 명칭 반도체 장치

**(57) 요 약**

반도체 장치는, 복수의 드레인 영역과 복수의 소스 영역이 교호로 배치되고, 상기 드레인 영역과 상기 소스 영역의 사이에 게이트 전극이 배치된, 복수의 트랜지스터가 조합되어 일체화된 구조를 갖는 ESD 보호용의 MOS 트랜지스터를 가지며, 드레인 영역 상에 형성되는 살리사이드 금속 영역과 게이트 전극의 거리가, 드레인 영역 상의 컨택트와 기판 컨택트로부터의 거리에 따라 정해져 있다.

**대 표 도 - 도1**

## 명세서

### 청구범위

#### 청구항 1

교호(交互)로 배치된 복수의 드레인 영역 및 복수의 소스 영역과, 상기 복수의 드레인 영역과 복수의 소스 영역 중 이웃한 드레인 영역과 소스 영역의 사이에 배치된 게이트 전극과, 상기 복수의 드레인 영역, 상기 복수의 소스 영역 및 상기 게이트 전극의 주위에 배치된 기판 컨택트를 구비하는, 복수의 트랜지스터가 일체화된 구조를 갖는 ESD 보호용의 MOS 트랜지스터를 가지며,

상기 복수의 드레인 영역은 외부 접속 단자와 전기적으로 접속되고,

상기 복수의 소스 영역은 그라운드 전위 공급 라인과 전기적으로 접속되어 있으며,

상기 복수의 드레인 영역의 각각에 형성되는 살리사이드 금속과 가장 가까운 게이트 전극의 거리가, 상기 기판 컨택트 중 가장 가까이에 있는 기판 컨택트로부터의 위치에 따라, 상기 위치가 멀어질수록 상기 거리가 연속적으로 짧게 형성되어 있으며,

상기 복수의 드레인 영역 상의 컨택트가 각각의 드레인 영역에서 복수열 있는 경우에 있어서, 상기 살리사이드 금속의 단(端)과 상기 컨택트를 형성하는 컨택트 홀의 거리가 일정하도록 상기 컨택트 홀이 배치되어 있는 것을 특징으로 하는 반도체 장치.

#### 청구항 2

삭제

#### 청구항 3

교호로 배치된 복수의 드레인 영역 및 복수의 소스 영역과, 상기 복수의 드레인 영역과 복수의 소스 영역 중 이웃하는 드레인 영역과 소스 영역의 사이에 배치된 게이트 전극과, 상기 복수의 드레인 영역, 상기 복수의 소스 영역 및 상기 게이트 전극의 주위에 배치된 기판 컨택트를 구비하는, 복수의 트랜지스터가 일체화된 구조를 갖는 ESD 보호용의 MOS 트랜지스터를 가지며,

상기 복수의 드레인 영역은 외부 접속 단자와 전기적으로 접속되고,

상기 복수의 소스 영역은 그라운드 전위 공급 라인과 전기적으로 접속되어 있으며,

상기 복수의 드레인 영역의 각각에 형성되는 살리사이드 금속과 가장 가까운 게이트 전극의 거리가, 상기 외부 접속 단자로부터의 위치에 따라, 상기 위치가 멀어질수록 상기 거리가 연속적으로 짧게 형성되어 있으며,

상기 복수의 드레인 영역 상의 컨택트가 각각의 드레인 영역에서 복수열 있는 경우에 있어서, 상기 살리사이드 금속의 단과 상기 컨택트를 형성하는 컨택트 홀의 거리가 일정하도록 상기 컨택트 홀이 배치되어 있는 것을 특징으로 하는 반도체 장치.

#### 청구항 4

삭제

#### 청구항 5

청구항 1에 있어서,

상기 살리사이드 금속에는, Ti 또는 Co가 포함되어 있는 것을 특징으로 하는 반도체 장치.

#### 청구항 6

청구항 3에 있어서,

상기 살리사이드 금속에는, Ti 또는 Co가 포함되어 있는 것을 특징으로 하는 반도체 장치.

## 발명의 설명

### 기술 분야

- [0001] 본 발명은, 멀티 평거 타입(빗살형)의 MOS형 트랜지스터를 ESD 보호 소자로서 사용하는 반도체 장치에 관한 것이다.

### 배경 기술

- [0002] MOS형 트랜지스터를 갖는 반도체 장치에서는, 외부 접속용의 단자(PAD)로부터의 정전기에 의한 내부 회로의 파괴를 방지하기 위한 ESD 보호 소자로서, N형 MOS 트랜지스터의 게이트 전위를 그라운드(Vss)에 고정하여 오프 상태로서 설치하는, 이른바 오프 트랜지스터가 알려져 있다.
- [0003] 오프 트랜지스터는, 다른 로직 회로 등의 내부 회로를 구성하는 MOS형 트랜지스터와 달리, 순간적으로 다양한 정전기에 의한 전류를 흐르게 해 버릴 필요가 있으므로, 수백 미크론 정도의 큰 게이트 폭(W 폭)을 갖는 트랜지스터에 의해 형성되는 경우가 많다.
- [0004] 이 때문에, 오프 트랜지스터는 접유 면적을 작게 하는데 있어서, 복수의 드레인 영역, 소스 영역, 게이트 전극을 빗살형으로 조합한 멀티 평거 타입의 형태를 취하는 경우가 많다.
- [0005] 그러나, 복수의 트랜지스터를 조합한 구조를 취하면, ESD 보호용의 MOS 트랜지스터 전체에 있어서 균일한 동작을 시키는 것이 어려워진다. 예를 들면 외부 접속 단자로부터의 거리가 가까운 부분, 혹은, 배선 저항과 배선 간의 저항의 합계가 작아지는 부분에 전류 집중이 일어나, 본래의 ESD 보호 기능을 충분히 발휘하기 전에 국소적으로 스트레스가 집중되어 파괴되어 버리는 경우가 있다.
- [0006] 이 개선책으로서, 외부 접속 단자로부터의 거리에 따라, 또는, 기판 컨택트로부터의 거리에 따라, 특히 드레인 영역 상의 살리사이드화를 방지하는 살리사이드 블록의 거리를, 기판 컨택트로부터의 거리가 멀수록 길게 하여, 트랜지스터의 동작을 균일하게 하는 연구를 한 제안도 이루어져 있다(예를 들면, 특허문현 1 참조.)

### 선행기술문헌

#### 특허문현

- [0007] (특허문현 0001)

### 발명의 내용

#### 해결하려는 과제

- [0008] 그러나, 예를 들면 오프 트랜지스터의 동작을 균일하게 하고자 게이트 폭을 작게 하면, 충분한 보호 기능을 달성할 수 없게 되어 버린다. 또 상기 특허문현 1에서는, 기판 컨택트로부터의 거리에 따라, 드레인 영역 상에 있어서의, 살리사이드화를 방지하는 살리사이드 블록으로부터 게이트 전극까지의 거리를 조절함으로써, 고저항 영역의 길이를 컨트롤하여, 국소적으로 트랜지스터의 동작 속도를 조정하는 것을 목적으로 하고 있지만, 기판 컨택트에 가까울수록 살리사이드 블록 길이가 짧다는 특징을 가지므로, 외부 접속 단자에 가까운 오프 트랜지스터의 게이트 전극과 드레인 영역 상의 살리사이드 금속간의 저항이 살리사이드 블록 길이에 따라 작음으로써, 오프 트랜지스터의 게이트 전극 폭의 전체에 있어서 동작하지 않고, 외부 접속 단자에 가까운 일부분에서 일극 집중적인 파괴를 일으켜 버리는 과제를 갖고 있다.
- [0009] 특히 최근의 고용점 금속을 포함하는 배선에 의한 배선의 저저항화에 의해, 서지의 전파 스피드가 더욱 빨라지면, 반대로 일부의 드레인 영역 상의 살리사이드 영역에 서지가 집중되어 버려, 오프 트랜지스터의 게이트 전극 폭 전체에 있어서 동작하지 않는다는 문제를 갖고 있다. 또, 드레인 영역 상에 있어서의, 살리사이드 블록과 게이트 전극간의 거리가 일정한 경우에 있어서도, 외부 접속 단자에 가까운 게이트 전극과 드레인간의 일부분에서 일극 집중적인 파괴를 일으켜 버린다는 문제를 갖고 있다. 도 5는, ESD 서지 인가 파괴 후에 오프 트랜지스터의 파괴 개소를 특정한 현미경 사진이다. 도면 중의 동그란 선에 둘러싸인 개소가 서지에 의해 파괴된 개소를 나타낸다. 도 5에 나타낸 바와 같이, 외부 접속 단자에 가깝게 위치하는 게이트 전극과 드레인간의 일부분

에서 국소적으로 파괴되어 있는 것을 알 수 있다.

### 과제의 해결 수단

- [0010] 상기 과제를 해결하기 위해, 본 발명은 반도체 장치를 이하와 같이 구성하였다.
- [0011] 복수의 드레인 영역과 복수의 소스 영역이 교호로 배치되고, 상기 드레인 영역과 상기 소스 영역의 사이에 게이트 전극이 배치된, 복수의 트랜지스터가 일체화된 구조를 갖는 ESD 보호용의 N형 MOS 트랜지스터에 있어서, 드레인 영역은 외부 접속 단자와 전기적으로 접속되고, 소스 영역은 그라운드 전위 공급 라인과 전기적으로 접속되어 있으며, 드레인 영역 상에 설치되는 살리사이드 블록을 기판 컨택트로부터의 거리에 따라 멀어질수록, 게이트 전극과 컨택트수의 비에 따라, 짧아지도록 길이를 변화시켜 형성한다.
- [0012] 또, 드레인 영역 상의 살리사이드 블록을, 외부 접속 단자로부터 멀어질수록, 길어지도록 길이를 변화시켜 형성한다.
- [0013] 또, 드레인 영역 상에 2열 이상의 컨택트를 설치하는 경우에 있어서, 전술한 살리사이드 블록과 컨택트 홀의 거리를 일정하게 유지하도록 배치한다.

### 발명의 효과

- [0014] 이상 설명한 바와 같이, 본 발명에 의하면, 이들 수단에 의해, 고용점 금속을 포함하는 고속 배선 다층 배선을 사용하여 트랜지스터에 도입되는 ESD 서지가 오프 트랜지스터의 채널 폭 방향과 수직인 방향으로부터 도입되는 경우에 있어서도, ESD 보호용의 MOS 트랜지스터의 멀티 핑거 전체에 걸쳐 균일하게 동작시킬 수 있도록 하였다.
- [0015] 이 때문에, 충분한 ESD 보호 기능을 갖게 한 ESD 보호용의 MOS 트랜지스터를 갖는 반도체 장치를 얻을 수 있다.

### 도면의 간단한 설명

- [0016] 도 1은, 본 발명에 의한 반도체 장치의 ESD 보호용의 MOS 트랜지스터의 제1 실시예를 도시한 모식적 평면도이다.
- 도 2는, 본 발명에 의한 반도체 장치의 ESD 보호용의 MOS 트랜지스터의 제2 실시예를 도시한 모식적 평면도이다.
- 도 3은, 본 발명에 의한 반도체 장치의 ESD 보호용의 MOS 트랜지스터의 제3 실시예를 도시한 모식적 평면도이다.
- 도 4는, 본 발명에 의한 반도체 장치의 ESD 보호용의 MOS 트랜지스터의 제4 실시예를 도시한 모식적 평면도이다.
- 도 5는, 종래의 ESD 보호용의 MOS 트랜지스터의 ESD 서지 인가 후에 파괴 개소를 특정하였을 때의 현미경 사진이다.

### 발명을 실시하기 위한 구체적인 내용

- [0017] 이하에서는 발명을 실시하기 위한 형태를, 복수의 실시예에 대해 도면을 이용하여 설명한다.
- [0018] [실시예 1]
- [0019] 도 1은, 본 발명에 의한 반도체 장치의 ESD 보호용의 MOS 트랜지스터의 제1 실시예를 도시한 모식적 평면도이다.
- [0020] 고농도 불순물 영역으로 이루어지는 제1 소스 영역(101)과 제1 드레인 영역(301)이 형성되어 있으며, 제1 소스 영역(101)과 제1 드레인 영역(301)의 사이에는, 도시 생략하지만 실리콘 산화막 등으로 이루어지는 게이트 절연막이 설치되고, 그 상면에 폴리실리콘 등으로 이루어지는 게이트 전극(201)이 형성되어 있다. 이어서, 반복하여 패턴적으로, 제1 드레인 영역(301)으로부터 게이트 전극(201)을 통해 제2 소스 영역(102), 또 게이트 전극(201)을 통해 제2 드레인 영역(302), 또한 게이트 전극(201)을 통해 제3 소스 영역(103), 또 게이트 전극(201)을 통해 제3 드레인 영역(303), 또한 게이트 전극(201)을 통해 제4 소스 영역(104)이 형성되어 있다. 각 드레인 영역 상과 소스 영역 상에는, 살리사이드화를 방지하는 살리사이드 블록에 의해, 게이트 전극(201)으로부터 일정한 거리를 갖는 살리사이드 금속 영역(401)이 형성되어 있다.

- [0021] 실시예에 있어서는, 소스 영역을 4개, 드레인 영역을 3개, 게이트 전극을 6개 조합하여 배치한 예를 나타내었다. 6개의 MOS 트랜지스터가 빗살형상으로 조합된 형태이다.
- [0022] 간단히 하기 위해 도시는 생략하지만, 제1 소스 영역(101), 제2 소스 영역(102), 제3 소스 영역(103), 및 제4 소스 영역(104)에는, 고용점 금속을 포함하는 메탈 재료 등을 이용한, 굵고 저저항인 배선에 의해 형성되는 그라운드 전위 공급 라인에 접속된 동일하게 고용점 금속을 포함하는 재료 등에 의해 형성된 메탈 배선에 의해 그라운드 전위가 공급된다. 메탈 배선은, 그라운드 전위 공급 라인으로부터, ESD 보호용의 MOS 트랜지스터의 채널 폭 방향과 수직인 방향으로부터 배선되어 있으며, 도시 생략하지만, 비아 훌 등을 통해, 고용점 금속을 포함하는 재료 등으로 이루어지는 메탈 배선과 접속되고, 제1 소스 영역(101), 제2 소스 영역(102), 제3 소스 영역(103), 및 제4 소스 영역(104)으로 컨택트 훌(501)을 통해 접속된다.
- [0023] 한편, 외부 접속 단자(801)에는, 고용점 금속을 포함하는 재료 등으로 이루어지는 (제1) 메탈 배선(601)이 접속되고, 제1 드레인 영역(301), 제2 드레인 영역(302) 및 제3 드레인 영역(303)에 도입된다. 그리고 컨택트 훌(501)을 통해 제1 드레인 영역(301), 제2 드레인 영역(302) 및 제3 드레인 영역(303)과 제1 메탈 배선(601)이 접속되어 있다.
- [0024] 도 1에 나타낸 제1 실시예에 있어서는, ESD 보호용의 MOS 트랜지스터의 드레인 영역 상의 살리사이드 블록에 대해, 게이트 전극(201)으로부터의 거리를, 기판 컨택트(701)로부터 멀어질수록, 짧게 하도록 형성하고 있다. 게이트 전극(201)의 중앙 부근에 있어서 살리사이드 금속 영역(401)과의 거리가 짧아지도록 연구되고 있다.
- [0025] 예를 들면, 본 발명에서는 설명을 생략하기 위해, 컨택트 훌(501)이 1열인 경우에 대해 설명하고 있지만, 그 컨택트 훌(501)이 기판 컨택트(701)로부터, 가장 가까운 드레인 영역 상의 컨택트 훌(501)과 게이트 전극(201)간의 살리사이드 블록의 거리를  $10\ \mu m$ 로 한 경우, 기판 컨택트로부터 10번째의 컨택트 훌과 게이트 전극(201)의 거리를  $9\ \mu m$ 로 하여 저항차를 형성하도록 한다(산출예 : 거리=[ $10 - (\text{기판 컨택트로부터의 개수} \div 10)$ ]). 동일하게 20번째이면,  $8\ \mu m$ 가 되도록 드레인 영역 상의 살리사이드 블록의 거리를 설정한다. 여기에서, 거리의 설정에 대해서는, 상기의 예에 구애받지 않으며 사용하는 반도체 소자의 ESD 특성이 최대가 되도록 자유롭게 설정하면 된다.
- [0026] [실시예 2]
- [0027] 도 2는, 본 발명에 의한 반도체 장치의 ESD 보호용의 MOS 트랜지스터의 제2 실시예를 도시한 모식적 평면도이다. 본 설명에서는 생략을 위해, 도 1과 대응하는 부분에는 동일한 번호가 붙여져 있다.
- [0028] 도 1에 나타낸 제1 실시예와 상이한 점은, 드레인 영역 상의 살리사이드화를 방지하는 살리사이드 블록의 거리를 취하는 방법이다. 도 1에 나타낸 제1 실시예에 있어서는, 기판 컨택트(701)로부터의 거리에 따라 설치되고, 기판 컨택트(701)에 가까운 컨택트 훌(501)과 게이트 전극(201)간의 살리사이드 블록의 거리가 길고, 기판 컨택트(701)로부터 가장 면 컨택트 훌(501)과 게이트 전극(201)간의 살리사이드 블록의 거리가 짧아지도록 살리사이드 블록을 형성한다.
- [0029] 한편, 도 2에 나타낸 제2 실시예에 있어서는, 외부 접속 단자(801)로부터의 거리에 따라 설치되어 있다. 이것은 외부 접속 단자(801)에 가까운 컨택트 훌(501)과 게이트 전극(201)간의 살리사이드 블록의 거리가 길고, 외부 접속 단자로부터 가장 면 컨택트 훌(501)과 게이트 전극(201)간의 살리사이드 블록의 거리가 짧아지도록 살리사이드 블록을 형성한다. 즉 외부 접속 단자(801)에 가까울수록 컨택트 훌(501)과 게이트 전극(201)간의 저항을 높게 하고, 외부 접속 단자(801)로부터 멀수록 컨택트 훌(501)과 게이트 전극(201)간의 저항을 작게 하여, ESD 서지가 인가된 경우에 게이트 전극 폭 전체에 걸쳐 오프 트랜지스터가 동작하도록 배치한다.
- [0030] [실시예 3]
- [0031] 도 3은, 본 발명에 의한 반도체 장치의 ESD 보호용의 MOS 트랜지스터의 제3 실시예를 도시한 모식적 평면도이다. 제1 실시예와 동일한 설명은 생략하고, 상이한 점에 있어서 설명을 행한다.
- [0032] 도 1에 나타낸 제1 실시예와 상이한 점은, 컨택트 훌(501)이 복수열 배치되는 열에 대한, 컨택트 훌(501)의 배치 위치이다. 제1 실시예에 있어서는, 1열로 배치되는 컨택트 훌(501)이므로, 살리사이드화를 방지하는 살리사이드 블록과의 거리는 고정되어 있지 않으며, 드레인 영역 상의 중앙에 배치되어 있지만, 제3 실시예에 있어서는, 복수열 배치되는 컨택트 훌(501)과 살리사이드 금속 영역(401)의 단(端)의 거리를 일정하게 하도록 배치한다.
- [0033] 또한, 고정되는 거리의 설정에 대해서는, 사용되는 반도체 소자의 ESD 특성이 최대가 되는 치수가 자유롭게 설

정되면 된다.

[0034] [실시예 4]

도 4는, 본 발명에 의한 반도체 장치의 ESD 보호용의 MOS 트랜지스터의 제4 실시예를 도시한 모식적 평면도이다. 본 설명에서는 생략을 위해, 2열의 컨택트 홀을 갖는 오프 트랜지스터를 예로 들어 도시한다. 제2 실시예와 동일한 설명은 생략하고, 상이한 점에 있어서 설명을 행한다. 도 2에 나타낸 제2 실시예와 상이한 점은, 컨택트 홀(501)이 복수열 배치되는 예에 대한, 컨택트 홀(501)의 배치 위치이다.

[0036] 제2 실시예에서는, 1열로 배치되는 컨택트 홀(501)이므로, 살리사이드화를 방지하는 살리사이드 블록과의 거리는 고정되어 있지 않으며, 드레인 영역 상의 중앙에 배치되어 있지만, 제4 실시예에 있어서는, 복수열 배치되는 모든 컨택트 홀(501)과 살리사이드 금속 영역(401)단의 거리를 일정하게 배치한다.

[0037] 또한, 고정되는 거리의 설정에 대해서는, 사용되는 반도체 소자의 ESD 특성이 최대가 되는 치수가 자유롭게 설정되면 된다.

### 부호의 설명

101 : 제1 소스 영역

102 : 제2 소스 영역

103 : 제3 소스 영역

104 : 제4 소스 영역

201 : 게이트 전극

301 : 제1 드레인 영역

302 : 제2 드레인 영역

303 : 제3 드레인 영역

401 : 살리사이드 금속 영역

501 : 컨택트 홀

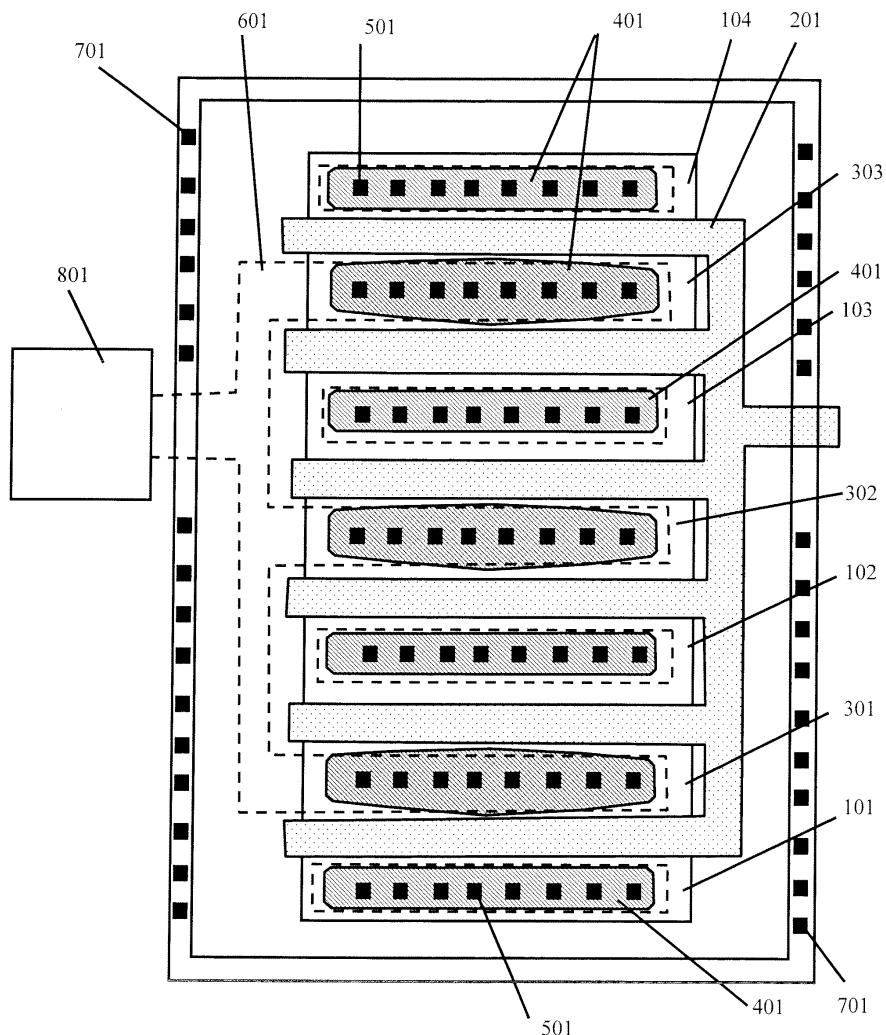
601 : (제1) 메탈 배선

701 : 기판 컨택트

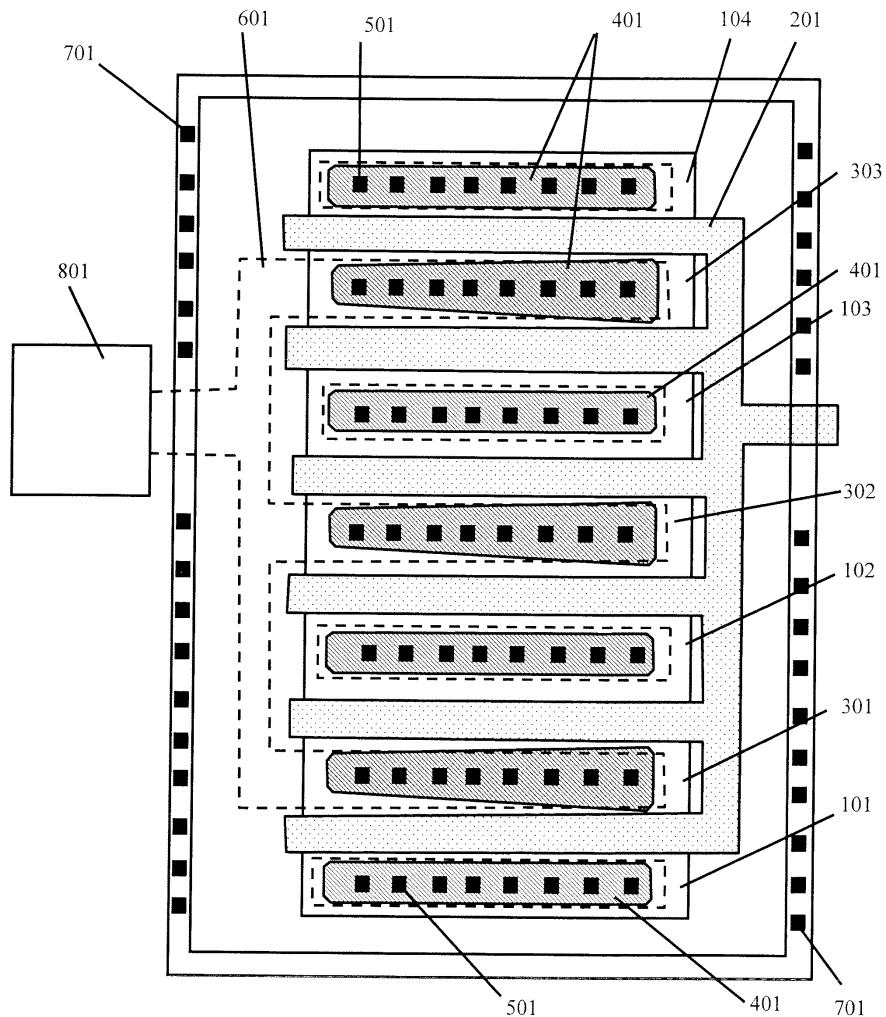
801 : 외부 접속 단자

도면

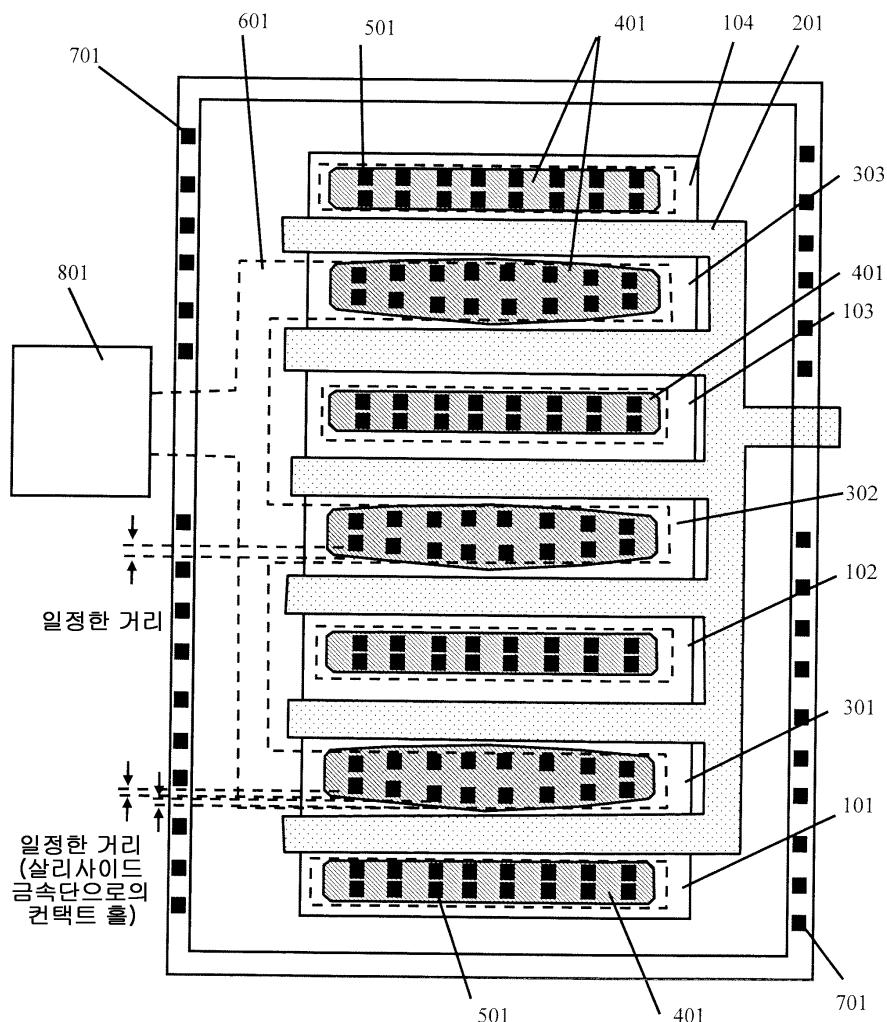
도면1



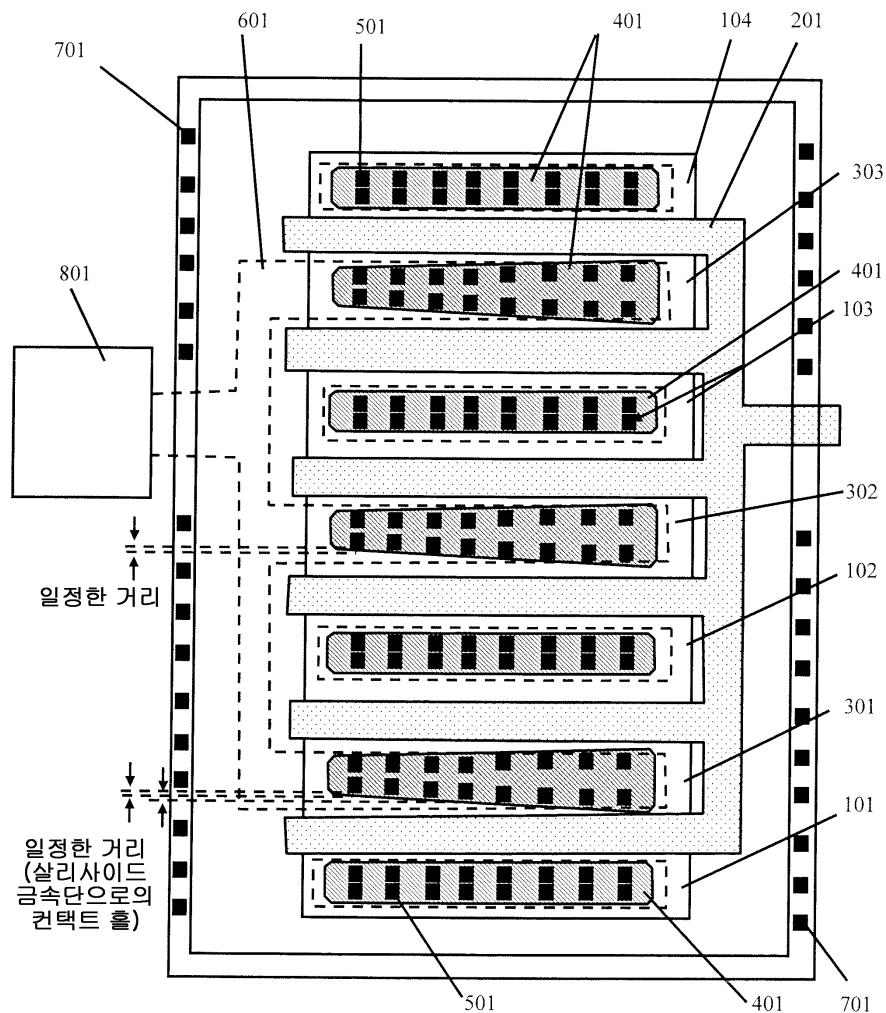
도면2



## 도면3



## 도면4



도면5

