(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2020 年 3 月 5 日 (05.03.2020)

WIPO | PCT

(10) 国际公布号
WO 2020/042278 A1

(51) 国际专利分类号:
H01L 21/336 (2006.01) *H01L 29/786* (2006.01)

(21) 国际申请号: PCT/CN2018/109315

(22) 国际申请日: 2018 年 10 月 8 日 (08.10.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201810994623.3 2018年8月29日 (29.08.2018) CN

(71) 申请人: 武汉华星光电技术有限公司 (**WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.**) [CN/CN]; 中国湖北省武汉市东湖开发区高新大道666号生物城C5栋, Hubei 430079 (CN)。

(72) 发明人: 陈辰 (**CHEN, Chen**); 中国湖北省武汉市东湖开发区高新大道666号生物城C5栋, Hubei 430079 (CN)。

(74) 代理人: 深圳翼盛智成知识产权事务所（普通合伙） (**ESSEN PATENT&TRADEMARK AGENCY**); 中国广东省深圳市福田区深南大道6021号喜年中心A座1709-1711, Guangdong 518040 (CN)。

(81) 指定国(除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,

(54) **Title:** METHOD FOR MANUFACTURING LTPS ARRAY SUBSTRATE

(54) 发明名称: 一种LTPS阵列基板的制造方法

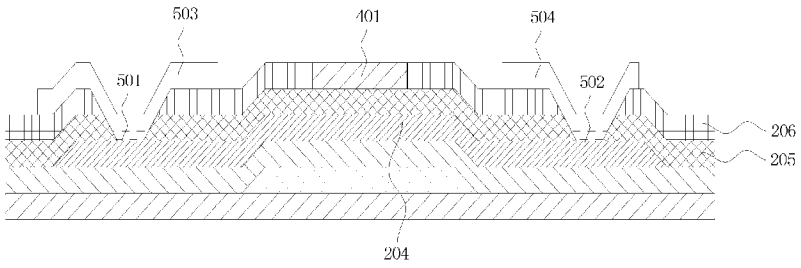


图 5

(57) **Abstract:** Disclosed is a method for manufacturing an LTPS array substrate. The LTPS array substrate at least comprises a metal light-shielding layer, a buffer layer, a poly-silicon layer (204), a gate insulator and an interlayer dielectric (205, 206), a gate line layer (401) and a source/drain electrode layer (503, 504). The gate insulator and the interlayer dielectric are formed by using one chemical vapor deposition process, and the thickness of a film layer of the LTPS array substrate is reduced by means of forming a gate line groove on the gate insulator and the interlayer dielectric, thereby reducing the process steps.

(57) 摘要: 一种LTPS阵列基板的制造方法，LTPS阵列基板至少包括金属遮光层、缓冲层、多晶硅层（204）、栅极绝缘及间绝缘层（205，206）、栅极线层（401）以及源漏电极层（503，504），采用一次化学气相沉积制程形成栅极绝缘及间绝缘层，并通过在栅极绝缘及间绝缘层上形成栅极线沟槽，降低了LTPS阵列基板膜层的厚度，减少了制程步骤。

WO 2020/042278 A1

[见续页]

CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

一种LTPS阵列基板的制造方法

技术领域

[0001] 本申请涉及液晶显示领域，尤其涉及一种低温多晶硅（Low Temperature Poly-silicon，LTPS）阵列基板的制造方法。

背景技术

[0002] 在显示屏制造中，低温多晶硅（Low Temperature Poly-silicon，LTPS）技术由于其产品成本较低、器件电子迁移率高等特点，越来越受到手机、平板屏幕等制造商的青睐。

[0003] 在传统的LTPS制程工艺中，LTPS阵列基板在制程中需要在多晶硅层上经过2次化学气相沉积制程，才能形成栅极绝缘层（Gate Insulator，GI）及间绝缘层（Interlayer Dielectric，ILD），而且栅极绝缘层和间绝缘层各自为两层结构。

发明概述

技术问题

[0004] 如图1所示，图1是现有技术LTPS阵列基板的截面结构示意图。在现有的LTPS阵列基板的结构中，遮光层102、缓冲层103和多晶硅层104依次层叠形成于玻璃基板101上，然后在多晶硅层104上通过2次化学气相沉积（Chemical Vapor Deposition，CVD）制程，形成第一栅极绝缘层105、第二栅极绝缘层106、栅极线层112、第一间绝缘层107和第二间绝缘层108，最后通过曝光刻蚀制程形成源极111与漏极109的过孔110，源极111和漏极109通过过孔110与多晶硅层104相接触。

[0005] 因此，现有LTPS阵列基板制程方法所需膜层较多，制程方法复杂，制程时间较长，生产成本较高。故，有必要提供一种LTPS阵列基板制程方法来改善这一缺陷。

问题的解决方案

技术解决方案

[0006] 本申请提供一种LTPS阵列基板的制造方法，用于解决现有LTPS阵列基板制程技术所需膜层较多，制程方法复杂的技术问题。

[0007] 本申请提供的制作方法中，所述LTPS阵列基板至少包括金属遮光层、缓冲层、多晶硅层、栅极绝缘及间绝缘层、栅极层以及源极和漏极层；

[0008] 在本申请实施例所提供的LTPS阵列基板的制造方法中，所述制作方法至少包括：

[0009] 步骤S10：提供一透明基板，在所述透明基板上沉积一金属层，图案化所述金属层，形成所述金属遮光层；

[0010] 步骤S20：在所述金属遮光层上形成所述缓冲层；

[0011] 步骤S30：在所述缓冲层上形成所述多晶硅层；

[0012] 步骤S40：在所述多晶硅层上通过化学气相沉积形成所述栅极绝缘及间绝缘层；

[0013] 步骤S50：在所述栅极绝缘及间绝缘层上，形成所述栅极线层。

[0014] 步骤S60：在所述栅极绝缘及间绝缘层上形成所述源极和漏极层。

[0015] 在本申请实施例所提供的LTPS阵列基板的制造方法中，所述步骤S50包括：

[0016] 步骤S501：在所述栅极绝缘及间绝缘层上涂布一层负性光阻进行曝光，形成图案化的光阻层；

[0017] 步骤S502：显影后在所述栅极绝缘及间绝缘层上进行干刻蚀制程，刻蚀出栅极线沟槽；

[0018] 步骤S503：在所述栅极线沟槽中通过物理气相沉积方法形成所述栅极线层；

[0019] 步骤S504：在所述栅极线层上涂布正性光阻，进行曝光刻蚀制程形成栅极线图案；

[0020] 在本申请实施例所提供的LTPS阵列基板的制造方法中，所述栅极绝缘及间绝缘层为两层结构。

[0021] 在本申请实施例所提供的LTPS阵列基板的制造方法中，所述步骤502中，在所述栅极绝缘及间绝缘层的上方进行干刻蚀制程，以刻蚀出所述栅极线沟槽。

[0022] 在本申请实施例所提供的LTPS阵列基板的制造方法中，所述栅极线沟槽的截面形状为矩形。

[0023] 在本申请实施例所提供的LTPS阵列基板的制造方法中，所述步骤S60包括：

[0024] S601：在所述栅极绝缘及间绝缘层上对应于所述多晶硅层的上方曝光显影后，进行刻蚀制程，刻蚀出过孔及后续图案；

[0025] S602：在所述过孔上形成源极和漏极，所述源极和所述漏极分别经由对应的所述过孔与多晶硅层相接触，构成所述源极和漏极层。

[0026] 在本申请实施例所提供的LTPS阵列基板的制造方法中，所述过孔的截面形状为倒置梯形。

[0027] 在本申请实施例所提供的LTPS阵列基板的制造方法中，所述栅极线层材料是钼、钛、铝和铜中的一种或多种的堆栈组合。

[0028] 在本申请实施例所提供的LTPS阵列基板的制造方法中，所述缓冲层材料为氮化硅、氧化硅或两者的结合；所述栅极绝缘及间绝缘层在LTPS阵列基板制程中所使用的材料包括氮化硅、氧化硅或者两者的结合。

[0029] 在本申请实施例所提供的LTPS阵列基板的制造方法中，所述金属遮光层的材料为钼铝合金、铬、钼或是其他同时具有遮光功能和导电性质的材料。

发明的有益效果

有益效果

[0030] 本发明的有益效果：在不改变原始半导体器件结构的情况下，通过制程方法的优化，将需要进行两次化学气相沉积制程形成的栅极绝缘及间绝缘层减少为一次化学气相沉积制程就能够形成，降低了LTPS阵列基板膜层的厚度，减少了制程步骤，节省制程时间，从而降低生产成本。

对附图的简要说明

附图说明

[0031] 为了更清楚地说明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单介绍，显而易见地，下面描述中的附图仅仅是发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0032] 图1为现有技术LTPS阵列基板的截面结构示意图；

[0033] 图2为本申请提供制作方法中所述化学气相沉积的栅极绝缘及间绝缘层的截面

结构示意图；

[0034] 图3为本申请提供制作方法中所述栅极线沟槽的截面结构示意图；

[0035] 图4为本申请提供制作方法中所述栅极线层的截面结构示意图；

[0036] 图5为本申请所述制作方法获得的LTPS阵列基板的截面结构示意图；

[0037] 图6位本申请所述制作方法的步骤示意图。

[0038] 图7为本申请所述制作方法获得的LTPS阵列基板的另一截面结构示意图。

发明实施例

本发明的实施方式

[0039] 以下各实施例的说明是参考附加的图示，用以例示本发明可用以实施的特定实施例。本申请所提到的方向用语，例如[上]、[下]、[前]、[后]、[左]、[右]、[内]、[外]、[侧面]等，仅是参考附加图式的方向。因此，使用的方向用语是用以说明及理解本申请，而非用以限制本申请。在图中，结构相似的单元是用以相同标号表示。

[0040] 下面结合附图和具体实施例对本发明做进一步的说明：

[0041] 实施例一：

[0042] 在本申请提供一种LTPS阵列基板的制造方法，以下结合图2至图6对所述制作方法进行详细描述。

[0043] 如图所示，所述制作方法包括以下步骤：

[0044] 步骤S10，如图2所示，提供一基板201，所述基板201通常选用透明玻璃基板材质。在所述基板201上沉积一层金属层，通过光刻蚀制程图案化所述金属层，在所述基板201上形成金属遮光层202，通常所述金属遮光层202的材料为钼铝合金、铬、钼或是其他同时具有遮光功能和导电性质的材料。

[0045] 步骤S20，在所述金属遮光层202上形成缓冲层203。所述缓冲层203的材料为氮化硅、氧化硅或者两者的结合。

[0046] 步骤S30，在缓冲层203上沉积一层非晶硅层，采用高温烤箱对所述非晶硅层进行脱氢工艺处理，以防止在晶化过程中出现氢爆现象。脱氢工艺完成后，采用激光退火工艺、金属诱导结晶工艺、固相结晶工艺等结晶化工艺方法对非晶硅层进行结晶化处理，在缓冲层203上形成多晶硅层204。

[0047] 步骤S40，采用化学气相沉积的方法在缓冲层203和多晶硅层204上形成第一栅极绝缘及间绝缘层205和第二栅极绝缘及间绝缘层206，所述栅极绝缘及间绝缘层选用的材料为氮化硅或氧化硅或者两者的结合。

[0048] 步骤S50，如图3所示，在第二栅极绝缘及间绝缘层206上涂布一层负性光阻进行曝光，形成图案化的光阻层；显影后在第二栅极绝缘及间绝缘层206上进行干刻蚀制程，刻蚀出栅极线沟槽301，所述栅极线沟槽301的截面形状为矩形，所述负性光阻材料为钼铝合金、铬、钼或者是其他低电阻的导电材料。如图4所示，在栅极线沟槽301中通过物理气相沉积的方法形成栅极线层404，所述栅极线层材料是钼、钛、铝和铜中的一种或多种的堆栈组合；再在所述栅极线层401上涂布正性光阻402曝光刻蚀制程，形成栅极线图案。

[0049] 步骤S60，如图5所示，用干刻蚀形成贯穿所述栅极绝缘及间绝缘层的第一过孔501第二过孔502所述过孔的截面形状是倒置梯形，所述第一过孔501第二过孔502露出的部分是图形化处理的多晶硅层204，在所述第一过孔501形成源极503，在所述第二过孔502形成漏极504，源极503和漏极504分别经由第一过孔501和第二过孔502与多晶硅层204相接触，所述栅极线层401与源极503、漏极504处于同一层，减少了阵列基板膜层的厚度。

[0050] 实施例二：

[0051] 在实施例一中，通过在形成的栅极绝缘及间绝缘层中挖槽的方法，形成栅极线沟槽，再在栅极线沟槽中形成栅极线，实现了所述栅极线与源极、漏极处于同一层的设计，这样的结构较为简单，减少了阵列基板膜层的厚度，但需要经过曝光刻蚀、物理气相沉积等形成栅极沟槽的工艺流程。

[0052] 如图7所示，在本实施例中，取消了栅极线沟槽的制作步骤，在经过如同实施例一中所述的步骤S10~S40之后，形成多晶硅层701、第一栅极绝缘及间绝缘层702、第二栅极绝缘及间绝缘层703等结构，直接在第二栅极绝缘及间绝缘层703上涂布一层正性光刻胶，进行曝光显影后，进行刻蚀制程，刻蚀处形成过孔以及后续的图案。

[0053] 通过干刻蚀制程形成贯穿所述栅极绝缘及间绝缘层的第一过孔704和第二过孔708，所述第一过孔704和第二过孔708所暴露出来的部分是图形化处理得到的多

晶硅层701，在所述第一过孔704上形成源极707，在所述第二过孔708上形成漏极705，所述源极707和漏极705分别经由第一过孔704和第二过孔708与多晶硅层相接触。

[0054] 本申请在不改变原始半导体器件结构的情况下，通过制程方法的优化，将需要进行两次化学气相沉积制程形成的栅极绝缘及间绝缘层缩短为一次化学气相沉积制程就能够形成，降低了LTPS阵列基板膜层的厚度，减少了制程步骤，节省制程时间，从而降低生产成本。

[0055] 综上所述，虽然本申请以优选实施例揭露如上，但上述优选实施例并非用以限制本申请，本领域的普通技术人员，在不脱离本申请的精神和范围内，均可作各种更动与润饰，因此本申请的保护范围以权利要求界定的范围为基准。

权利要求书

[权利要求 1] 一种LTPS阵列基板的制造方法，其中：LTPS阵列基板至少包括金属遮光层、缓冲层、多晶硅层、栅极绝缘及间绝缘层、栅极线层以及源极和漏极层，所述制作方法至少包括：

步骤S10：提供一透明基板，在所述透明基板上沉积一金属层，图案化所述金属层，形成所述金属遮光层；

步骤S20：在所述金属遮光层上形成所述缓冲层；

步骤S30：在所述缓冲层上形成所述多晶硅层；

步骤S40：在所述多晶硅层上通过化学气相沉积形成所述栅极绝缘及间绝缘层；

步骤S50：在所述栅极绝缘及间绝缘层上，形成所述栅极线层；

步骤S60：在所述栅极绝缘及间绝缘层上形成所述源极和漏极层。

[权利要求 2] 如权利要求1所述的制作方法，其中：所述步骤S50包括：

步骤S501：在所述栅极绝缘及间绝缘层涂布一层负性光阻进行曝光，形成图案化的光阻层；

步骤S502：显影后在所述栅极绝缘及间绝缘层上进行干刻蚀制程，刻蚀出栅极线沟槽；

步骤S503：在所述栅极线沟槽中通过物理气相沉积形成所述栅极线层；

步骤S504：在所述栅极线层上涂布正性光阻，进行曝光刻蚀制程制程栅极线图案。

[权利要求 3] 如权利要求2所述的制作方法，其中：所述栅极绝缘及间绝缘层为两层结构。

[权利要求 4] 如权利要求3所述的制作方法，其中：所述步骤502中，在所述栅极绝缘及间绝缘层的上方进行干刻蚀制程，以刻蚀出所述栅极线沟槽。

[权利要求 5] 如权利要求4所述的制作方法，其中：所述栅极线沟槽的截面形状为矩形。

[权利要求 6] 如权利要求1所述的制作方法，其中：所述步骤S60包括：

S601：在所述栅极绝缘及间绝缘层上对应于所述多晶硅层的上方曝光显影后，进行刻蚀制程，刻蚀出过孔及后续图案；

S602：在所述过孔中形成源极和漏极，所述源极和所述漏极分别经由对应的所述过孔与多晶硅层相接触，形成所述源极和漏极层。

[权利要求 7] 如权利要求6所述的制作方法，其中：所述过孔的截面形状为倒置梯形。

[权利要求 8] 如权利要求1所述的制作方法，其中：所述栅极线层材料是钼、钛、铝和铜中的一种或多种的堆栈组合。

[权利要求 9] 如权利要求1所述的制作方法，其中：所述缓冲层材料为氮化硅、氧化硅或两者的结合；所述栅极绝缘及间绝缘层在所述LTPS阵列基板制程中所使用的材料包括氮化硅、氧化硅或者两者的结合。

[权利要求 10] 如权利要求1所述的制作方法，其中：所述金属遮光层的材料为钼铝合金、铬、钼或是其他同时具有遮光功能和导电性质的材料。

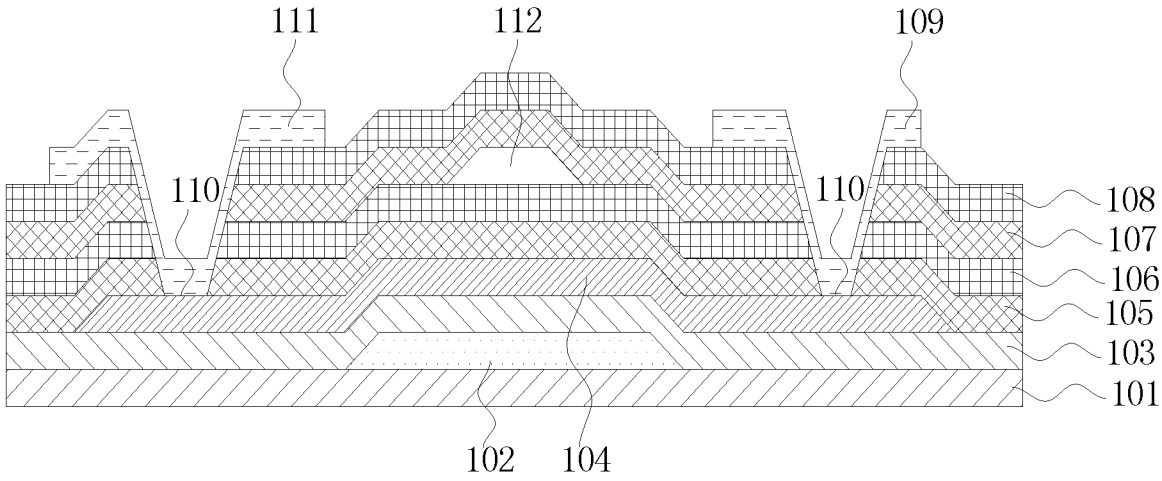

111
112
109
110
110
108
107
106
105
103
101
102
104

图 1

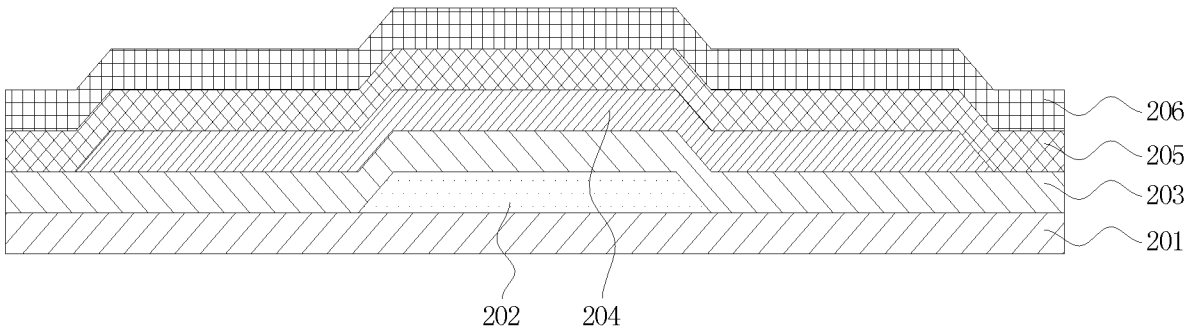

206
205
203
201
202
204

图 2

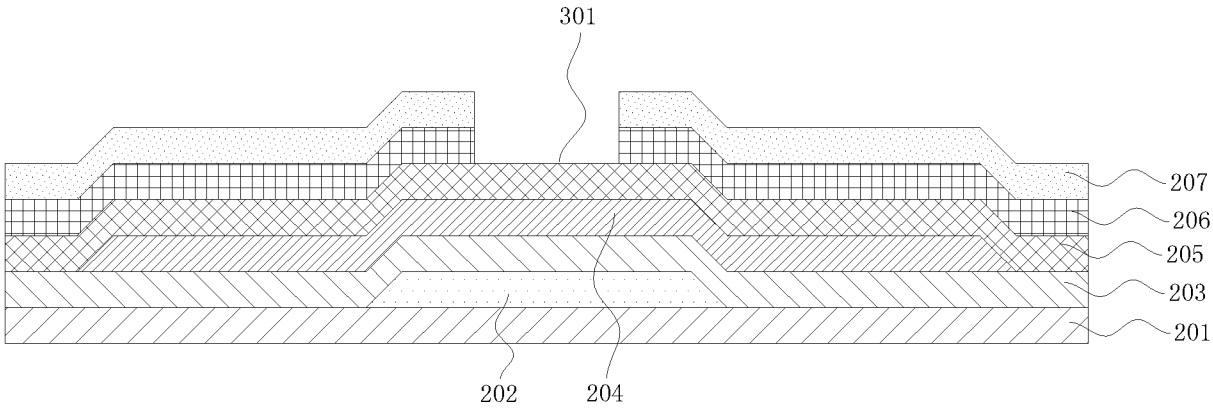


图 3

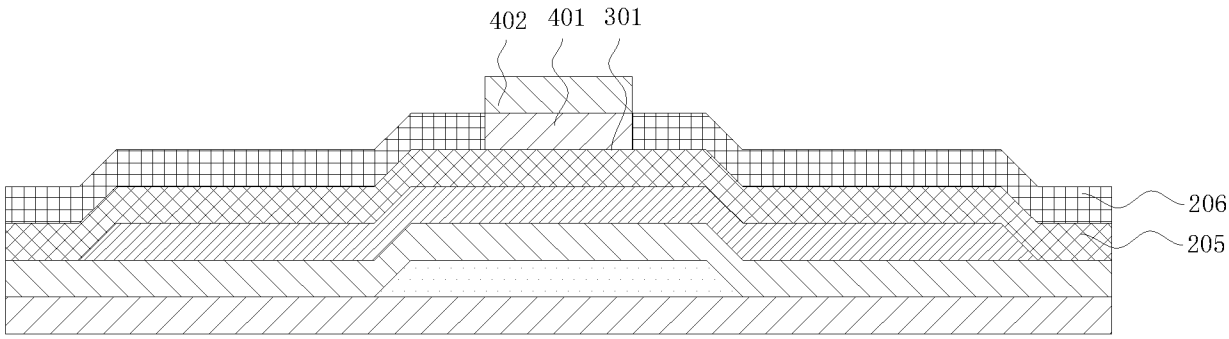


图 4

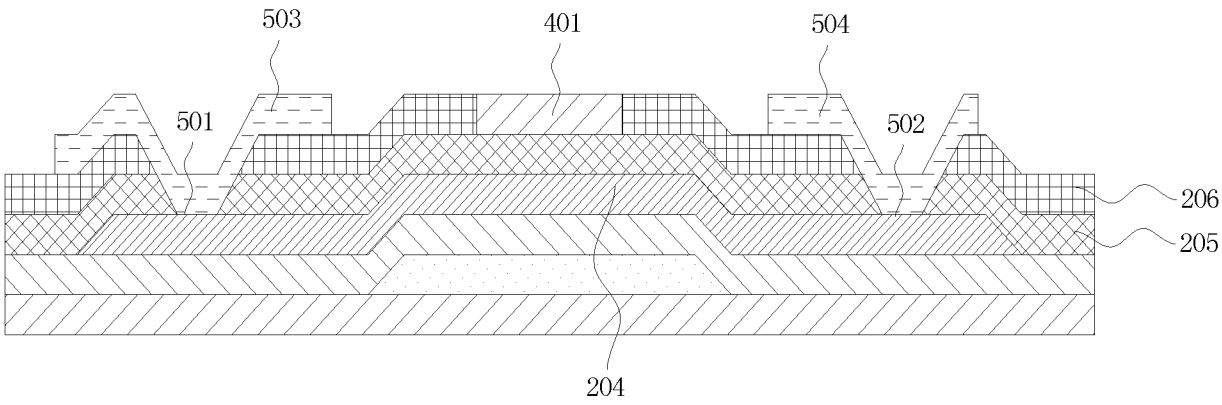

503
401
504
501
502
206
205
204

图 5

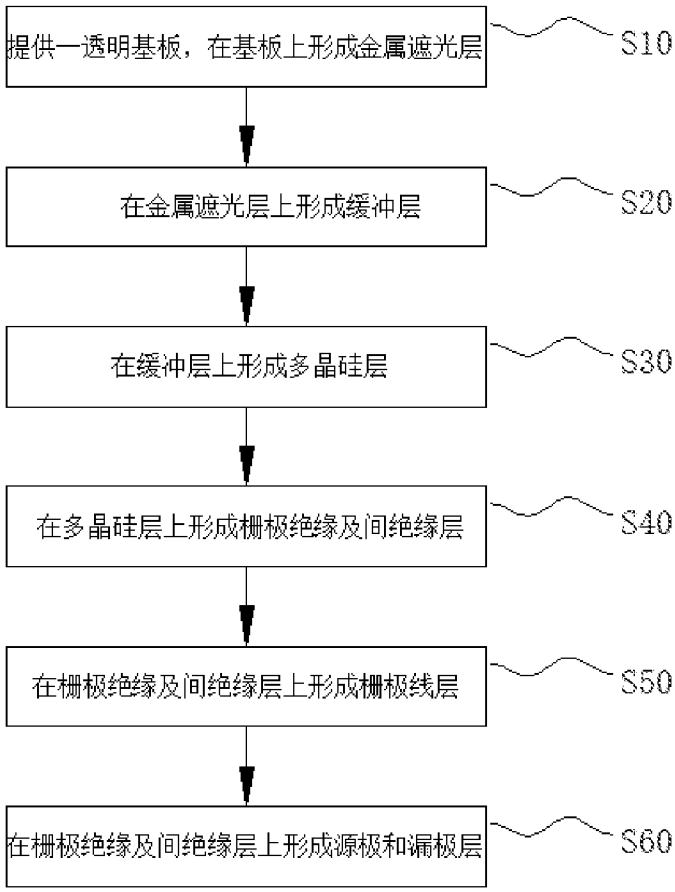

提供一透明基板，在基板上形成金属遮光层
S10
在金属遮光层上形成缓冲层
S20
在缓冲层上形成多晶硅层
S30
在多晶硅层上形成栅极绝缘及间绝缘层
S40
在栅极绝缘及间绝缘层上形成栅极线层
S50
在栅极绝缘及间绝缘层上形成源极和漏极层
S60

图 6

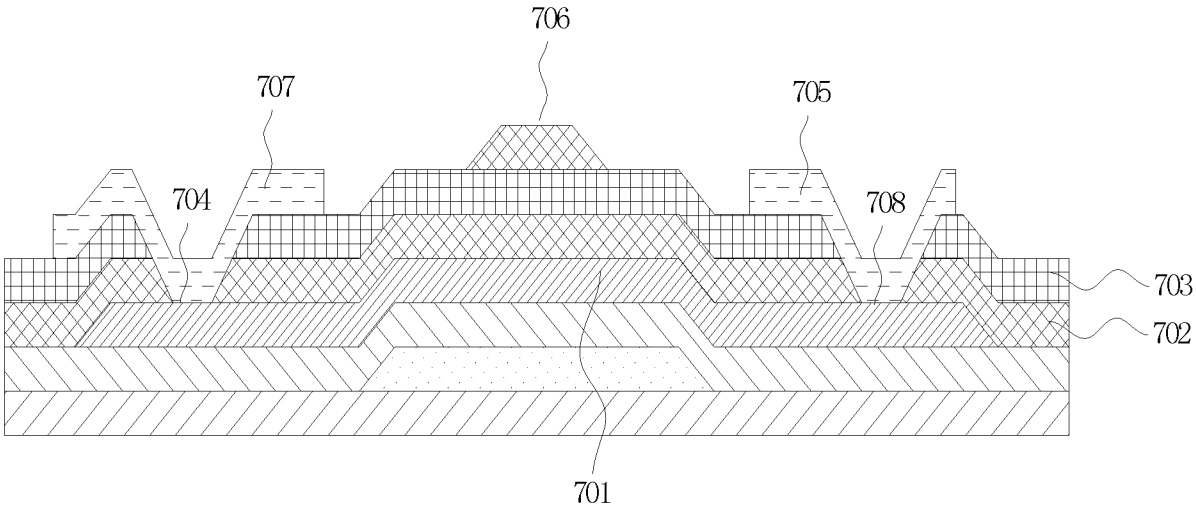


图 7

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2018/109315

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/336(2006.01)i; H01L 29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

DWPI, CNTXT, USTXT, CNABS, CNKI, IEEE, SIPOABS: LTPS, 低温多晶硅, 栅, 沟槽, 化学气相沉积, CVD, 间绝缘层, 蚀刻, 遮光, low temperature polysilicon, gate, trench, chemical vapor deposition, interlayer, etch, shield

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 106952963 A (BOE TECHNOLOGY GROUP CO., LTD.) 14 July 2017 (2017-07-14) description, paragraphs 0013-0047, and figures 5-6	1, 6-10
Y	CN 106169441 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 30 November 2016 (2016-11-30) description, paragraphs 0005-0039, and figures 1-5	1, 6-10
A	US 2018122835 A1 (WATAKABE ET AL.) 03 May 2018 (2018-05-03) entire document	1-10
E	CN 108666218 A (BOE TECHNOLOGY GROUP CO., LTD.) 16 October 2018 (2018-10-16) description, paragraphs 0074-0096, and figures 1-13	1, 8, 9

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
18 January 2019	**25 March 2019**

Name and mailing address of the ISA/CN	Authorized officer
State Intellectual Property Office of the P. R. China **No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing** **100088** **China**	
Facsimile No. **(86-10)62019451**	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2018/109315

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
CN 106952963 A	14 July 2017	None	
CN 106169441 A	30 November 2016	None	
US 2018122835 A1	03 May 2018	JP 2018074076 A	10 May 2018
CN 108666218 A	16 October 2018	WO 2018176829 A1	04 October 2018

国际检索报告

国际申请号
PCT/CN2018/109315

A. 主题的分类

H01L 21/336(2006.01)i; H01L 29/786(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用）)

DWPI,CNTXT,USTXT,CNABS,CNKI,IEEE,SIPOABS:LTPS，低温多晶硅，栅，沟槽，化学气相沉积，CVD，间绝缘层，蚀刻，遮光，low temperature polysilicon, gate, trench, chemical vapor deposition, interlayer, etch, shield

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
Y	CN 106952963 A (京东方科技集团股份有限公司) 2017年 7月 14日 (2017-07-14) 说明书第0013-0047段，图5-6	1，6-10
Y	CN 106169441 A (武汉华星光电技术有限公司) 2016年 11月 30日 (2016-11-30) 说明书第0005-0039段，图1-5	1，6-10
A	US 2018122835 A1 (WATAKABE 等) 2018年 5月 3日 (2018-05-03) 全文	1-10
E	CN 108666218 A (京东方科技集团股份有限公司) 2018年 10月 16日 (2018-10-16) 说明书第0074-0096段，图1-13	1，8，9

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

"A" 认为不特别相关的表示了现有技术一般状态的文件

"E" 在国际申请日的当天或之后公布的在先申请或专利

"L" 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

"&" 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2019年 1月 18日	2019年 3月 25日

ISA/CN的名称和邮寄地址	受权官员
中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088	智月
传真号 (86-10)62019451	电话号码 62089270

表 PCT/ISA/210 (第2页) (2015年1月)

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2018/109315

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	106952963	A	2017年 7月 14日	无			
CN	106169441	A	2016年 11月 30日	无			
US	2018122835	A1	2018年 5月 3日	JP	2018074076	A	2018年 5月 10日
CN	108666218	A	2018年 10月 16日	WO	2018176829	A1	2018年 10月 4日