

(19) 日本国特許庁(JP)

(12) 特許公報(B1)

(11) 特許番号

特許第6873336号
(P6873336)

(45) 発行日 令和3年5月19日(2021.5.19)

(24) 登録日 令和3年4月22日(2021.4.22)

(51) Int.Cl.	F I
HO 1 L 27/144 (2006.01)	HO 1 L 27/144 K
HO 1 L 27/146 (2006.01)	HO 1 L 27/146 A
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 2 6 C
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 3 Z
HO 1 L 21/8234 (2006.01)	HO 1 L 27/06 1 0 2 A
請求項の数 4 (全 16 頁) 最終頁に続く	

(21) 出願番号 特願2020-545811 (P2020-545811)
 (86) (22) 出願日 令和2年4月10日(2020.4.10)
 (86) 国際出願番号 PCT/JP2020/016184
 審査請求日 令和2年9月1日(2020.9.1)

早期審査対象出願

(73) 特許権者 502226380
 株式会社オプトハブ
 長野県東御市滋野乙1382番1号
 (74) 代理人 100086368
 弁理士 萩原 誠
 (72) 発明者 倉知 郁生
 東京都八王子市東浅川町774-3-213
 (72) 発明者 高野 紘
 東京都八王子市東浅川町254-5
 (72) 発明者 鹿島 保昌
 東京都立川市錦町3-10-17-101
 審査官 田邊 顕人

最終頁に続く

(54) 【発明の名称】 半導体イメージセンサ

(57) 【特許請求の範囲】

【請求項1】

シリコン基板と該シリコン基板上に形成された絶縁膜と該絶縁膜上に形成された半導体層とを備えたSOI基板の前記絶縁膜下の前記シリコン基板に形成されると共に、前記シリコン基板の主面に垂直な方向に形成され近赤外光に感度を有するpn接合ダイオードからなる受光素子と、

前記pn接合ダイオードに逆方向バイアス電圧を印加するための印加電圧を発生させる高電圧発生回路と、

前記絶縁膜を介して、前記半導体層を第1電極とし、前記シリコン基板に形成された拡散層を第2電極とするBOXキャパシタとを含み、

前記第1電極は前記高電圧発生回路の出力端に接続され、

前記シリコン基板の不純物濃度が $1 \times 10^{12} / \text{cm}^3$ 乃至 $1 \times 10^{14} / \text{cm}^3$ の範囲にあり、膜厚が $300 \mu\text{m}$ 乃至 $700 \mu\text{m}$ の範囲にあり、前記印加電圧が 10V 乃至 60V の範囲にあることを特徴とする半導体イメージセンサ。

【請求項2】

前記BOXキャパシタの前記絶縁膜の膜厚が 100nm 乃至 300nm の範囲にあることを特徴とする請求項1に記載の半導体イメージセンサ。

【請求項3】

前記絶縁膜上の前記半導体層に形成され、チャンネル領域をはさんで前記チャンネル領域に接する第1領域と第2領域と、前記チャンネル領域上に形成されたゲート電極とを備

え、前記第1領域と前記チャンネル領域とは互いに同一の導電型を有し、

前記第2領域と前記チャンネル領域とは互いに異なる導電型を有し、

前記ゲート電極と前記第2領域とを接続して、前記チャンネル領域を介した前記第1領域と前記第2領域とをダイオードとして用い、かつ複数個の前記ダイオードを直列接続し、それぞれのダイオードに信号を与え高電圧を出力するチャージポンプ回路を前記高電圧発生回路とすることを特徴とする請求項1又は2に記載の半導体イメージセンサ。

【請求項4】

前記半導体層の不純物濃度が $1 \times 10^{15} / \text{cm}^3$ 乃至 $3 \times 10^{18} / \text{cm}^3$ の範囲にあり、前記半導体層の膜厚が 10 nm 乃至 100 nm の範囲にあることを特徴とする請求項1乃至3のいずれかに記載の半導体イメージセンサ。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体イメージセンサに係り、特に、近赤外光に対して高感度かつ小面積での集積化が可能な半導体イメージセンサに関する。

【背景技術】

【0002】

周知の半導体イメージセンサ（以下、光センサという）としては、受光素子にシリコン基板に形成したpn接合ダイオードを用いたものが知られている。この光センサを動作させるためには、まず、pn接合ダイオードに逆方向バイアス、即ち、p型半導体層には負、n型半導体層には正のバイアス電圧を印加する必要がある。これにより、pn接合部にキャリアのない空乏層が形成される。この空乏層に光が照射されると、その光エネルギーにより電子正孔対（キャリア）が発生（光電効果という）し、空乏層中の電界により電子は正電圧の印加されたn型半導体層中に、正孔は負電圧の印加されたp型半導体層に引寄せられる。これにより、pn接合ダイオードの端子間の電荷量が光信号に応じて変化するため光信号を電気信号に変換（光電変換という）することができる。

20

【0003】

シリコン基板を用いたpn接合ダイオードによる光電変換において、検出可能な光の長波長側（光エネルギーの低い側）の限界は、シリコン内のバンドギャップ幅により決定される。

30

シリコンのバンドギャップ幅は約 1.1 eV であるから、シリコンのpn接合ダイオードを用いた光センサでは、波長が約 $1,100 \text{ nm}$ 以下の光だけが検出可能となる。

この波長（約 $1,100 \text{ nm}$ ）は近赤外領域にある。

【0004】

図1は、シリコンを媒質とする光の吸収係数を示したもので、波長が $1,100 \text{ nm}$ 近傍の近赤外光の光吸収係数は小さく検出感度は低い。そのため、従来は何らかの工夫をシリコンの光センサに施すことにより近赤外光に対する感度を向上させていた。

その工夫の一つとして、光センサに入射する近赤外光を光センサ内で分散させることで近赤外光が、光センサ内を通過する光路長を延ばして感度を向上させることが特許文献1や非特許文献1に記載されている。具体的には、受光素子が形成されるシリコンの表面にピラミッド状の凹凸を形成することによりこれを実現していた。

40

【0005】

さらに、デフューザと呼ばれる特別な層を受光素子表面に形成することにより近赤外光を分散させ感度の向上を図っていた。しかし、これらの従来の方法は製造プロセスの増加を招き、コストの上昇を伴う。また近赤外光の分散だけでは十分な感度の改善につながらず限界があった。

これに対し、光電変換領域となる空乏層を厚くする方法は感度向上には有効である。

【0006】

図2は各光波長に対して、空乏層幅と光吸収率との関係を示したものである。この図によれば、空乏層幅を $300 \mu\text{m}$ 以上に制御出来れば近赤外領域にある光に対して十分な光

50

吸収が得られることが分かる。

【0007】

図3は、pn接合が形成されるシリコン基板の不純物濃度に対する、逆方向バイアス電圧と空乏層幅との関係を示したものである。

一般に使用されているシリコン基板の濃度は $1 \times 10^{15} / \text{cm}^3$ 程度であるが、低濃度基板($\sim 1 \times 10^{12} / \text{cm}^3$)を用いると空乏層幅は同一バイアス電圧で約一桁厚くなることが分かる。

【0008】

図4は、光波長をパラメータとして、可視光と同程度の感度を持つための逆方向バイアス電圧と基板の不純物濃度との関係を示したものである。

基板濃度が $2 \times 10^{12} / \text{cm}^3$ 程度のFZ基板を使用して、波長940nmの近赤外光に対し、可視光と同程度の感度を持つ光センサを実現するには、50V程度のバイアス電圧を印加する必要があることが分かる。

このため、光センサはpn接合ダイオードに逆方向バイアス電圧を印加するための高電圧を発生させる高電圧発生回路を備えている。高電圧発生回路は、通常、電源電圧(VCC)を昇圧して所定の高電圧を得るための回路で、チャージポンプ回路が知られている。

【0009】

チャージポンプ回路は、コンデンサ(C1~C9)とダイオード(D1~D9)とを用いて入力信号(電源電圧:VCC)をオン・オフに切り替えることにより実現させる回路で、種々の回路構成が知られており、図5にその一例を示す。

このチャージポンプ回路をシリコン基板に形成すると、その占有面積が増大し、光センサが大型化するという欠点がある。

【0010】

そこで、チャージポンプ回路を特許文献2に示すように、シリコン基板と該シリコン基板上に形成された絶縁膜と該絶縁膜上に形成された半導体層とを備えたSOI基板の該半導体層中に形成することも知られている。この文献に開示されているチャージポンプ回路では該半導体層中に形成されたp型領域とn型領域とを接合して互いに独立した複数のダイオードを形成し、そのダイオードを直列接続している。

【先行技術文献】

【特許文献】

【0011】

【特許文献1】特開2017-108062

【特許文献2】特開平7-177729

【非特許文献】

【0012】

【非特許文献1】Oshiyama et al., "Near-infrared sensitivity enhancement of a back-illuminated complementary metal oxide semiconductor image sensor with a pyramid surface for diffraction structure," IEEE Tech. Digst. of IEDM 2017, pp.397-400, 2017.

【発明の概要】

【発明が解決しようとする課題】

【0013】

本発明は、シリコン基板に形成される受光素子となるpn接合ダイオードに高電圧の逆方向バイアス電圧を印加したときに十分に厚い(広い)空乏層を得ることが出来、かつ高電圧発生回路による占有面積の増大を招かない半導体イメージセンサを実現することを目的とする。

【課題を解決するための手段】

【0014】

本発明の半導体イメージセンサは、シリコン基板と該シリコン基板上に形成された絶縁膜と該絶縁膜上に形成された半導体層とを備えたSOI基板の前記絶縁膜下の前記シリコ

10

20

30

40

50

ン基板に形成されると共に、前記シリコン基板の主面に垂直な方向に形成され近赤外光に感度を有する p n 接合ダイオードからなる受光素子と、前記 p n 接合ダイオードに逆方向バイアス電圧を印加するための印加電圧を発生させる高電圧発生回路とを備え、前記シリコン基板の不純物濃度が $1 \times 10^{12} / \text{cm}^3$ 乃至 $1 \times 10^{14} / \text{cm}^3$ の範囲にあり、膜厚が $300 \mu\text{m}$ 乃至 $700 \mu\text{m}$ の範囲にあり、前記印加電圧が 10V 乃至 60V の範囲にあることを特徴とする。

【0015】

また本発明の半導体イメージセンサは、前記絶縁膜を介して、前記半導体層を第1電極とし、前記シリコン基板に形成された拡散層を第2電極とするBOXキャパシタを含み、前記第1電極は前記高電圧発生回路の出力端に接続されることを特徴とする。

10

【0016】

また本発明の半導体イメージセンサは、前記BOXキャパシタの前記絶縁膜の膜厚が 100nm 乃至 300nm の範囲にあることを特徴とする。

【0017】

本発明の半導体イメージセンサは、前記絶縁膜上の前記半導体層に形成され、チャンネル領域をはさんで互いに接する第1領域と第2領域と、前記チャンネル領域上に形成されたゲート電極とを備え、前記第1領域と前記チャンネル領域とは互いに同一の導電性を有し、前記第2領域と前記チャンネル領域とは互いに異なる導電性を有し、前記ゲート電極と前記第2領域とを接続して、前記チャンネル領域を介した前記第1領域と前記第2領域とをダイオードとして用い、かつ複数個の前記ダイオードを直列接続し、それぞれのダイオードに信号を与え高電圧を出力するチャージポンプ回路を前記高電圧発生回路とすることを特徴とする。

20

【0018】

さらに本発明の半導体イメージセンサは、前記半導体層の不純物濃度が $1 \times 10^{15} / \text{cm}^3$ 乃至 $3 \times 10^{18} / \text{cm}^3$ の範囲にあり、前記半導体層の膜厚が 10nm 乃至 100nm の範囲にあることを特徴とする。

【発明の効果】

【0019】

低不純物濃度のSOI基板を用い、SOI基板の半導体層にチャージポンプ回路からなる高電圧発生回路を形成し、基板内に近赤外光に感度を有する p n 接合ダイオードからなる受光素子を形成することにより、単一電源でプロセスや面積の増加も抑制された高感度の近赤外センサを実現することができる。

30

【図面の簡単な説明】

【0020】

【図1】シリコンを媒質とする光の波長と光吸収係数との関係を示した図。

【図2】各光波長に対して、空乏層幅と光吸収率との関係を示した図。

【図3】 p n 接合が形成されるシリコン基板の不純物濃度をパラメータとして、逆方向バイアス電圧と空乏層幅との関係を示した図。

【図4】光波長をパラメータとして、可視光と同程度の感度を持つための逆方向バイアス電圧と基板の不純物濃度との関係を示した図。

40

【図5】コンデンサとダイオードとを用いて入力信号をオン・オフに切り替えることにより実現させるチャージポンプ回路の一例を示す図。

【図6】本発明の第1の実施の形態に係る光センサの構成を示す概略平面図。

【図7】図6のA-A'断面を模式的に示すA-A'断面概略図。

【図8】周知のLDD構造のMOSFETの断面構造図。

【図9】バルク(シリコン基板)にMOSFETを形成した場合の断面構造図。

【図10】MOSFETが埋込酸化膜(BOX)上の半導体層に互いに分離されて形成した場合の断面構造図。

【図11】本発明の第1の実施の形態に係る高電圧発生回路部の製造工程図(その1)。

【図12】本発明の第1の実施の形態に係る高電圧発生回路部の製造工程図(その2)。

50

【図 1 3】本発明の第 1 の実施の形態に係る高電圧発生回路部の製造工程図(その 3)。

【図 1 4】本発明の第 1 の実施の形態に係る高電圧発生回路部の製造工程図(その 4)。

【図 1 5】本発明の第 1 の実施の形態に係る高電圧発生回路部の製造工程図(その 5)。

【図 1 6】本発明の第 1 の実施の形態に係る高電圧発生回路部の製造工程図(その 6)。

【図 1 7】本発明の第 1 の実施の形態に係る高電圧発生回路部の製造工程図(その 7)。

【図 1 8】本発明の第 2 の実施の形態に係る高電圧発生回路部で使用されるダイオードの断面構成図。

【図 1 9】図 1 8 に示すダイオードの製造工程図。

【図 2 0】受光素子に裏面から光照射したときの光波長に対する量子効率を測定した結果を示す図。

10

【図 2 1】3 種類のダイオードの構造を比較して示した図。

【図 2 2】図 2 1 に示した 3 つのダイオード構造における逆方向バイアス電圧とリーク電流との関係を示した図。

【発明を実施するための形態】

【0021】

以下、図面を参照して本発明の実施の形態の一例を詳細に説明する。

【0022】

(第 1 の実施の形態)

図 6 は、本発明の第 1 の実施の形態に係る光センサの構成を示す概略平面図、図 7 は図 6 の A - A ' 断面を模式的に示す A - A ' 断面概略図である。

20

本発明に係る光センサ 1000 は、センサ回路部 100 と高電圧発生回路部 200 と制御回路部 300 とから構成される。

センサ回路部 100 は、受光素子 100 a と受光素子 100 a に流れる光電流を検出する MOS トランジスタ 110 a とから構成されている。受光素子 100 a は p n 接合ダイオードからなる複数の単センサピクセル P をアレイ状に配列してセンサ回路部 100 が構成されている。受光素子 100 a は、図 7 に示すように低濃度 N 型シリコン基板 101 の裏面に形成された N⁺ 拡散層 103 をカソード電極とし、この低濃度 N 型シリコン基板 101 主面近傍に形成された P⁺ 拡散層 105 をアノード電極としている。

【0023】

このように受光素子 100 a は、シリコン基板 101 と該シリコン基板上に形成された埋込酸化膜 (BOX) 102 と該 BOX 102 上に形成された半導体層 (SOI 層) 107 とを備えた SOI 基板の BOX 102 下のシリコン基板 101 の主面に垂直な方向に形成され、波長 800 nm 乃至 1000 nm 程度の近赤外光に十分な感度を有するようシリコン基板 101 の不純物濃度と、その膜厚が選択される。光電流を検出する MOS トランジスタ 110 a は SOI 層 107 に形成され図 8 に示すような周知の LDD 構造の MOS FET である。

30

【0024】

シリコン基板 101 の不純物濃度としては $1 \times 10^{12} / \text{cm}^3$ 乃至 $1 \times 10^{14} / \text{cm}^3$ の範囲で、好ましくは $2 \times 10^{12} / \text{cm}^3$ に選択する。シリコン基板 101 の厚さは受光素子 100 a が完全空乏化できるシリコン厚、例えば最終ウェハ厚 300 μm 乃至 700 μm 、好ましくは 500 μm となるように選択する。裏面のシリコンをエッチング除去し、その後裏面にリン (P) をイオン注入し、活性化のため裏面からレーザ照射 (レーザアニール) することにより裏面に N⁺ 層 103 を形成する。

40

この N⁺ 層 103 は空乏層が主面から伸びて、裏面最下部まで到着しないようにするためと、ピクセルアレイ全体で裏面抵抗を十分に下げるために形成される。

【0025】

制御回路部 300 は、センサ回路部 100 を制御するもので、垂直シフトレジスタ 310、ノイズキャンセラ 320、カラム ADC 330、水平シフトレジスタ 340 で構成され、センサ回路部の周辺に配置されている。

なお、制御回路部 300 は、本発明とは直接の関連性はないので、その構成や構造につ

50

いては説明を省略する。

【0026】

高電圧発生回路部200は、一例として、図5に示すキャパシタ(C1~C9)とダイオード(D1~D9)とを用いたチャージポンプ回路として構成される。なお、図7には、図5に示すチャージポンプ回路の一部が示されており、SOI層107に形成され、ダイオード接続されている2つのMOSトランジスタ110b, 110cは、それぞれ図5に示すダイオードD8, D9に対応する。

【0027】

また、MIMキャパシタ111はキャパシタC8に、BOXキャパシタ112はキャパシタC9にそれぞれ対応する。図5に示す他のダイオード(D1~D7)やキャパシタ(C1~C7)については図示は省略されている。ダイオード接続されて構成されている2つのMOSトランジスタ110b, 110cの構造はMOSトランジスタ110aと同様に図8に示す周知のLDD構造のMOSFETである。

10

【0028】

図5に示す高電圧発生回路部200で発生した高電圧VO(5)は、図示しないメタル配線層を介してセンサ回路部100の周辺に設けたシリコン基板101の下層のN⁺層103に供給され、シリコン基板101全体が高電圧に保たれ、受光素子部100a内のP⁺拡散層105からシリコン基板101の裏面に向かって十分な厚さの空乏層がシリコン基板101内に形成される。

【0029】

20

キャパシタ111(C8)は、絶縁層となるSiON膜をCVD法により下層のアルミニウム配線109a上に堆積し、その後、その上にTiNを堆積させてパターニングして対抗電極109bとするMIMキャパシタとして形成される。キャパシタ112(C9)は、高電圧発生回路200の出力端(Output)に接続されるもので耐圧を大きくとるために埋込酸化膜(BOX)102を絶縁層として用い、一方の電極をSOI層107に、他方の電極をシリコン基板101内のPウェル層106に形成されたP⁺拡散層105とするもので、BOXの膜厚を100nm乃至300nmに選択しておけば、50V以上の十分に高い耐圧を有する。

【0030】

図5では、一例として5段のチャージポンプ回路が示されており、入力クロックのハイ(High)レベル(Vcc)の5倍のDC電圧が出力されることになる。

30

入力が電源電圧Vccのクロック信号であると、N段のチャージポンプ回路では、その出力電圧は、

$$V_{out}(N) = V_{CC} \times N - V_f \times 2(N-1) \quad \dots (1)$$

となる。ここでV_fはダイオード接続されたMOSFETの閾値電圧である。

このように適当な段数のチャージポンプ回路を準備することで、所望の高電圧(例えば10V乃至60V)を電源電圧Vccから発生させることができる。

【0031】

図5に示す回路において、各段の電位差V_{diff}は、

$$V_{diff} = V_{CC} - 2V_f \quad \dots (2)$$

40

となるため、各ダイオードD1~D9の両端子間には、Vcc以下の電圧しか印加されない。

しかし、通常のLSIのようにバルク(シリコン基板)にMOSFETを形成した場合には、後段のダイオード接続されたFETのドレイン接合部には高電圧(例えば30V)が図9に示すようにそのまま印加されてしまう(なお、ゲート(G)とソース(S)間には閾値電圧(1.8V)が印加される。)ため、pn接合部がこの高電圧に耐え得るように接合を傾斜化させて電界を緩和するなどの措置を必要とし、追加のプロセスが必要となり複雑化し、またMOSFETの面積の増大化を招いていた。

【0032】

これに対し、本発明では、ダイオードとなるMOSFETが図10に示すように埋込酸

50

化膜（BOX）上の半導体層に互いに分離されて形成されているため、各段のダイオードが完全に分離され、電源電圧VCCに耐えるだけの耐圧があれば足り、高電圧発生回路であっても通常の電源電圧VCCで動作可能なMOSFETを使用することができる。

またキャパシタC1～C8にもVCC以下の電圧しか印加されないため、図7に示すようなMIMキャパシタ111を用いることができる。

ただし、出力電圧安定用のキャパシタC9にはそのまま高電圧が印加されるため、キャパシタに耐圧確保が必要となる。本発明においては、100～300nmの厚さのBOX102を使用して十分な耐圧を確保している。

【0033】

なお、図7に示す高電圧発生回路部200では、出力される高電圧は、受光素子100aのpn接合キャパシタの片方の端子（N⁺層103）に接続されていることからキャパシタC9は省略することも可能である。

このように、低不純物濃度のSOI基板と、SOI基板の半導体層にチャージポンプ回路を構成する高電圧発生回路を組み合わせることで、単一電源でプロセスや面積の増加も抑制された高感度の近赤外センサを作製することができる。

【0034】

次に図11～図17を参照して本発明の光センサ1000の第1の実施の形態に係る高電圧発生回路部200の製造工程を説明する。

まず図11（A）に示すように、出発材料（Starting material）として不純物濃度が $1 \times 10^{12} / \text{cm}^3$ 乃至 $1 \times 10^{14} / \text{cm}^3$ の範囲にあるN型リンドーパされた低濃度シリコン基板501上に100nm乃至300nmの埋込酸化膜（BOX）502、その上に膜厚が10nm乃至100nmの範囲にある不純物濃度が約 $1 \times 10^{15} / \text{cm}^3$ のボロンドープされた薄いシリコン層（SOI層）503を備えたシリコン基板を準備する。

このような仕様のシリコン基板は公知のスマートカット法や張り合わせ法によって製造され、ウェハベンダより供給されている。

【0035】

次に、図11（B）に示すようにレジストを用いたホトリソグラフィとそのレジストをマスクとしたシリコン（Si）のドライエッチングによりSOI層503をパターンニングし、アクティブ領域を形成する。

なお、図中、左側にNチャンネルMOSFETが、右側にPチャンネルMOSFETが形成されるものとする。

【0036】

次に、図11（C）に示すように素子分離を行う。周知の素子分離技術であるSTI（Shallow Trench Isolation）を用いて、アクティブなSOI層503間を素子分離酸化膜504で埋め込む。

次に、図11（D）に示すように、ホトリソグラフィとレジストをマスクとしたイオン注入技術を用いて、NチャンネルMOSFET側のSOI層503aの上層にボロン（BF₂⁺）、PチャンネルMOSFET側のSOI層503bの上層にリン（P⁺）をドーパし、それぞれ所望の閾値となるように所望のドーズ・エネルギーでイオン注入を行う。

【0037】

次に、図12（E）に示すように、ホトリソグラフィにより作成したレジストパターン505をマスクとして、ボロン（B⁺）を下層のシリコン基板501に注入し、低濃度のPwell層506を形成する。この時上層にあるSOI層503a、503bにはわずかなボロンしか注入されないため、その不純物濃度はほとんど変化しない。レジストパターン505はイオン注入後除去される。

次に、図12（F）に示すように、熱酸化により、SOI層503a、503bの上層にゲート酸化膜（シリコン酸化膜）507を形成する。

【0038】

次に図12（G）に示すように、ゲート電極となるポリシリコンをCVD（Chemical Vapor Deposition）により表面全面に堆積させ、ホトリソグラフィとレジストをマスクと

10

20

30

40

50

するドライエッチングにより、ポリシリコンからなるゲート電極508を形成する。

次に図12(H)に示すように、下層のシリコン基板501とのコンタクトを形成するために、コンタクト部にある素子分離酸化膜504と埋込酸化膜502とをホトリソグラフィとレジストをマスクとしたドライエッチングにより除去し、BOXウインドを形成する。

【0039】

次に、図13(I)に示すように、通常のホトリソグラフィとレジストをマスクとしたボロン(B⁺)のイオン注入により、センスノードとなるP⁺層509を形成する。レジストはイオン注入後除去する。

次に図13(J)に示すように、ホトリソグラフィとゲート電極508をマスクとしたイオン注入により、NチャンネルMOSFET側には、ヒ素(As)を注入したソース・ドレインn⁺層510をPチャンネルMOSFET側には、ボロン(BF₂)を注入したソース・ドレインp⁺層511を形成する。なおゲート電極508にサイドウォール(SW)を周知の方法で形成することで、ソース・ドレインn⁺層の内側にn⁻層をソース・ドレインp⁺層の内側にp⁻層を形成し、LDDタイプのMOSFETとすることが出来る。

センスノードp⁺層509を含めたこれらの拡散層(ソース・ドレインn⁺層510およびソース・ドレインp⁺層511)での不純物の活性化のため高温(1,000程度)で、10秒程度の熱処理(アニール)を窒素(N₂)雰囲気中で行う。

【0040】

次に図13(K)に示すように、層間絶縁(シリコン酸化膜)512をCVDにより全面に堆積させ、表面平坦化のために化学機械研磨(CMP)を行う。

その後図13(L)に示すように、ホトリソグラフィとレジストをマスクとするドライエッチングにより層間絶縁膜に素子間の電氣的接続用のコンタクトホールを形成する。

【0041】

次に、図14(M)に示すように、コンタクト内を導電物で埋め込むため、図示しないバリアメタル(Ti/TiN)、タングステン(W)をCVDにより埋積させ、その後CMPにより層間絶縁膜512上部のW及びTi/TiNを除去し、MIタングステンプラグ513を形成する。

次に図14(N)に示すように、Ti/TiN/Al-Cu/Ti/TiNを順次スパッタし、ホトリソグラフィとレジストをマスクとしたドライエッチングにより、M1配線514を形成する。この後、図示しない、絶縁膜の堆積、平坦化(CMP)、ビアホール形成、プラグ埋込、配線層の形成パターンニングを繰り返すことにより、層間絶縁膜512の上層に複数のM1配線514を形成することが出来る。

【0042】

次に、図15(O)に示すように、M2タングステンプラグ516に接続された2層目のM2配線517上にMIMキャパシタを形成する場合、M2配線517のパターンニング後、キャパシタの絶縁膜となるSiON膜をCVDによりM2配線517上に堆積し、その後、キャパシタの対抗電極となるTiNからなるMIM電極519をスパッタし、パターンニングすることにより、MIMキャパシタが形成される。

【0043】

次に、図16(P)に示すように、全面にM2-M3層絶縁膜520を堆積し、コンタクトホール内にM3タングステンプラグをスパッタし、図14(N)、図15(O)で説明したと同様のプロセスを繰り返して、M3配線522を形成し、パッシベーション523に所望の開口を設けてボンディングパッドを形成することにより表面処理を完了する。

【0044】

最後に、センサが完全空乏化できるように最終ウェハ厚を300μm乃至700μmとなるように、シリコン基板501の裏面をグラインドし、ウェットエッチングによりダメージ層を除去する。その後、裏面にリンをイオン注入し、活性化のため、裏面からレーザーアニールで行って、その後シリコン基板501の裏面にn⁺層524を形成する。

なお第1の実施の形態においては、高電圧発生回路200で使用されるダイオード(D

10

20

30

40

50

1 ~ D9)は、図13(J)で形成された、NチャネルMOSFETを図10に示すように、ドレイン(D)とゲート(G)とを接続して使用している。

【0045】

本発明の第2の実施の形態では、図18に示すように、埋込酸化膜(BOX)502上の半導体層であるSOI層603にチャンネル領域603aをはさんで互いに接する第1領域603bと第2領域603cとを形成し、チャンネル領域603a上にゲート酸化膜607を介して形成されたゲート電極608を備え、第1領域603bとチャンネル領域603aとは互いに同一の導電型を有し、第2領域603cとチャンネル領域603aとは互いに異なる導電型を有し、ゲート電極608と第2領域603cとを接続して、チャンネル領域603aを介した第1領域603bと第2領域603cをダイオード(D1~D9)として使用している。

10

【0046】

図18に示すようなダイオードは図10に示すSOI-MOSFETの構造とほぼ同等であり、図11乃至図17で説明したプロセスフロー自体はほとんど変わらない。

即ち、図11(D)において、SOI層503a, 503bの両方にリン(P⁺)をドーピングし、図13(J)において右側のPチャネルMOSFETのソース(S)をp⁺/p⁻層からn⁺/n⁻層に変更しただけであり、ソース及びドレインへのイオン注入時にゲート508の真ん中でレジストをマスクにして図19に示すようにヒ素(As⁺)とボロン(BF₂⁺)とを打ち分ければ図18に示すようなダイオードを作製することができる。

20

【0047】

図20は図7に示すような受光素子100aに裏面から光照射したときの光波長に対する量子効率を測定した結果を示す図である。なおpn接合に印加した逆バイアス電圧は30Vである。

非特許文献1に示されるセンサと比較して、本発明に係るセンサは900nm~1,000nmの光波長の近赤外光に対してかなり高い量子効率を得られることが分かる。

【0048】

次にチャージポンプ内のSOI構造で使用される3種類のダイオードについて、逆方向バイアス時のリーク電流について考察する。

リーク電流が増加すると、チャージポンプ回路の昇圧効果が悪くなり、所望の電圧に昇圧するためのダイオードとキャパシタとのセットの段数を増やさねばならず、面積が大きくなるという不具合につながるからである。

30

【0049】

図21は3種類のダイオードの構造を比較して示したもので、(A)は特許文献2に記載されたダイオード、(B)はMOSFETをダイオード接続して構成されるもので、本発明の第1の実施の形態で使用されているもの(図10参照)、(C)は本発明の第2の実施の形態で使用されているもの(図18参照)である。

【0050】

(A)に示す構造のダイオードは、構造及びプロセス上、矢線で示す面がプロセスダメージを受け易く、また表面準位を低減するための酸化も出来ない。そのため界面準位が多く、逆バイアス時には空乏層がこの界面と接触するため、界面準位を介した表面再結合電流が流れ、リーク電流が増加するという欠点がある。

40

(B)に示す構造のダイオードは、チャンネル領域上にゲート酸化膜が形成されているため、表面準位は(A)のものに比較して少ない。しかし、所謂、GIDL(Gate Induced Drain Leakage)によって逆バイアス時のリーク電流が増加するという欠点がある。

(C)に示す構造のダイオードは、SOIのシリコン表面と酸化膜の界面で空乏層ができるところはゲート酸化膜のところであるため、良好な界面であり、界面準位は少ないため、準位を介するリーク電流は抑えられる。

逆バイアスが印加されているときn⁺/n⁻/n部分でのGIDL発生の可能性はあるが、n⁺/n⁻/nの構造となっているため、空乏層が横方向に広がり易くなり横方向電

50

界を十分に緩和できる。従ってG I D Lの発生量は十分に抑えられる。

【 0 0 5 1 】

図 2 2 は、図 2 1 に示した 3 つのダイオード構造における逆方向バイアス電圧とリーク電流との関係を示した図である。

逆バイアス電圧を - 1 . 8 V とし、図 2 1 (C) に示すダイオードを使用することで、リーク電流は、測定限界以下となり、図 2 1 (A) に示すダイオードに比して、約 2 桁以上リーク電流を低減することが出来る。

【符号の説明】

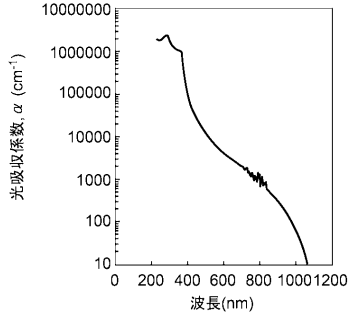
【 0 0 5 2 】

5 0 1	低濃度シリコン基板	10
5 0 2	埋込酸化膜	
5 0 3	S O I 層	
5 0 4	素子分離酸化膜	
5 0 5	レジストパターン	
5 0 6	P w e l l 層	
5 0 7	ゲート酸化膜	
5 0 8	ゲート電極	
5 0 9	センスノード p + 層	
5 1 0	ソース・ドレイン n + 層	
5 1 1	ソース・ドレイン p + 層	20
5 1 2	層間絶縁膜	
5 1 3	M 1 タングステンプラグ	
5 1 4	M 1 配線	
5 1 5	M 1 - M 2 層間絶縁膜	
5 1 6	M 2 タングステンプラグ	
5 1 7	M 2 配線	
5 1 8	M I M 絶縁膜	
5 1 9	M I M 電極	
5 2 0	M 2 - M 3 層間絶縁膜	
5 2 1	M 3 タングステンプラグ	30
5 2 2	M 3 配線	
5 2 3	パッシベーション	
5 2 4	裏面 n + 層	

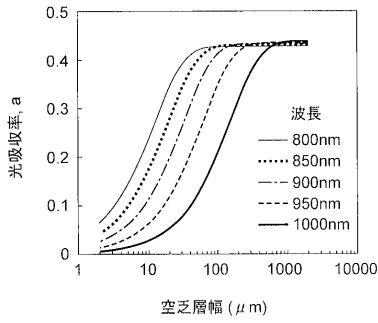
【要約】

近赤外光に対して高感度かつ小面積での集積化が可能な半導体イメージセンサを提供する。本発明の半導体イメージセンサは、シリコン基板と該シリコン基板上に形成された絶縁膜と絶縁膜上に形成された半導体層とを備えた S O I 基板の前記絶縁膜下のシリコン基板に形成されると共に、シリコン基板の主面に垂直な方向に形成され近赤外光に感度を有する p n 接合ダイオードからなる受光素子と、 p n 接合ダイオードに逆方向バイアス電圧を印加するための印加電圧を発生させる高電圧発生回路とを備え、シリコン基板の不純物濃度が $1 \times 10^{12} / \text{cm}^3$ 乃至 $1 \times 10^{14} / \text{cm}^3$ の範囲にあり、膜厚が $300 \mu\text{m}$ 乃至 $700 \mu\text{m}$ の範囲にあり、印加電圧が 10V 乃至 60V の範囲にある。

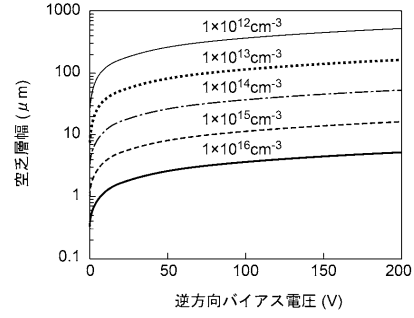
【図1】



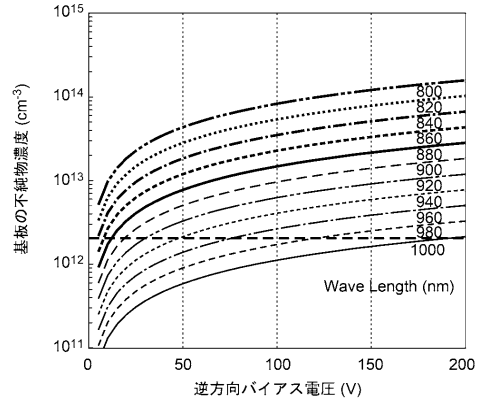
【図2】



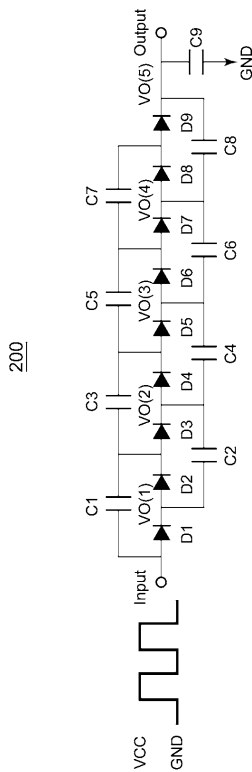
【図3】



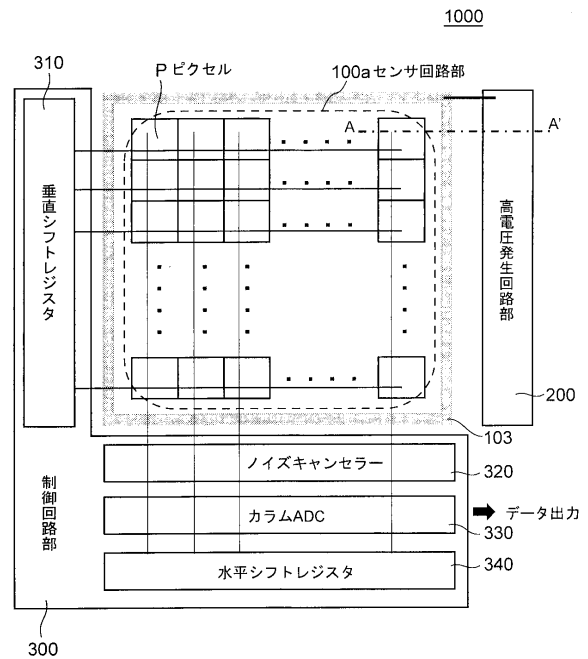
【図4】



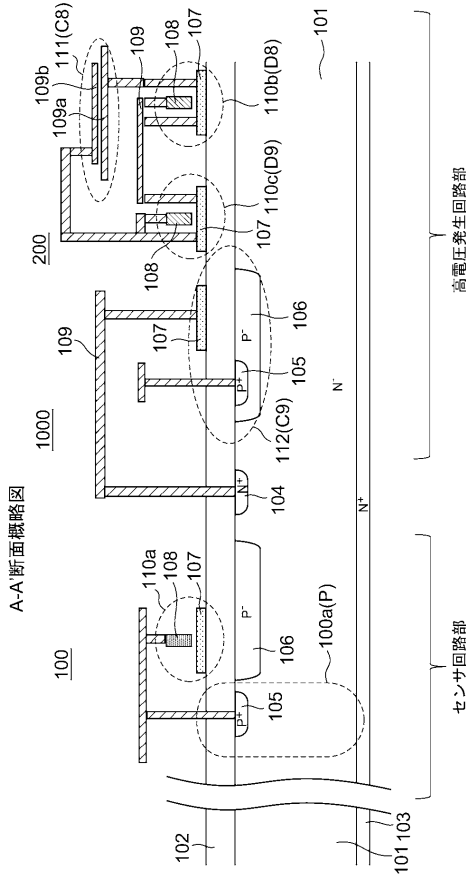
【図5】



【図6】

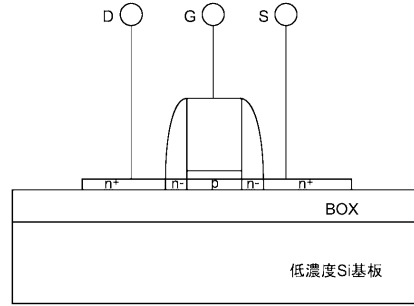


【図7】

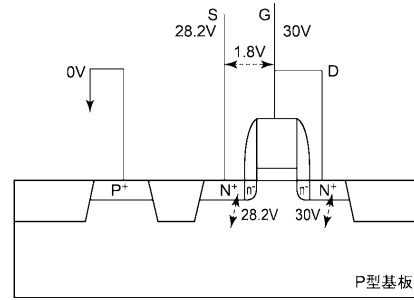


- 100: センサ回路部
- 100a: 受光素子
- 101: 低濃度N型シリコン基板
- 102: 埋込酸化膜(BOX)
- 103: N⁺層
- 104: N⁺拡散層
- 105: P⁺拡散層
- 106: Pウエル層
- 107: SOI層
- 108: ゲート電極
- 109: メタル配線層
- 109a: アルミニウム配線
- 109b: 対抗電極
- 110a, 110b, 110c: SOI-MOSFET
- 1000: 光センサ
- 111: MIM Capacitor
- 112: BOX Capacitor
- 200: 高電圧発生回路部

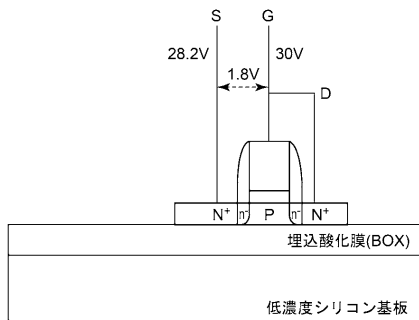
【図8】



【図9】

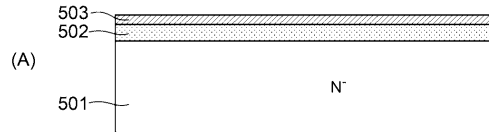


【図10】

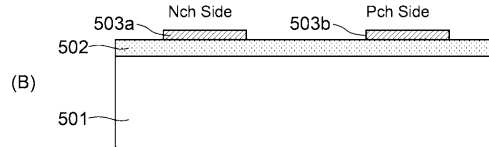


【図11】

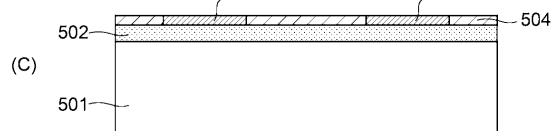
(1) SOIウエハ



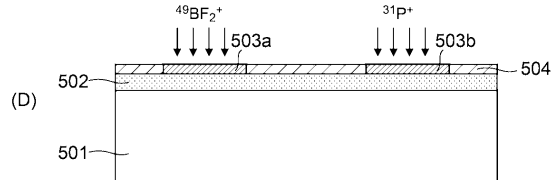
(2) アクティブ形成



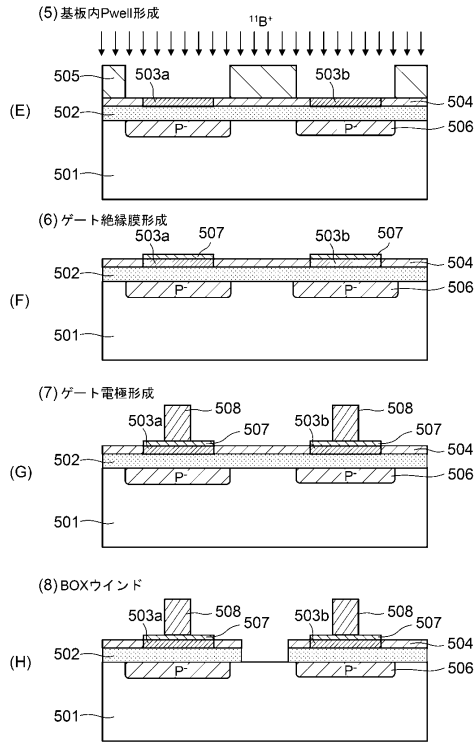
(3) 素子分離



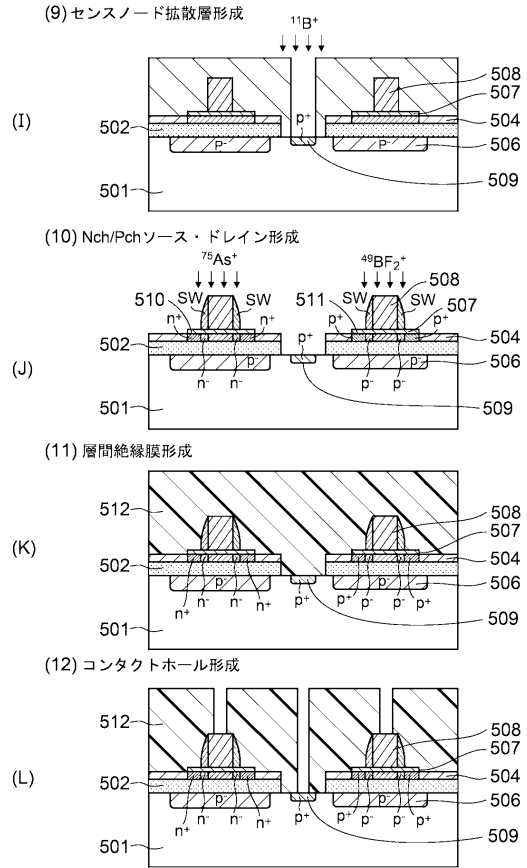
(4) チャネルドーピング



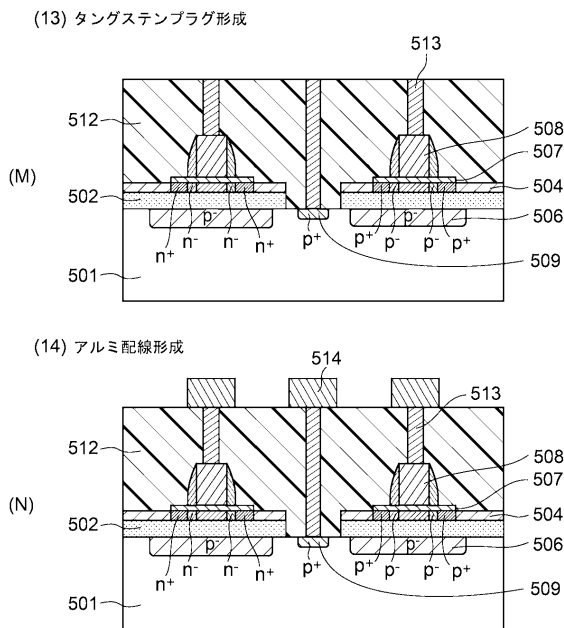
【図12】



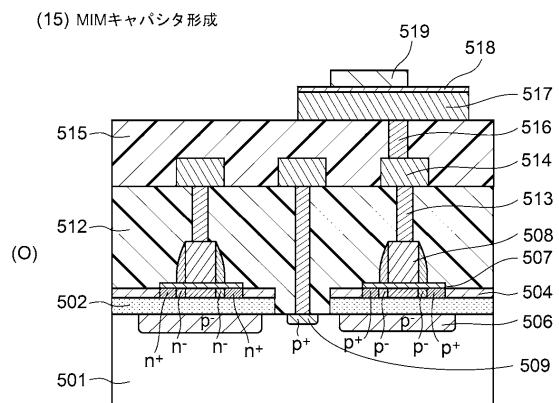
【図13】



【図14】

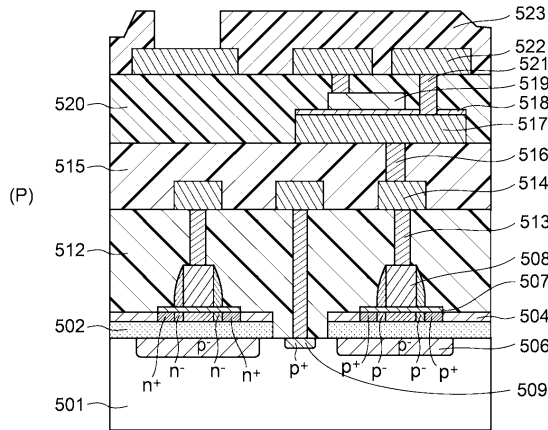


【図15】



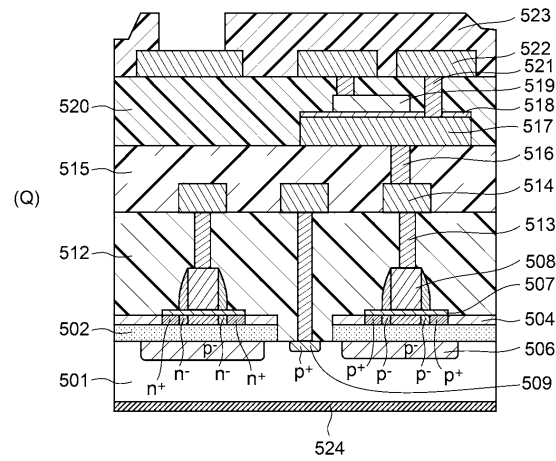
【図16】

(15) 最上層メタル形成、保護膜形成、パッド開口

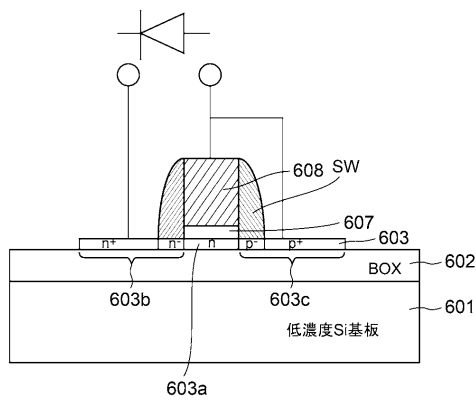


【図17】

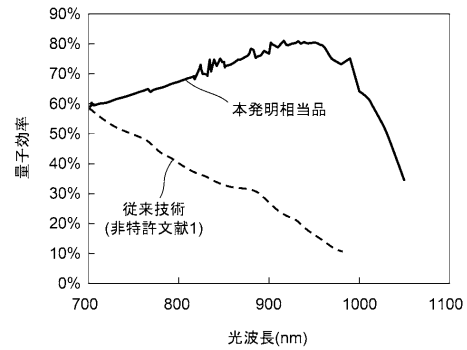
(16) 裏面処理



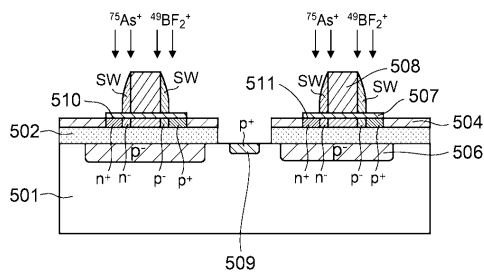
【図18】



【図20】



【図19】



フロントページの続き

(51) Int.Cl.			F I		
H 0 1 L	27/06	(2006.01)	H 0 1 L	27/088	3 3 1 E
H 0 1 L	27/088	(2006.01)	H 0 1 L	27/088	3 3 1 C

(56) 参考文献 特開 2 0 1 0 - 0 4 1 0 1 0 (J P , A)
 特表 2 0 0 1 - 5 0 3 9 1 8 (J P , A)
 特表 2 0 0 3 - 5 2 0 4 4 1 (J P , A)
 特開 2 0 0 5 - 3 4 0 4 7 9 (J P , A)
 国際公開第 2 0 1 3 / 1 2 9 5 5 9 (W O , A 1)
 特開昭 5 7 - 0 5 4 3 7 0 (J P , A)
 特開平 0 1 - 2 7 6 7 6 6 (J P , A)
 特開 2 0 1 4 - 1 3 0 9 2 0 (J P , A)
 特開 2 0 1 4 - 0 9 3 6 1 6 (J P , A)
 特開 2 0 1 2 - 0 8 0 0 4 5 (J P , A)
 特開 2 0 1 4 - 1 3 5 4 5 4 (J P , A)
 特表 2 0 0 6 - 5 0 9 3 5 8 (J P , A)
 米国特許出願公開第 2 0 1 3 / 0 0 7 5 5 9 3 (U S , A 1)
 特開 2 0 0 4 - 1 3 4 6 7 2 (J P , A)
 国際公開第 1 9 9 5 / 0 2 6 5 7 3 (W O , A 1)
 特開 2 0 1 4 - 2 3 2 7 6 1 (J P , A)
 特開 2 0 1 4 - 1 3 0 8 9 0 (J P , A)
 特開昭 5 8 - 0 9 5 8 7 7 (J P , A)

(58) 調査した分野 (Int.Cl., DB名)

H 0 1 L 2 7 / 1 4 4
 H 0 1 L 2 1 / 3 3 6
 H 0 1 L 2 1 / 8 2 3 4
 H 0 1 L 2 7 / 0 6
 H 0 1 L 2 7 / 0 8 8
 H 0 1 L 2 7 / 1 4 6
 H 0 1 L 2 9 / 7 8 6