

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 6 部門第 4 区分  
 【発行日】平成20年11月6日(2008.11.6)

【公開番号】特開2002-163897(P2002-163897A)  
 【公開日】平成14年6月7日(2002.6.7)  
 【出願番号】特願2001-288120(P2001-288120)  
 【国際特許分類】

G 1 1 C 29/56 (2006.01)

G 0 1 R 31/28 (2006.01)

【F I】

G 1 1 C 29/00 6 5 1 S

G 0 1 R 31/28 B

【手続補正書】

【提出日】平成20年9月19日(2008.9.19)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

メモリテストにおいて被験メモリ(14、15)を試験する方法であって、

(a) 同じ送信ベクターのシーケンス(7)を、前記被験メモリと前記メモリテスト内における作業メモリ(31)とに対して加え、該送信ベクターのシーケンスによって、該ベクターのシーケンスが加えられる該メモリ内に試験パターンデータが格納させられ、及び、

(b) 前記ステップ(a)に後続して、前記被験メモリの試験パターンデータの内容を、前記作業メモリの試験パターンデータの内容と比較する(56)といった各ステップを含む、方法。

【請求項 2】

前記同じ送信ベクターのシーケンスが、前記被験メモリと前記作業メモリとに同時に加えられる該シーケンスの事例であることからなる、請求項 1 に記載の方法。

【請求項 3】

前記同じ送信ベクターのシーケンスが、前記被験メモリと前記作業メモリとに対して異なる時間に加えられる該シーケンスの別個の事例であることからなる、請求項 1 に記載の方法。

【請求項 4】

前記作業メモリが、前記メモリテスト内における内部試験メモリ(128)の選択可能な部分であることからなる、請求項 1 に記載の方法。

【請求項 5】

作業メモリトランザクションを、DRAMの複数のバンク(88~93)間においてインターリーブするステップを更に含む、請求項 4 に記載の方法。

【請求項 6】

前記ステップ(b)からの比較結果を、前記テスト内における内部試験メモリの一部であるエラー捕捉メモリ(32)内に格納するステップを更に含む、請求項 4 に記載の方法。

【請求項 7】

エラー捕捉メモリトランザクションを、DRAMの複数のバンク(88~93)間において

インターリーブするステップを更に含む、請求項 6 に記載の方法。

【請求項 8】

前記内部試験メモリが、複数のメモリセット（73～76）から構成されており、前記選択可能な部分が、メモリセットのセグメントであることからなる、請求項 4 に記載の方法。

【請求項 9】

前記ステップ（b）からの比較結果を、前記作業メモリがセグメントである前記メモリセットとは異なるメモリセットの一部であるエラー捕捉メモリ（32）内に格納するステップを更に含むことからなる、請求項 8 に記載の方法。