

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 97123763

※申請日期： 97. 6. 25

※IPC 分類：H01L 23/50 (2006.01)

H01L 21/56 (2006.01)

一、發明名稱：(中文/英文)

半導體裝置及其製造方法

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商瑞薩科技股份有限公司

RENESAS TECHNOLOGY CORP.

代表人：(中文/英文)

塚本 克博

TSUKAMOTO, KATSUHIRO

住居所或營業所地址：(中文/英文)

日本國東京都千代田區大手町2-6-2

6-2, OTEMACHI 2-CHOME, CHIYODA-KU, TOKYO, JAPAN

國 籍：(中文/英文)

日本 JAPAN

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 天野 賢治
AMANO, KENJI
2. 長谷部 一
HASEBE, HAJIME

國 籍：(中文/英文)

1. 日本 JAPAN
2. 日本 JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本；2007年09月20日；特願2007-243944

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體裝置及其製造技術，尤其係關於一種有效適用於使引板(晶片搭載部)露出之半導體裝置之技術。

【先前技術】

有如下技術：可藉由使晶片墊片之外形尺寸小於搭載於該晶片墊片上之半導體晶片的外形尺寸，來增大半導體晶片與樹脂之接著面積，又，可藉由根據半導體晶片之外形尺寸而將引線之前端切斷為適當長度，以將外形尺寸不同之各種半導體晶片搭載於晶片墊片上(例如，參照專利文獻1)。

又，有如下技術：於外部端子向下方突出之QFN(Quad Flat Non-leaded Package，四側無引腳扁平封裝)中，於晶片墊片上形成半切斷部從而使中央部較周邊部更厚，藉此，不會與懸吊引線產生干擾而可自由地選擇半導體晶片之尺寸(例如，參照專利文獻2)。

[專利文獻1]

日本專利特開平6-216303號公報

[專利文獻2]

日本專利特開2000-243891號公報

【發明內容】

[發明所欲解決之問題]

QFN (Quad Flat Non-leaded Package)等無引線型半導體

裝置中，各引線之一部分於密封體背面之周緣部露出而配置，該等為外部端子。如此之QFN中，要求隨著更小型化、薄型化晶片尺寸儘可能地接近於封裝尺寸之半導體裝置。又，近年來，半導體裝置有高功能化傾向，因此，半導體晶片中所產生之熱量亦增大。因此，考慮到半導體裝置之可靠性時，亦要求提高散熱性。進而，除該等要求外，亦必須抑制製造成本增加。

因此，為了實現該等要求，本申請案發明者進行了如下研究。

首先，為了實現半導體裝置之小型化，研究了如下構造：QFN構造中，於以可搭載儘可能大的半導體晶片之方式而配置於引板(晶片搭載部)周圍之引線上，重疊有半導體晶片之外周部。亦即，於半導體晶片之下部埋入各引線之晶片側的端部。

藉此，雖可與半導體裝置之小型化對應，但如此之構造中，引板必然為其外形之大小小於半導體晶片之外形尺寸的所謂小引板構造。

其次，考慮到半導體裝置之散熱性時，考慮使引板之背面露出於密封體之背面的所謂引板露出型QFN。亦即，此時，為小引板構造且引板露出型QFN。此處，藉由將引板自密封體露出來提高散熱性，可藉由將自密封體露出之引板經由接合材連接於安裝基板之電極上，而進一步提高散熱性。

然而，如此之小引板構造之QFN中，引板之晶片支持面

之面積較小。因此，為了可靠地將半導體晶片固定於如此之外形尺寸較小之引板上，必須於半導體晶片與引板之間無間隙地設置固晶材料。藉此，有時作為固晶材料之銀漿（漿料）會自晶片支持面溢出，於半導體晶片之固晶步驟中，自晶片支持面溢出之銀漿沿著引板側面而流出至引板之背面。其結果為，為引板露出型構造之情形，必須對引板之背面實施外裝鍍敷，但因封裝之背面附著有銀漿，故難以於引板之背面形成外裝鍍敷。藉此，難以充分提高散熱性。

此時，作為固晶材料，亦考慮使用薄膜型接著材料，藉此防止固晶材料之溢出、流出，但相比於漿料，薄膜型接著材料的材料成本更高，從而難以降低製造成本。又，使用薄膜型之情形時，亦難以將薄膜正確地配置於引板之晶片支持面上。

再者，上述專利文獻1(日本專利特開平6-216303號公報)中，揭示有小引板構造之半導體裝置之例，但存在如下問題：小引板構造中，如上所述，容易引起漿料溢出之現象，成為漿料流出之主要原因。

又，上述專利文獻2(日本專利特開2000-243891號公報)中所揭示之封裝構造中，對晶片墊片(引板)進行偏移加工。亦即，實施利用壓製而自背面側頂起晶片墊片之中央部的偏移加工，其結果為，晶片墊片之中央部之主面(晶片支持面)的位置高於引線主面(導線連接面)，從而難以獲得封裝之薄型化。

進而，藉由晶片墊片之偏移加工所形成之外周部係由偏移加工而成，因此必須增大階差之寬度。藉此，晶片墊片之中央部之面積減小，與半導體晶片之接合面積亦減小。其結果為，引起半導體晶片之接合可靠性及散熱性降低之問題。

本發明之目的在於提供一種可防止固晶材料流出且可提高半導體裝置之品質、可靠性的技術。

本發明之上述內容以及其他目的與新穎的特徵根據本說明書之記述及隨附圖式可加以明確。

[解決問題的技術手段]

若簡單說明本申請案中所揭示之發明中的代表者之概要，則為如下所述。

亦即，本發明具有：複數條引線，其等配置於晶片搭載部之周圍；漿料，其配置於晶片搭載部之晶片支持面上；半導體晶片，其經由漿料搭載於晶片搭載部之晶片支持面上；複數條導線，其等分別電性連接半導體晶片之複數個電極與複數條引線；以及密封體，其對半導體晶片、複數條導線、複數條引線各自之一部分以及晶片搭載部之一部分進行樹脂密封。進而，本發明中，晶片搭載部之晶片支持面之外形尺寸小於半導體晶片的背面，晶片搭載部之晶片支持面之相反側的背面自密封體露出，於晶片搭載部之晶片支持面之周緣部形成有高度低於晶片支持面之階差部。

又，本發明包括：準備具有晶片搭載部以及複數條引線

之引線框架之步驟，上述晶片搭載部於晶片支持面之周緣部形成有高度低於晶片支持面之階差部，複數條引線配置於晶片搭載部之周圍；將漿料塗佈於晶片搭載部之晶片支持面上之步驟；經由漿料，將半導體晶片接合於外形尺寸小於半導體晶片之背面之晶片搭載部的晶片支持面上的步驟。進而，本發明包括：分別電性連接半導體晶片之複數個電極與複數條引線之步驟；以及於利用樹脂成形模具之1個模穴而覆蓋複數個半導體裝置形成區域之狀態下，將密封用樹脂注入至模穴內，於半導體晶片與晶片搭載部之階差部之間塗滿密封用樹脂，且晶片搭載部之晶片支持面之相反側的背面及複數條引線各自之一部分露出，以此方式對半導體晶片進行樹脂密封的步驟。

[發明之效果]

若簡單說明藉由本申請案中所揭示之發明中的代表者所獲得之效果，則為如下所述。

藉由於晶片搭載部之晶片支持面之周緣部形成高度低於晶片支持面之階差部，而可將自晶片搭載部溢出之漿料(固晶材料)保留於該階差部，且可防止漿料流出至密封體之背面。藉此，可阻止漿料附著於封裝背面之外裝鍍敷上，進而，不會引起無法形成外裝鍍敷之問題。其結果為，半導體裝置之品質及可靠性得以提高。

藉由於晶片搭載部之階差部上形成向半導體晶片突出之突起部，而可藉由定準效應來提高樹脂與晶片搭載部之密著性。藉此，可抑制晶片搭載部之階差部上之剝離。其結

果為，雜質不易進入晶片搭載部與樹脂之界面，從而可防止雜質之流出所引起的外裝鍍敷之變色。因此，半導體裝置之品質及可靠性得以提高。

【實施方式】

以下實施形態中，除特別必要時以外，原則上，不重複說明相同或同樣之部分。

進而，以下實施形態中，為方便起見，必要時分為複數個部分或實施形態加以說明，但除特別明示時外，其等並非彼此無關係者，其中一方為另一方之一部分或全部之變形例、詳細內容、補充說明等關係。

又，以下實施形態中，言及要素數等(包括個數、數值、量、範圍等)時，除特別明示之情形及原理上明確限定為特定數之情形外，並非限定為該特定數者，特定數以上或以下均可。

以下，根據圖式詳細說明本發明之實施形態。再者，用以說明實施形態之所有圖中，對具有相同功能之構件附加相同符號，且省略重複說明。

(實施形態1)圖1係透過密封體表示本發明之實施形態1之半導體裝置之構造之一例的立體圖，圖2係表示圖1所示之半導體裝置之構造的平面圖，圖3係表示圖1所示之半導體裝置之構造的側視圖，圖4係表示圖1所示之半導體裝置之構造的背面圖，圖5係表示沿圖1所示之A-A線切斷而成之構造的一例的剖面圖，圖6係表示沿圖1所示之B-B線切斷而成之構造之一例的剖面圖，圖7係透過密封體來表示

圖1所示之半導體裝置中之引板、懸吊引線以及引線的構造的局部平面圖，圖8係沿圖7所示之C-C線切斷而成之剖面圖，圖9係圖8之變形例圖。

圖1~圖9所示之本實施形態1之半導體裝置係樹脂密封型且小型之半導體封裝，且係無引線型者，該無引線型於密封體3之背面3a之周緣部露出且並列配置有複數條引線1a之各個安裝面1g。本實施形態1中，作為上述半導體裝置之一例，選取QFN5加以說明。再者，本實施形態1之QFN5雖為小型半導體封裝，但成為使所搭載之半導體晶片2之大小儘可能接近於封裝之大小者。

就QFN5之構成加以說明時，其包括：作為晶片搭載部之引板(亦可稱為晶片墊片)1b，其具備可搭載半導體晶片2之晶片支持面1c；複數條懸吊引線1i，其等與引板1b形成為一體；複數條引線1a，其等位於複數條懸吊引線1i之間，配置於引板1b之周圍；銀漿6，其係配置於引板1b之晶片支持面1c上之漿料；以及半導體晶片2，其經由銀漿6搭載於引板1b之晶片支持面1c上。進而，QFN5具有：作為複數條金屬線之導電性導線4，其等分別電性連接半導體晶片2之複數個墊片(電極)2a與複數條引線1a；以及密封體3，對半導體晶片2、複數條導線4、複數條引線1a之各一部分以及引板1b之一部分進行樹脂密封。

又，引板1b、懸吊引線1i以及複數條引線1a由同一張引線框架構成。

再者，QFN5中，如圖5所示，引板1b之晶片支持面1c之

外形尺寸(外形尺寸、面積)小於半導體晶片2的背面2c。
又，如圖4所示，引板1b之晶片支持面1c之相反側的背面1d自密封體3露出。進而，如圖5所示，於引板1b之晶片支持面1c之周緣部形成有高度低於晶片支持面1c的階差部1e。

亦即，QFN5係小引板構造且引板露出型半導體封裝，於除引板1b之晶片支持面1c之周緣部中的懸吊引線1i外之部位(參照圖7)，形成有高度低於晶片支持面1c之階差部1e。

引板1b之周緣部之階差部1e係例如藉由半蝕刻加工而形成者，例如，當引線框架之板厚為0.2 mm時，引板1b之厚度亦為0.2 mm，此時，階差部1e藉由半蝕刻加工，板厚為0.1 mm。亦即，階差部1e之高度為較晶片支持面1c低0.1 mm之位置。階差部1e係阻擋自引板1b之晶片支持面1c流溢之銀漿6者，且係使所溢出之銀漿6停留於階差部1e而未自密封體3之背面3a露出者。

如圖4所示，QFN5之引板1b之背面1d自密封體3的背面3a露出，因此可提高散熱性。

再者，本實施形態1之QFN5之引板1b上形成有階差部1e，但並未實施偏移加工等壓製加工。因此，QFN5中，如圖5所示，引板1b之晶片支持面1c、與複數條引線1a各自之導線連接面1h為相同高度。

亦即，QFN5中，未對引板1b實施如偏移加工之彎曲加工，因此，與實施有偏移加工且晶片墊片之中央部附近之

位置高於引線的導線連接面的半導體封裝相比，可實現封裝(QFN5)之薄型化。

又，本實施形態1之QFN5為小型半導體封裝，為了可與更小型化、薄型化對應，而使晶片尺寸儘可能地接近於封裝尺寸。

因此，成為如下構造：於以可搭載儘可能大的半導體晶片2之方式配置於引板1b周圍之引線1a上，重疊配置有半導體晶片2之外周部。

亦即，如圖1及圖5所示，複數條引線1a各自之晶片側端部與半導體晶片2之背面2c的周緣部相向。此時，於複數條引線1a各自之晶片側之端部形成有第1薄壁部1f，該第1薄壁部1f與半導體晶片2之背面2c相向。藉此，即便引線1a之表面(導線連接面)與引板1b之晶片支持面(主面)1c高度相同，亦可抑制半導體晶片2之背面2c中之周緣部與位於各引線1a的晶片側之端部的接觸不良。其結果為，在維持半導體裝置之小型化、薄型化之同時，亦可搭載接近於封裝尺寸之大小的半導體晶片2。

再者，第1薄壁部1f藉由例如半蝕刻加工而形成。例如，於引線框架之板厚為0.2 mm之情形時，各引線1a之厚度亦為0.2 mm，此時，第1薄壁部1f藉由半蝕刻加工，板厚為0.1 mm。

如此，於半導體晶片2之背面2c之外周部的下部，埋有複數條引線1a各自之第1薄壁部1f，因此，引板1b必然為外形大小小於半導體晶片2之背面2c之外形尺寸的所謂小

引板構造。

又，如圖1及圖5所示，各引線1a之晶片側之相反側的端部露出並終止於密封體3的側面3b。

又，QFN5中，採用銀漿6作為固晶材料，與使用薄膜型接著材料相比，可實現製造成本之降低，但採用銀漿6，必須對其流出進行處理，因此，作為該銀漿6之流出處理方法，係於引板1b之周緣部形成有階差部1e。

再者，QFN5中，於引板1b之周緣部形成有階差部1e，因此，可利用銀漿6充分潤濕引板1b之晶片支持面1c。亦即，QFN5中，如圖5所示，於引板1b之晶片支持面1c之整個面上配置有銀漿6。

藉由如此於引板1b之晶片支持面1c之整個面上配置銀漿6，於引板1b與半導體晶片2之間形成有間隙，因此，可減少於銀漿6內形成空隙。

其次，如圖8所示，藉由半蝕刻，以導線連接面1h之寬度大於自密封體3露出之安裝面1g之寬度的方式形成引線1a。簡言之，其剖面形狀形成為倒梯形。

藉此，抑制複數條引線1a自密封體3脫落之問題。此處，本實施形態1中，就藉由半蝕刻形成加以了說明，但並不限定於此，如圖9所示，亦可藉由壓製加工而形成。但是，如上所述，引板1b及階差部1e藉由半蝕刻加工而形成，因此，複數條引線1a亦藉由半蝕刻加工而形成，藉此，可實現步驟之簡化。

另一方面，關於引板1b，藉由半蝕刻加工自上表面(晶

片支持面)側形成用以使所溢出之銀漿6停留之階差部1e，因此，難以將其剖面形狀形成為倒梯形。

因此，本實施形態1中，對與引板1b連結之複數條懸吊引線1i，實施防止引板1b脫落之處理。

亦即，如圖6所示，與引板1b連結並且向角部延伸之懸吊引線1i具備第2薄壁部1j，該第2薄壁部1j之背面側係藉由半蝕刻削薄而形成。藉此，第2薄壁部1j埋入於密封體3內，其端部露出並終止於密封體3之角部之側面3b。此時，如圖7所示，使懸吊引線1i之前端部分支，並自鄰接之密封體各自之側面露出，藉此，可藉由相同切割步驟切斷複數條引線1a與懸吊引線1i，從而實現步驟之簡化。

如此，藉由將於引板1b與其4個角部連結之懸吊引線1i之第2薄壁部1j埋入於密封體3內，可防止與懸吊引線1i連結之引板1b自密封體3掉落(脫落)。

再者，如圖5及圖6所示，於引板1b之背面1d與引線1a之安裝面1g上，形成有外裝鍍敷7。亦即，於作為自密封體3露出之引線部分之引板1b的背面1d與引線1a的安裝面1g上，例如，形成有由錫-鈹等無Pb焊料構成之外裝鍍敷7。

再者，半導體晶片2例如由矽構成，於其主面2b上形成有半導體元件及作為複數個電極之墊片2a，該等墊片2a以及與各墊片2a對應之引線1a分別藉由導電性導線4而電性連接。導線4為例如金屬線。

又，各引線1a、引板1b以及懸吊引線1i例如由銅合金構

成，各自之厚度為例如0.2 mm左右。

又，密封體3例如由環氧系熱固性樹脂構成。

根據本實施形態1之半導體裝置(QFN5)，於引板1b之晶片支持面1c之周緣部形成有高度低於晶片支持面1c之階差部1e，藉此，可利用該階差部1e來阻擋自引板1b溢出之銀漿6(固晶材料)，從而使其停留於階差部1e。

藉此，可防止銀漿6向密封體3之背面3a流出，其結果為，可阻止銀漿6附著於封裝背面之外裝鍍敷7上。進而，不會引起無法形成外裝鍍敷7之問題。

其結果為，可提高QFN5(半導體裝置)之品質及可靠性。

(實施形態2)圖10係透過密封體來表示本發明之實施形態2之半導體裝置之構造之一例的立體圖，圖11係表示圖10所示之半導體裝置之構造的平面圖，圖12係表示圖10所示之半導體裝置之構造的側視圖，圖13係表示圖10所示之半導體裝置之構造的背面圖，圖14係表示沿圖10所示之A-A線切斷而成之構造的一例的剖面圖，圖15係表示沿圖10所示之B-B線切斷而成之構造的一例的剖面圖。又，圖16係透過密封體來表示圖10所示之半導體裝置中之引板與突起部的構造的局部平面圖，圖17係透過密封體來表示本發明之實施形態2之變形例的半導體裝置中的引板與突起部的構造的局部平面圖，圖18係表示本發明之實施形態2之半導體裝置的組裝順序的一例的製造流程圖。進而，圖19係表示本發明之實施形態2之半導體裝置的組裝中所使用的附膠帶引線框架之構造之一例的平面圖，圖20係表示圖

19所示之附膠帶引線框架之構造的一例的剖面圖，圖21係表示圖19所示之附膠帶引線框架上所貼附之膠帶之構造之一例的剖面圖。

又，圖22係表示本發明之實施形態2之半導體裝置的組裝的晶片接合步驟中的漿料塗佈狀態之一例的局部平面圖，圖23係表示本發明之實施形態2之半導體裝置的組裝的晶片接合步驟中的漿料塗佈後的潤濕擴散狀態之一例的局部平面圖。進而，圖24係表示本發明之實施形態2之半導體裝置的組裝的鑄模步驟中的樹脂注入狀態之一例的局部剖面圖，圖25係表示圖24所示之樹脂注入狀態之局部平面圖，圖26係表示本發明之實施形態2之半導體裝置的組裝的鑄模結束後之構造之一例的平面圖，圖27係表示圖26所示之鑄模結束後之構造的剖面圖。又，圖28係表示本發明之實施形態2之半導體裝置的組裝的膠帶剝離步驟中的膠帶剝離狀態的一例的剖面圖。

本實施形態2與實施形態1之QFN5相同，係就小引板構造且引板露出型半導體裝置(QFN12)之構造及其組裝加以說明者，未特別說明之處，係與本實施形態1相同之構成。

組裝實現小型化之QFN12時，根據其生產效率之大小，多採用MAP (Mold Array Package，鑄造陣列封裝)方式。亦即，藉由使用MAP方式，而於各階段增加每1框架之產品之獲取數，從而提高生產效率。

再者，以MAP (Mold Array Package)方式組裝QFN12

時，於該鑄模步驟中，如圖28所示，自引線框架之背面1s剝離膠帶11時，使用附有接著層11b之膠帶11，因此，對引板(亦稱為晶片墊片)1b作用有拉伸力，從而容易於引板1b之階差部1e與密封體3之間產生剝離。

此處，就QFN12之組裝中之附有接著層11b的膠帶11的必要性加以說明。以MAP方式組裝QFN12時，當該鑄模步驟中之夾住有樹脂成形模具9時，僅可夾住引線框架上之產品區域外側之外周部。於該狀態下，當將樹脂注入至樹脂成形模具內時，藉由樹脂注入時之壓力，於遠離引線框架之外周部之產品區域的中央附近，膠帶11自引線框架浮起，於引線框架與膠帶11之間加入樹脂，於引線框架之背面1s形成樹脂毛邊。

因此，以於引線框架之背面1s側不形成上述樹脂毛邊之方式，使用附有接著層11b之膠帶11，經由接著層11b將膠帶11牢固地接著於引線框架，於該狀態下進行樹脂成型。

亦即，QFN12之組裝中，作為樹脂毛邊處理方法，必須使用附有接著層11b之膠帶11。

因此，於鑄模步驟中之樹脂密封後之膠帶11剝離步驟中，膠帶11經由接著層11b牢固地接著於引線框架，因此，當剝離膠帶11時，引板1b亦被拉伸且力作用於脫落方向上，從而容易於引板1b之階差部1e與密封體3之間產生剝離。尤其，有時銀漿6流出至引板1b之階差部1e，此時，引板1b與密封體3之密著性降低，易於剝離。結果為，容易於該處產生間隙。

再者，當於引板1b之階差部1e與密封體3之間產生剝離時，於該處形成間隙，於鑄模後之步驟中，間隙中進入有鍍敷液等雜質，進而，於其後之步驟種，進入至間隙之雜質滲出從而引起使外裝鍍敷7變色等問題。

又，膠帶剝離後之膠帶剝離面清洗步驟中，清洗所使用之有機系溶劑等藥液進入至上述間隙，與上述情形相同，於其後之步驟中，進入至間隙之上述藥液等雜質滲出從而引起外裝鍍敷7剝離等問題。

因此，本實施形態2之QFN12與實施形態1之QFN5相同，藉由於引板1b上設置階差部1e，來阻止銀漿6(漿料)流出至密封體3，並且抑制引板1b之階差部1e與密封體3之剝離。

此處，就本實施形態2之QFN12之構成加以說明。此處，僅說明QFN12與實施形態1之QFN5之不同點。

圖10~圖15所示之本實施形態2之QFN12與實施形態1的QFN5相同，為小型、小引板構造、且引板露出型半導體封裝。QFN12亦與QFN5相同，藉由半蝕刻加工於引板1b之晶片支持面1c之周緣部形成有階差部1e。如圖16所示，該階差部1e於除引板1b之晶片支持面1c之周緣部中的懸吊引線1i外的部位，形成於低於晶片支持面1c的位置處。

如圖14之C部所示，藉由設置階差部1e，自晶片支持面1c溢出之銀漿6停留於朝向階差部1e之部位，銀漿6不會流出至密封體3之背面3a。

本實施形態2之QFN12之特徵在於，於引板1b之階差部

1e形成有自階差部1e向半導體晶片2突出之突起部1k。

該突起部1k係提高引板1b之階差部1e與密封體3之定準效應且提高兩者密著性者，且係抑制引板1b之階差部1e與密封體3之剝離者。

再者，上述突起部1k係藉由下述方法形成者，即，於對引板1b之階差部1e進行半蝕刻加工時，於該突起部1k之部位配置光罩之該狀態下，藉由半蝕刻而削去突起部1k之周圍，藉此保留突起部1k之部位。因此，突起部1k之高度與引板1b之晶片支持面1c的高度相同。

又，如圖14所示，突起部1k之前端部附近之寬度大於中央部附近，呈倒梯形。亦即，於半蝕刻時，突起部1k之高度方向之中央附近的蝕刻率大於配置有光罩的前端附近，因此，較前端附近削去得更多，結果呈倒梯形。突起部1k之前端附近之形狀為倒梯形，藉此，可進一步提高定準效應。

又，QFN12中，如圖16所示，引板1b之晶片支持面1c形成為四邊形，突起部1k形成於與四邊形之引板1b之1邊相對應之階差部1e的中央部。進而，於與四邊形之引板1b之1邊相對應之階差部1e分別形成有1個。

其中，關於突起部1k之數量，若僅提高定準效應，則較好的是於與四邊形之引板1b之1邊相對應的階差部1e形成複數個，但為了不妨礙密封用樹脂8(參照圖24)之流動性，如圖16所示，較好的是，於與1邊相對應之各階差部1e之中央部附近分別形成有1個。

再者，突起部1k與引板1b之距離，例如於引線框架之板厚為0.2 mm之情形時，為了使密封用樹脂8及蝕刻液易於流動，必須為例如0.2 mm左右。

因此，圖17係表示突起部1k之變形例者，係將細長的突起部1k形成於各邊之階差部1e之情形，當於突起部1k與引板1b之間，僅充分通過密封用樹脂8及蝕刻液之距離都未得到保證時，亦可於晶片支持面1c之各邊上形成凹陷部(凹部)1m，該凹陷部(凹部)向遠離各邊之突起部1k之方向凹陷。

藉由如此於晶片支持面1c上形成凹陷部1m，即便形成細長的突起部1k(向引板1b之水平方向之凹部)，亦可充分通過密封用樹脂8及蝕刻液，並且，可進一步提高引板1b與密封體3之定準效應。

其次，根據圖18所示之組裝流程圖，說明本實施形態2之QFN12(半導體裝置)之製造方法。

首先，供給晶圓，進行圖18之步驟S1所示之晶圓BG。亦即，進行晶圓之背面研磨，使晶圓成為所需之厚度。

其後，進行於切割夾具上固定晶圓之步驟S2所示之晶圓安裝。

其後，進行步驟S3所示之切割。亦即，藉由切割來切斷晶圓，使其單片化為各半導體晶片2。

其次，準備圖19及圖20所示之附膠帶引線框架(引線框架)1，供給該附膠帶引線框架1，進而，供給銀漿6，進行步驟S4所示之晶片接合。再者，本實施形態2之QFN12之

組裝中所使用的引線框架係附膠帶引線框架1。

亦即，對QFN12進行MAP方式之樹脂成型來進行組裝，因此如上所述，以於引線框架之背面1s側不形成上述樹脂毛邊之方式使用附膠帶引線框架1。

再者，附膠帶引線框架1為如下者，例如，於由銅合金等構成之金屬引線框架即框架本體1t之背面1s上，貼附由如圖21所示之基材11a與接著層11b構成之膠帶11。亦即，係於框架本體1t之背面1s上貼附具有接著層11b之膠帶11者。又，於附膠帶引線框架1之主面(晶片搭載側之面)上，如圖19所示，複數個元件區域(半導體裝置形成區域)1n以矩陣排列鄰接而形成。

又，於各元件區域1n內形成有：於晶片支持面1c之周緣部形成有高度低於晶片支持面1c之階差部1e的引板1b；配置於引板1b周圍之複數條引線1a；以及形成於階差部1e之突起部1k。進而，於與附膠帶引線框架1之框架本體1t之長度方向平行的方向的框部1p，形成有複數個導孔1r，進而，於複數個元件區域1n之集合體彼此之間形成有狹縫1q。

再者，於步驟S4所示之晶片接合步驟中，首先，於引板1b之晶片支持面1c上塗佈銀漿6。再者，引板1b係外形尺寸小於半導體晶片2之背面2c之所謂小引板。如圖22所示，首先，於引板1b之中央部塗佈銀漿6。其後，於引板1b之晶片支持面1c上，經由銀漿6接合半導體晶片2。此時，當於晶片支持面1c上搭載半導體晶片2時，如圖23所

示，遍及晶片支持面1c之大致整個面上銀漿6呈潤濕擴散狀態。再者，充分塗佈銀漿6，例如，即便銀漿6自晶片支持面1c溢出而滴下，但於引板1b之周緣部形成有階差部1e，因此，可阻擋滴下之銀漿6，且可防止銀漿6流出至密封體3之背面3a。

藉此，結束晶片接合步驟。

其後，進行步驟S5所示之烘烤，對銀漿6進行熱處理。

其後，進行步驟S6所示之打線接合。此處，供給導線4，如圖14所示，藉由金屬線等導線4，電性連接半導體晶片2之複數個墊片2a、以及與其對應之引線1a各自之導線連接面1h。

其後，進行步驟S7所示之組裝外觀檢查。

其後，進行步驟S8所示之樹脂鑄模。此處，如圖24及圖25所示，於以樹脂成形模具9之1個模穴9c覆蓋複數個元件區域(半導體裝置形成區域)1n之狀態下，將密封用樹脂8注入至模穴9c內。

此時，於具有接著層11b之膠帶11貼附於框架本體1t(引線框架)之背面1s的狀態下，如圖24所示，將該附膠帶引線框架1配置於下模9b之模具面9d上，其後，使上模9a之模穴9c覆蓋圖25所示之複數個元件區域1n，夾住樹脂成形模具9之上模9a與下模9b，於該狀態下，將密封用樹脂8注入至模穴9c內。

藉由注入密封用樹脂8，如圖14所示，於半導體晶片2與引板1b之階差部1e之間塗滿密封用樹脂8，且以引板1b之

晶片支持面1c之相反側的背面1d及複數條引線1a各自得安裝面1g(一部分)露出的方式，對半導體晶片2與複數條導線4進行樹脂密封，藉此，如圖26及圖27所示，形成總括密封體10。

其後，進行圖18所示之步驟S9之膠帶剝離。此處，如圖28所示，自附膠帶引線框架1之框架本體1t之背面1s拉伸膠帶11以進行剝離。

此時，QFN12中，於引板1b之階差部1e形成有朝向半導體晶片2突出之突起部1k，藉由該突起部1k，提高引板1b之階差部1e與密封體3之定準效應。亦即，引板1b之階差部1e與密封體3之密著性提高，當剝離膠帶11時，即便於自密封體3脫落之方向上拉伸引板1b，亦可抑制引板1b之階差部1e與密封體3之剝離。

藉此，可於膠帶剝離時，抑制於引板1b與密封體3之間形成間隙。

其後，進行步驟S10所示之膠帶剝離面清洗。亦即，清洗附膠帶引線框架1之框架本體1t之背面1s。此處，例如，使用丙酮等有機系溶劑，去除膠帶11之接著層11b之殘留物。此時，本實施形態2之QFN12中，於引板1b之階差部1e形成有突起部1k，根據該定準效應，難以於引板1b與密封體3之間形成間隙。

因此，即便使用有機系溶劑等藥液，該藥液亦難以進入引板1b與密封體3之間，其結果為，可於其後之處理步驟中，抑制上述有機系溶劑等藥液(雜質)滲出(流出)。

其後，進行步驟S11所示之鑄模烘烤。此處，藉由熱處理使密封體3硬化。

其後，進行步驟S12所示之外裝鍍敷形成。此處，於自總括密封體10露出之引板1b之背面1d及複數條引線1a各自的安裝面1g上，形成外裝鍍敷7。外裝鍍敷7例如係錫-鈹等無Pb焊料。再者，QFN12之組裝中，於引板1b之階差部1c形成突起部1k，藉此，根據定準效應，難以於引板1b與密封體3之間形成間隙，其結果為，藥液等雜質亦難以進入引板1與密封體3之間，因此，可於外裝鍍敷形成步驟中，抑制藥液等雜質滲出。

因此，本實施形態2之QFN12之組裝中，雜質難以進入至階差部1e與密封體3之間，因此，可於外裝鍍敷形成步驟中抑制上述雜質滲出而使外裝鍍敷7變色。又，亦可抑制由於雜質滲出而使外裝鍍敷7剝離。

其後，進行步驟S13所示之雷射標記，於密封體3表面附加所需之標記。

其後，進行步驟S14所示之封裝切割。此處，切斷總括密封體10及引線框架(框架本體1t)，單片化為各QFN12。

其後，進行步驟S15之DC測試、步驟S16之外觀檢查，組裝QFN12後結束。

根據本實施形態2之QFN12及其製造方法，藉由於引板1b之階差部1e形成向半導體晶片2突出之突起部1k，可根據定準效應來提高密封體3與引板1b之密著性。

藉此，可抑制引板1b之階差部1e上之剝離。亦即，藉由

儘可能地減小引板1b與密封體3之間隙，藥液等雜質難以進入至引板1b之與密封體3之界面，因此，可抑制上述雜質流出所引起之外裝鍍敷7之變色。又，亦可抑制上述雜質流出所引起之外裝鍍敷7之剝離。

其結果為，可提高QFN12(半導體裝置)之品質及可靠性。

關於根據本實施形態2之QFN12及其製造方法所獲得之其他效果，與實施形態1相同，因此省略重複說明。

以上，根據發明之實施形態，具體說明了本發明者完成之發明，但本發明並非限定於上述發明之實施形態者，當然可於未脫離其要旨之範圍內作各種變更。

例如，上述實施形態2中，就設置於引板1b之階差部1e之突起部1k的高度與引板1b的晶片支持面1c的高度相同的情形加以了說明，只要突起部1k之高度為可於與密封體3之間獲得定準效應的高度，則亦可低於晶片支持面1c。

[產業上之可利用性]

本發明適用於小型電子裝置及其製造技術。

【圖式簡單說明】

圖1係透過密封體來表示本發明之實施形態1之半導體裝置之構造之一例的立體圖。

圖2係表示圖1所示之半導體裝置之構造的平面圖。

圖3係表示圖1所示之半導體裝置之構造的側視圖。

圖4係表示圖1所示之半導體裝置之構造的背面圖。

圖5係表示沿圖1所示之A-A線切斷而成之構造的一例的

剖面圖。

圖6係表示沿圖1之B-B線切斷而成之構造的一例的剖面圖。

圖7係透過密封體來表示圖1所示之半導體裝置中之引板、懸吊引線以及引線的構造的局部平面圖。

圖8係沿圖7所示之C-C線切斷而成之剖面圖。

圖9係圖8之變形例圖。

圖10係透過密封體表示本發明之實施形態2之半導體裝置的構造之一例的立體圖。

圖11係表示圖10所示之半導體裝置之構造的平面圖。

圖12係表示圖10所示之半導體裝置之構造的側視圖。

圖13係表示圖10所示之半導體裝置之構造的背面圖。

圖14係表示沿圖10所示之A-A線切斷而成之構造之一例的剖面圖。

圖15係表示沿圖10所示之B-B線切斷而成之構造之一例的剖面圖。

圖16係透過密封體來表示圖10所示之半導體裝置中之引板與突起部之構造的局部平面圖。

圖17係透過密封體來表示本發明之實施形態2之變形例的半導體裝置中之引板與突起部之構造的局部平面圖。

圖18係表示本發明之實施形態2之半導體裝置的組裝順序之一例的製造流程圖。

圖19係表示本發明之實施形態2之半導體裝置的組裝中所使用的附膠帶引線框架之構造之一例的平面圖。

圖 20 係表示圖 19 所示之附膠帶引線框架之構造之一例的剖面圖。

圖 21 係表示圖 19 所示之附膠帶引線框架上所貼附之膠帶之構造之一例的剖面圖。

圖 22 係表示本發明之實施形態 2 之半導體裝置之組裝的晶片接合步驟中的漿料塗佈狀態之一例的局部平面圖。

圖 23 係表示本發明之實施形態 2 之半導體裝置的組裝的晶片接合步驟中的漿料塗佈後的潤濕擴散狀態之一例的局部平面圖。

圖 24 係表示本發明之實施形態 2 之半導體裝置之組裝的鑄模步驟中的樹脂注入狀態之一例的局部剖面圖。

圖 25 係表示圖 24 所示之樹脂注入狀態之局部平面圖。

圖 26 係表示本發明之實施形態 2 之半導體裝置之組裝的鑄模結束後之構造之一例的平面圖。

圖 27 係表示圖 26 所示之鑄模結束後之構造的剖面圖。

圖 28 係表示本發明之實施形態 2 之半導體裝置之組裝之膠帶剝離步驟中的膠帶剝離狀態之一例的剖面圖。

【主要元件符號說明】

1	附膠帶引線框架(引線框架)
1a	引線
1b	引板(晶片搭載部)
1c	晶片支持面
1d	背面
1e	階差部

1f	第1薄壁部
1g	安裝面
1h	導線連接面
1i	懸吊引線
1j	第2薄壁部
1k	突起部
1m	凹陷部
1n	元件區域(半導體裝置形成區域)
1p	框部
1q	狹縫
1r	導孔
1s	背面
1t	框架本體
2	半導體晶片
2a	墊片(電極)
2b	主面
2c	背面
3	密封體
3a	背面
3b	側面
4	導線
5	QFN(半導體裝置)
6	銀漿(漿料)
7	外裝鍍敷

8	密封用樹脂
9	樹脂成形模具
9a	上模
9b	下模
9c	模穴
9d	模具面
10	總括密封體
11	膠帶
11a	基材
11b	接著層
12	QFN(半導體裝置)

五、中文發明摘要：

本發明可防止固晶材料之流出且可提高半導體裝置之品質、可靠性。本發明具有：引板1b；配置於引板1b周圍之複數條引線1a；配置於引板1b之晶片支持面1c上之銀漿6；以及經由銀漿6搭載於引板1b上之半導體晶片2。進而，具有電性連接半導體晶片2之墊片2a與引線1a之複數條導線4、以及對半導體晶片2與複數條導線4進行樹脂密封之密封體3，且於引板1b之晶片支持面1c之周緣部形成有高度低於晶片支持面1c之階差部1e，藉此，可將自引板1b溢出之銀漿6留於該階差部1e，其結果為，可防止銀漿6流出至密封體3之背面3a。

六、英文發明摘要：

十、申請專利範圍：

1. 一種半導體裝置，其特徵在於包括：

晶片搭載部，其具備晶片支持面；

複數條引線，其等配置於上述晶片搭載部之周圍；

漿料，其配置於上述晶片搭載部之上述晶片支持面上；

半導體晶片，其經由上述漿料而搭載於上述晶片搭載部之上述晶片支持面上；

複數條導線，其等分別電性連接上述半導體晶片之複數個電極與上述複數條引線；以及

密封體，其對上述半導體晶片、上述複數條導線、上述複數條引線各自之一部分以及上述晶片搭載部之一部分進行樹脂密封；且

上述晶片搭載部之上述晶片支持面之外形尺寸小於上述半導體晶片之背面，上述晶片搭載部之上述晶片支持面之相反側的背面自上述密封體露出，於上述晶片搭載部之上述晶片支持面之周緣部形成有高度低於上述晶片支持面的階差部。

2. 如請求項1之半導體裝置，其中

上述複數條引線各自之晶片側之端部與上述半導體晶片之背面相向。

3. 如請求項2之半導體裝置，其中

於上述複數條引線各自之晶片側之端部形成有第1薄壁部，上述第1薄壁部與上述半導體晶片之背面相向。

4. 如請求項1之半導體裝置，其中

上述晶片搭載部之上述晶片支持面與上述複數條引線各自之導線連接面的高度相同。

5. 如請求項1之半導體裝置，其中

具有與上述晶片搭載部連結之懸吊引線，上述懸吊引線具備藉由蝕刻所形成之第2薄壁部，上述第2薄壁部埋入於上述密封體內。

6. 如請求項1之半導體裝置，其中

於上述晶片搭載部之上述晶片支持面之整個面上配置有上述漿料。

7. 如請求項1之半導體裝置，其中

於上述晶片搭載部之上述階差部形成有向上述半導體晶片突出之突起部。

8. 如請求項7之半導體裝置，其中

上述晶片搭載部之上述晶片支持面形成為四邊形，於上述四邊形之上述晶片支持面之各邊形成有凹陷部，該凹陷部向遠離設置於該各邊上之上述突起部的方向凹陷。

9. 如請求項7之半導體裝置，其中

上述突起部形成於與四邊形之上述晶片搭載部之1條邊相對應之上述階差部的中央部。

10. 如請求項7之半導體裝置，其中

上述突起部於與四邊形之上述晶片搭載部之1條邊相對應之上述階差部分別形成有1個。

11. 一種半導體裝置之製造方法，其特徵在於包括如下步驟：

(a)準備具有晶片搭載部以及複數條引線之引線框架之步驟，上述晶片搭載部於晶片支持面之周緣部形成有高度低於上述晶片支持面之階差部，上述複數條引線配置於上述晶片搭載部之周圍；

(b)將漿料塗佈於上述晶片搭載部之上上述晶片支持面上之步驟；

(c)經由上述漿料，將半導體晶片接合於外形尺寸小於半導體晶片之背面之上上述晶片搭載部的上述晶片支持面上的步驟；

(d)分別電性連接上述半導體晶片之複數個電極與上述複數條引線之步驟；

(e)於利用樹脂成形模具之1個模穴而覆蓋複數個半導體裝置形成區域之狀態下，將密封用樹脂注入至上述模穴內，於上述半導體晶片與上述晶片搭載部之上上述階差部之間塗滿密封用樹脂，且與上述晶片搭載部之上上述晶片支持面之相反側的背面及上述複數條引線各自之一部分露出，以此方式，對上述半導體晶片與複數條導線進行樹脂密封來形成總括密封體之步驟；以及

(f)切斷上述總括密封體及上述引線框架，而單片化為各半導體裝置之步驟。

12. 如請求項11之半導體裝置之製造方法，其中

於上述(e)步驟中，於將具有接著層之膠帶貼附於上述

引線框架之背面的狀態下夾住上述樹脂成形模具，於該狀態下，將上述密封用樹脂注入至上述模穴內而形成上述總括密封體。

13. 如請求項11之半導體裝置之製造方法，其中

於上述(e)步驟後，具有自上述引線框架之背面剝離上述膠帶之剝離步驟。

14. 如請求項11之半導體裝置之製造方法，其中

於上述(e)步驟後，具有自上述引線框架之背面剝離上述膠帶之剝離步驟，進而，於上述剝離步驟後，具有清洗上述引線框架之背面之清洗步驟。

15. 如請求項14之半導體裝置之製造方法，其中

於上述清洗步驟中，藉由有機系溶劑清洗上述引線框架之背面。

16. 如請求項14之半導體裝置之製造方法，其中

於上述清洗步驟後，具有鍍敷處理步驟，該鍍敷處理步驟中，於自上述總括密封體露出之上述晶片搭載部之背面及上述複數條引線各自之一部分形成外裝鍍敷。

17. 如請求項11之半導體裝置之製造方法，其中

藉由蝕刻於上述晶片搭載部之上述階差部形成有向上述半導體晶片突出之突起部。

十一、圖式：

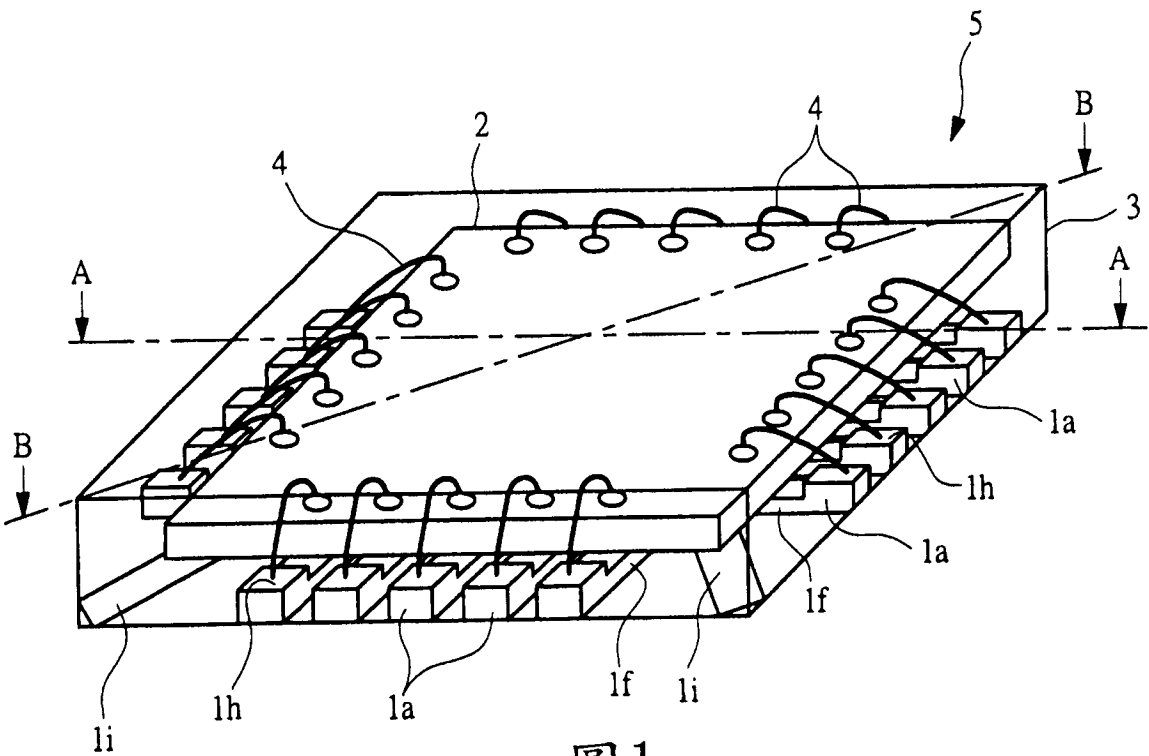


圖1

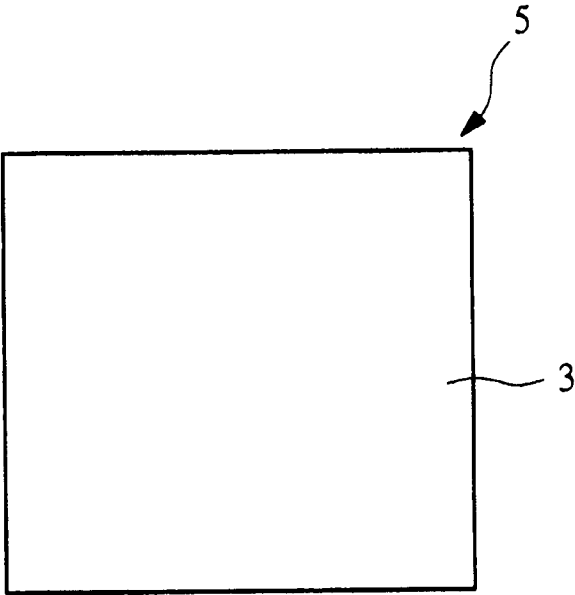


圖 2

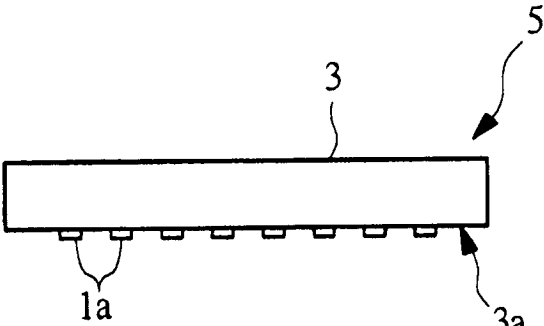


圖 3

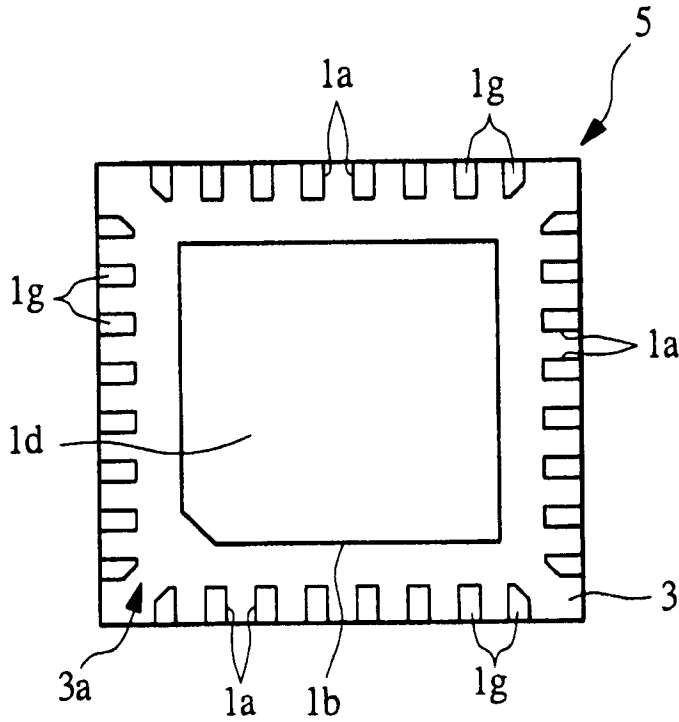


圖4

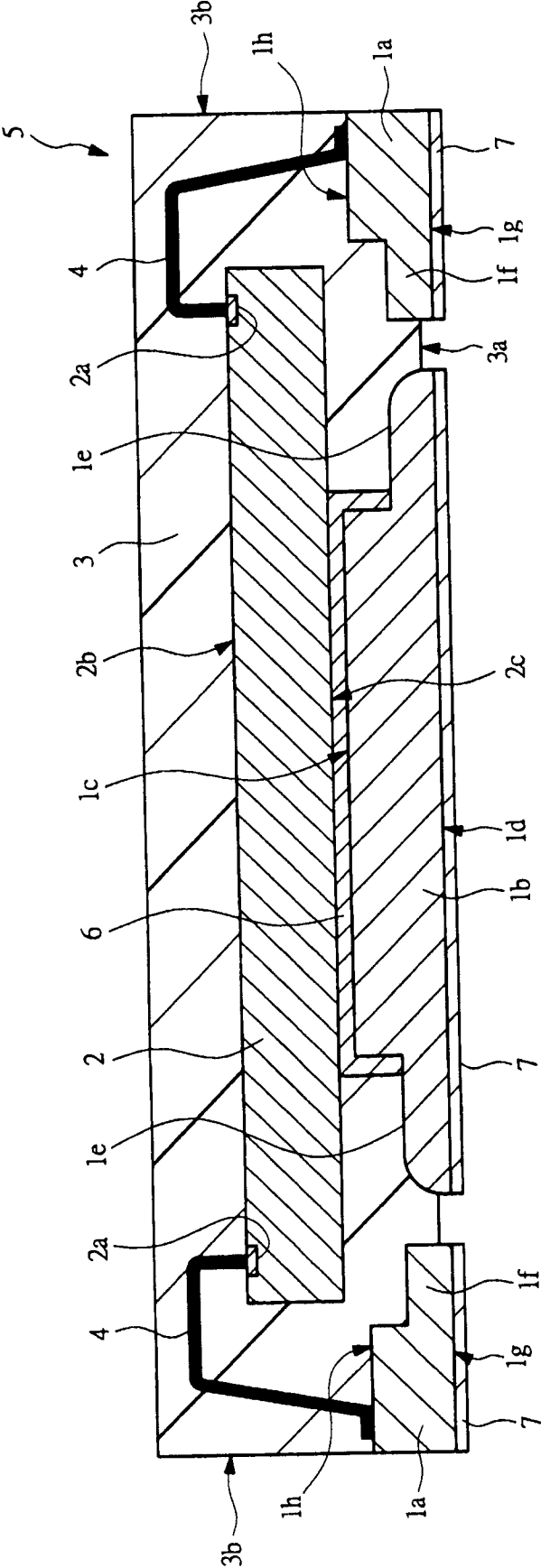
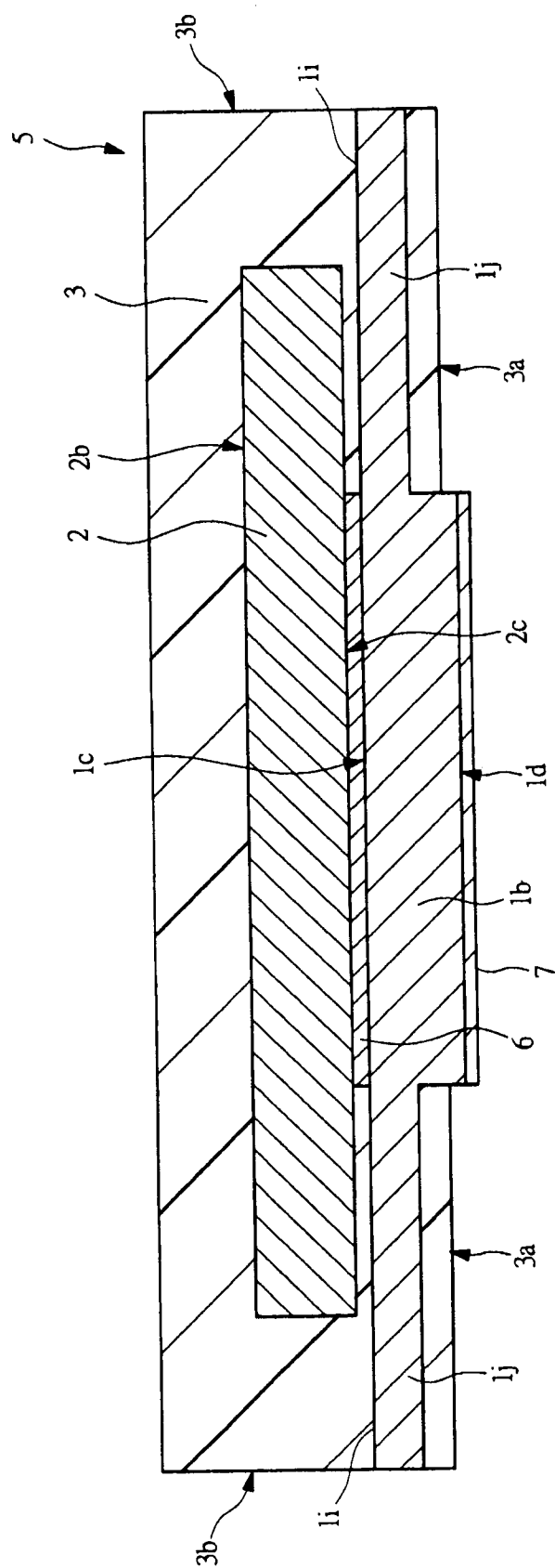


圖5



9
回

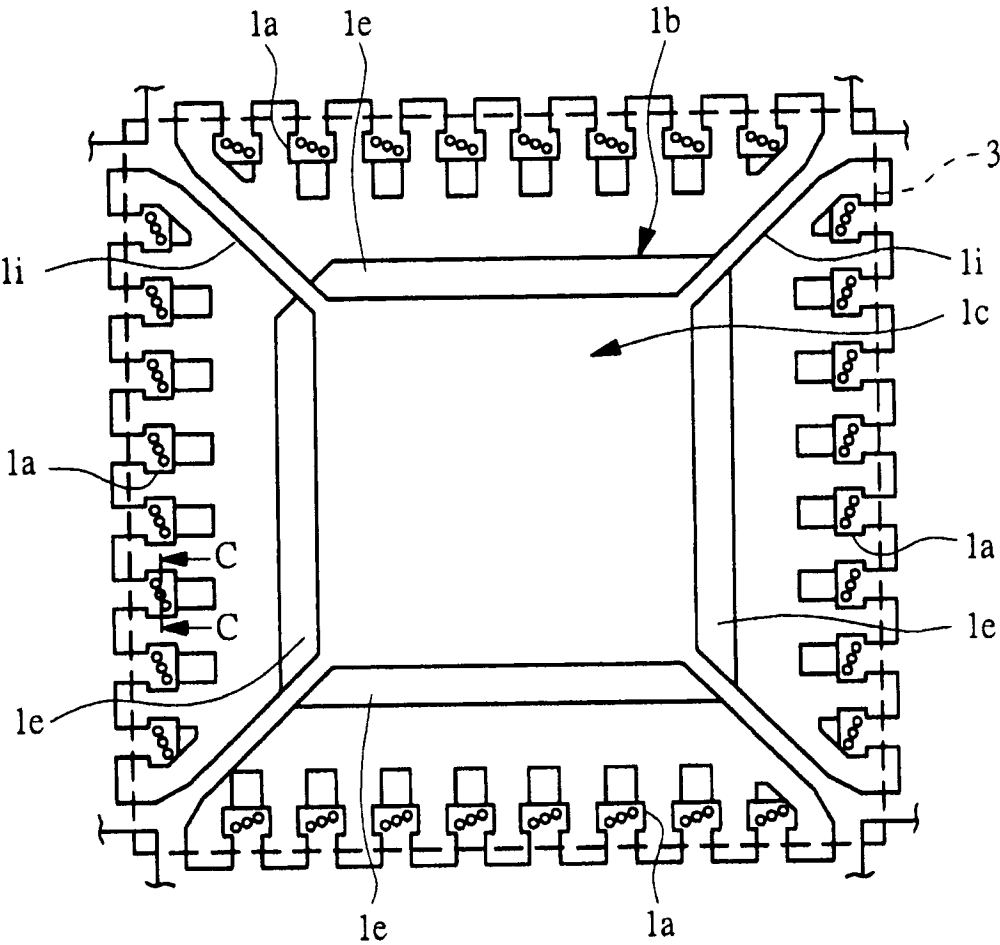


圖 7

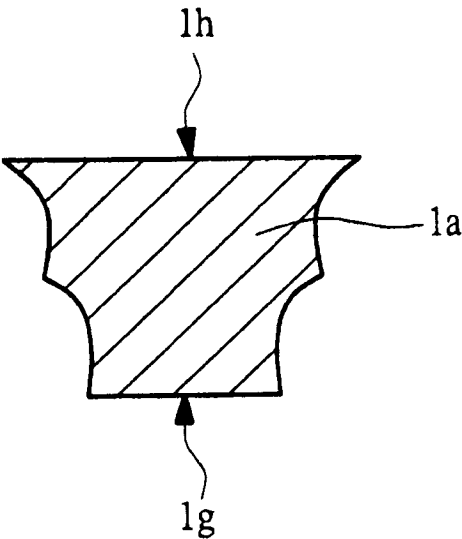


圖 8

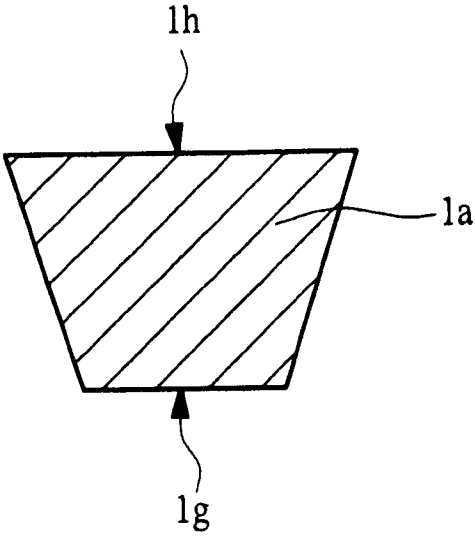


圖 9

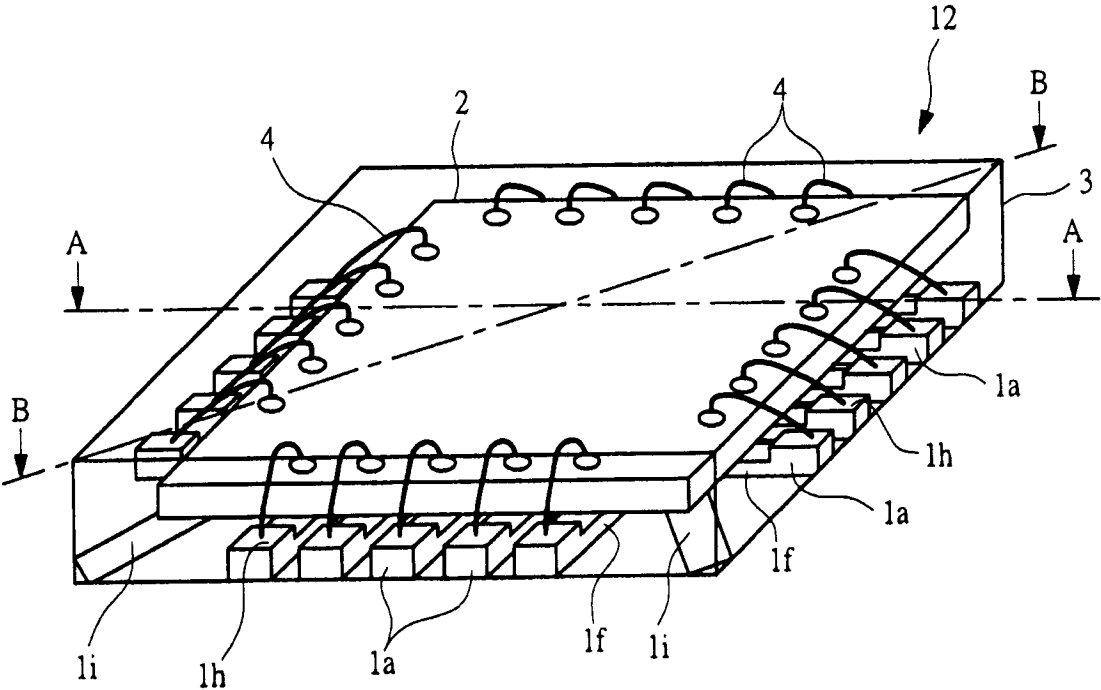


圖 10

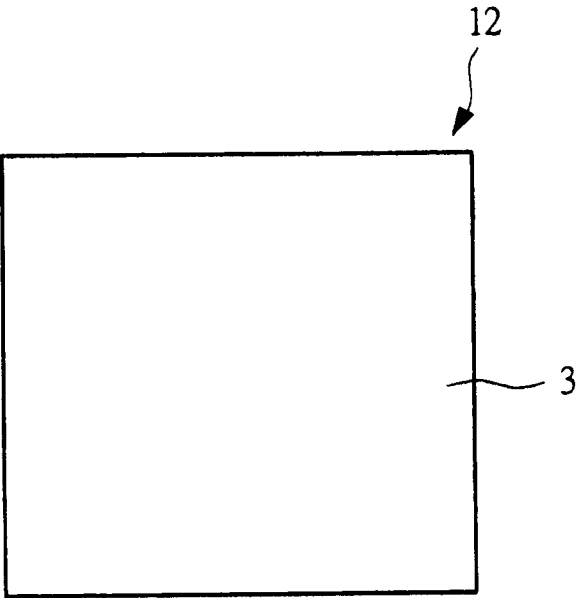


圖 11

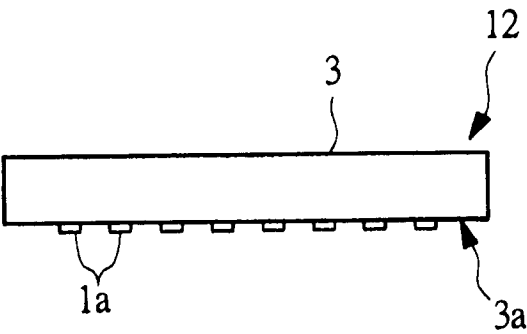


圖 12

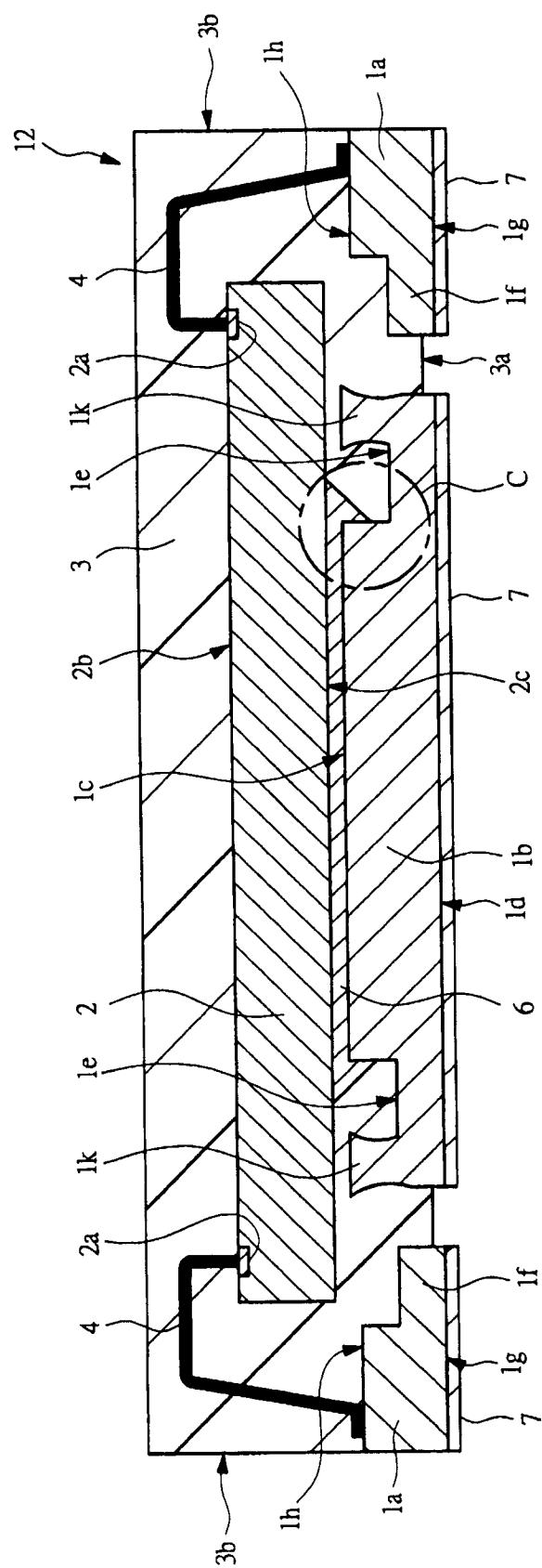


圖 14

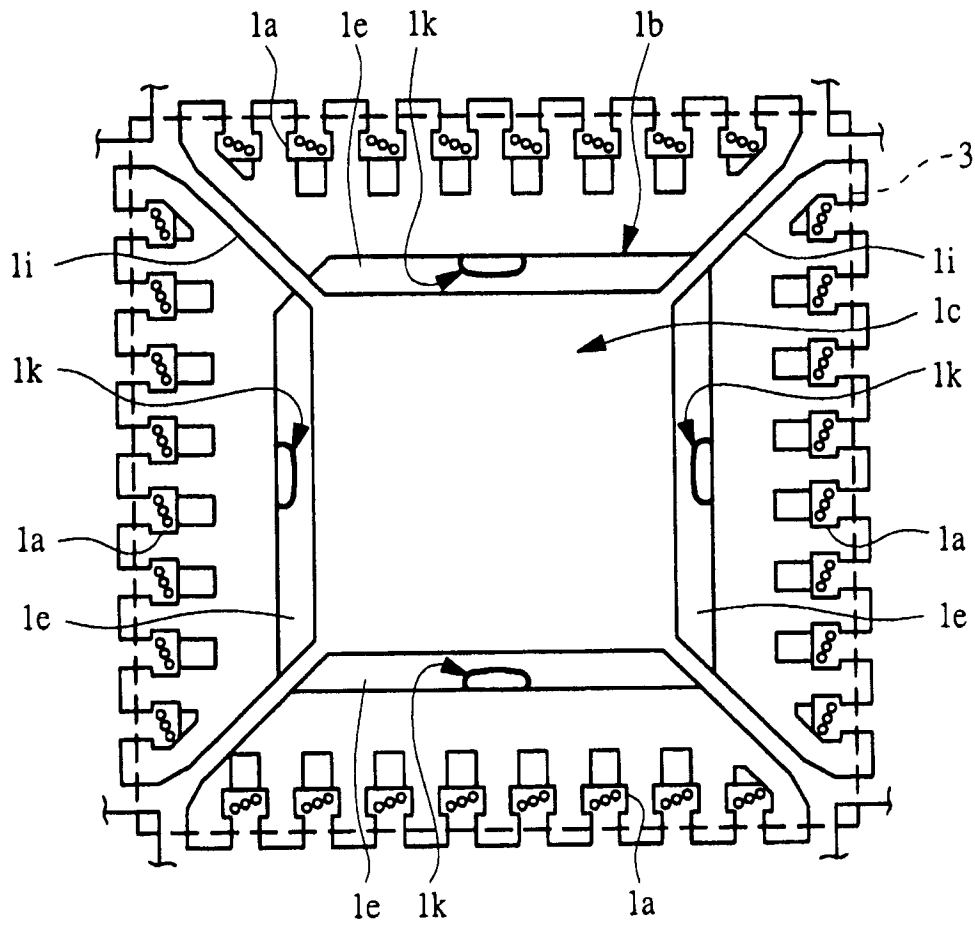


圖 16

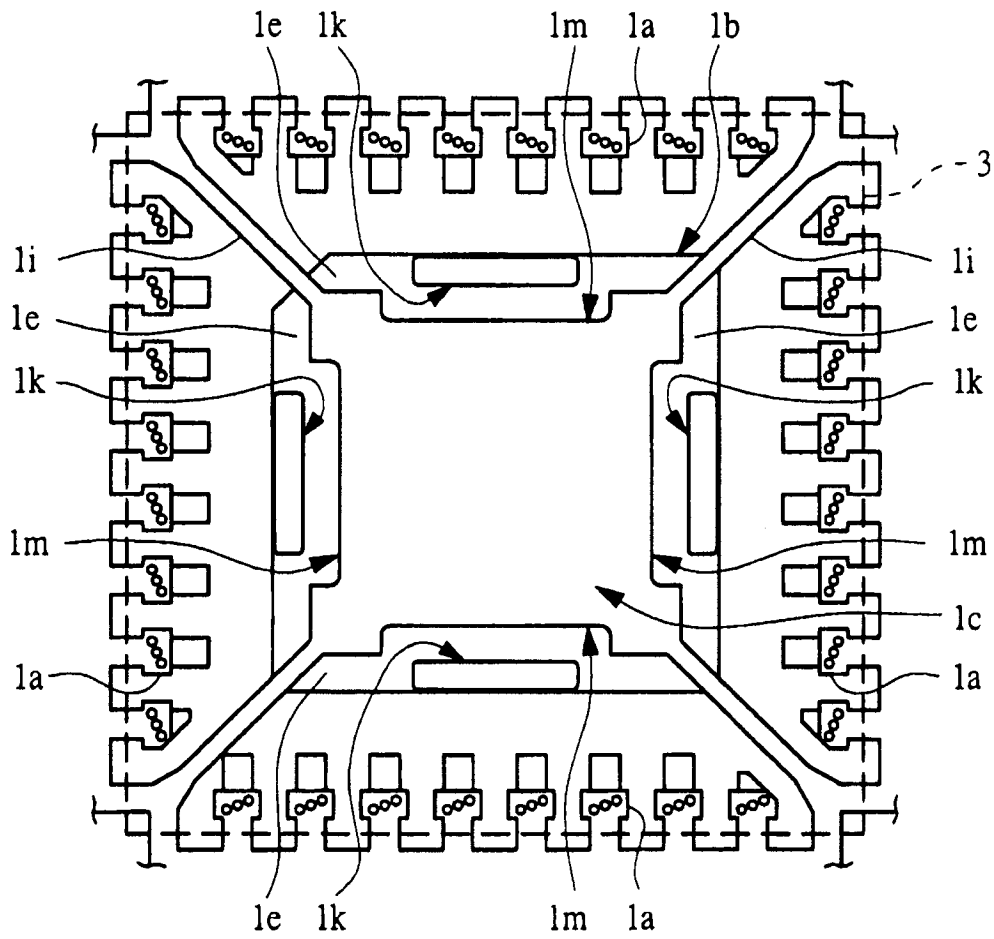


圖17

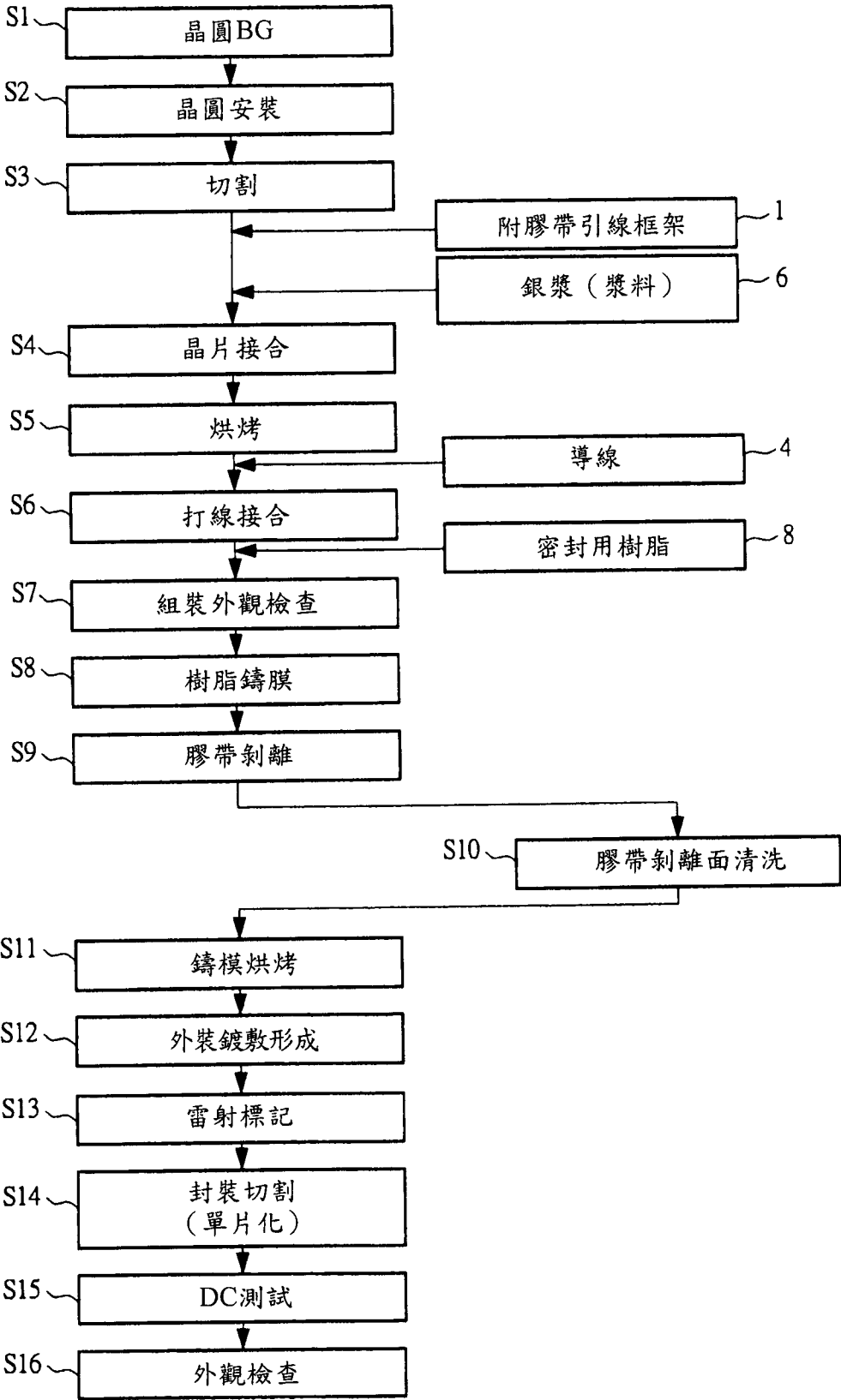


圖 18

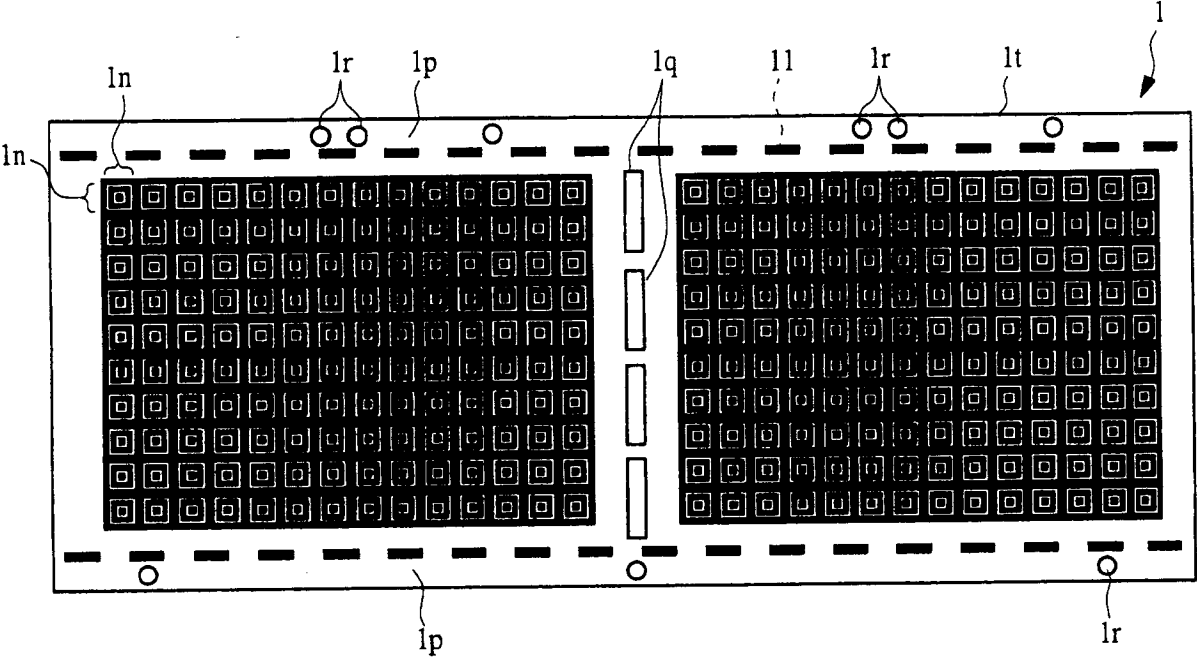


圖 19

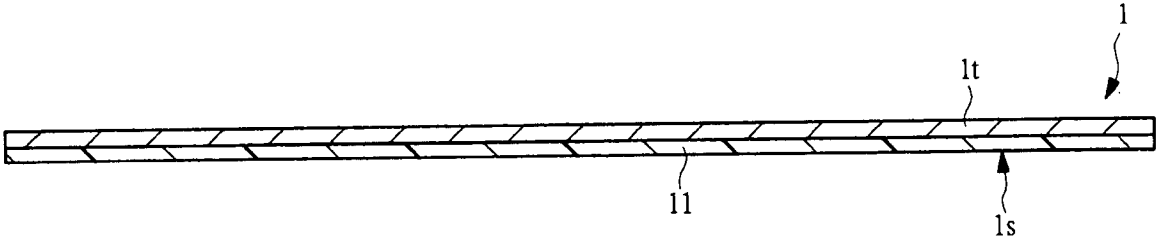


圖 20

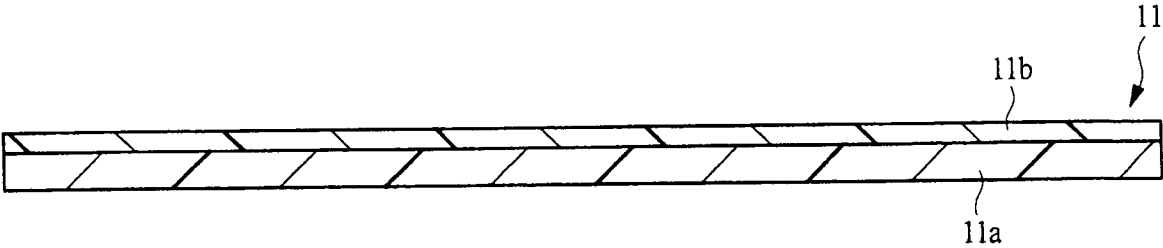


圖 21

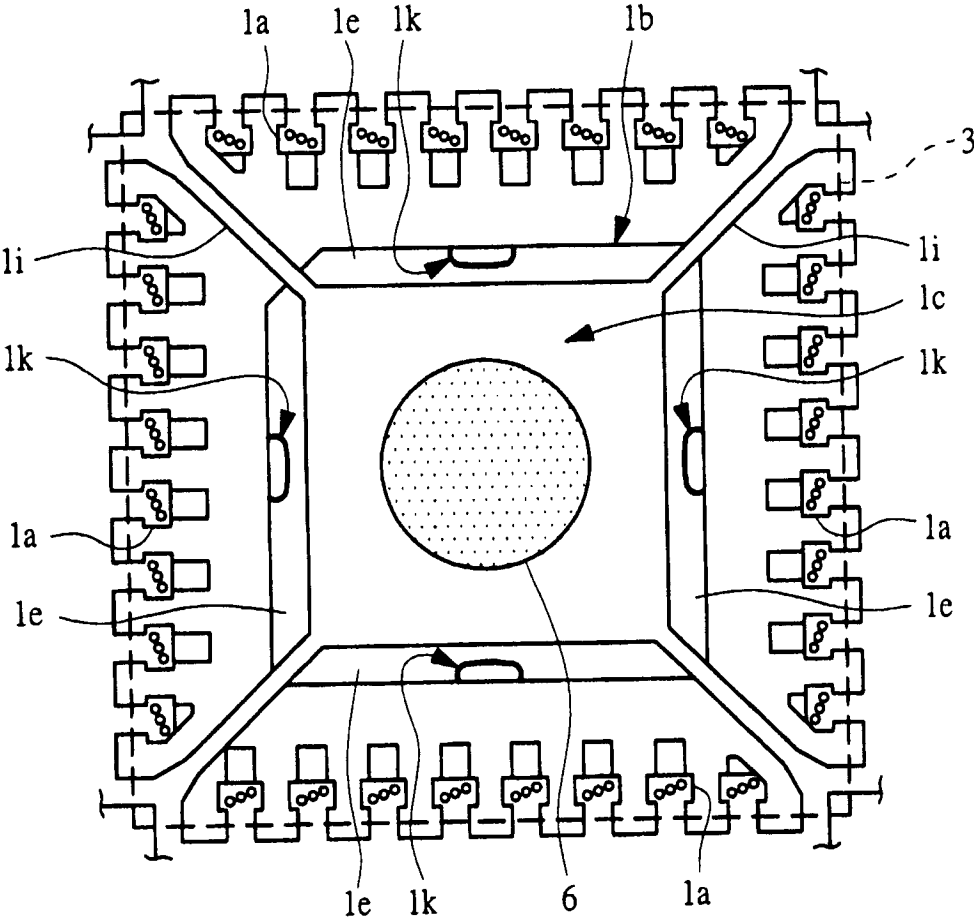


圖22

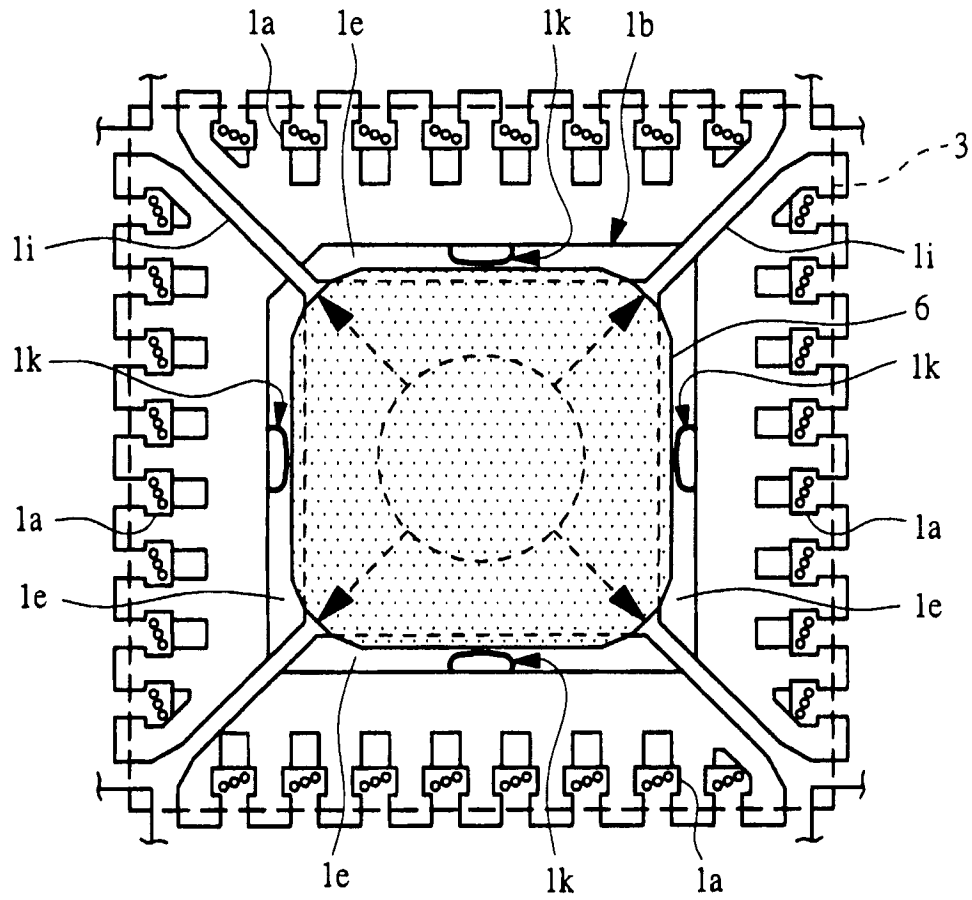


圖23

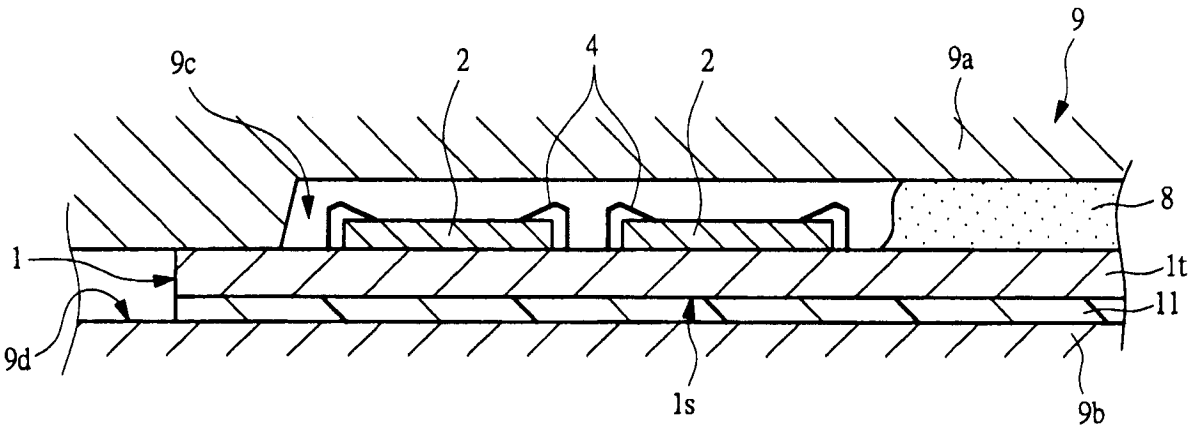


圖24

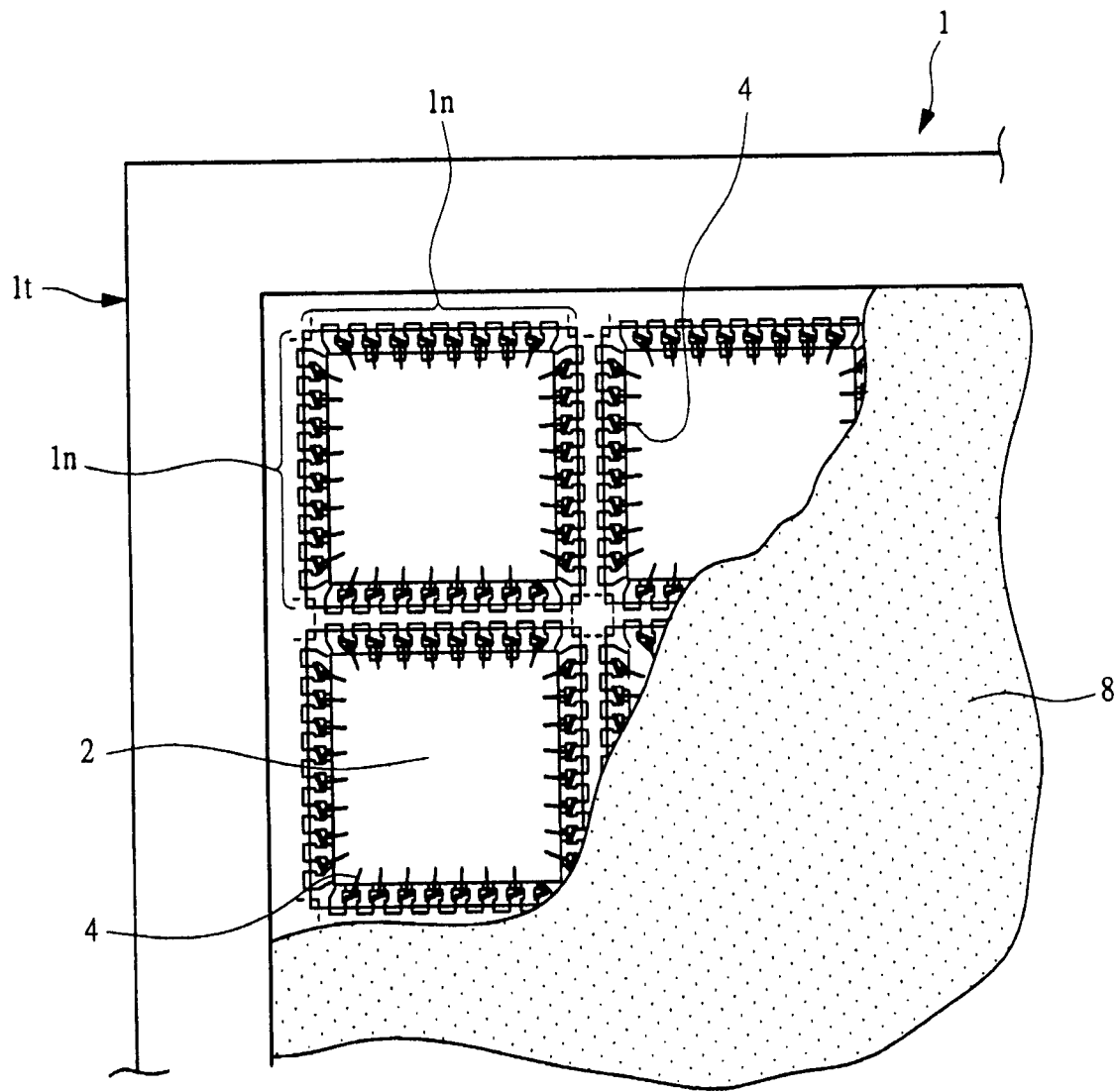


圖 25

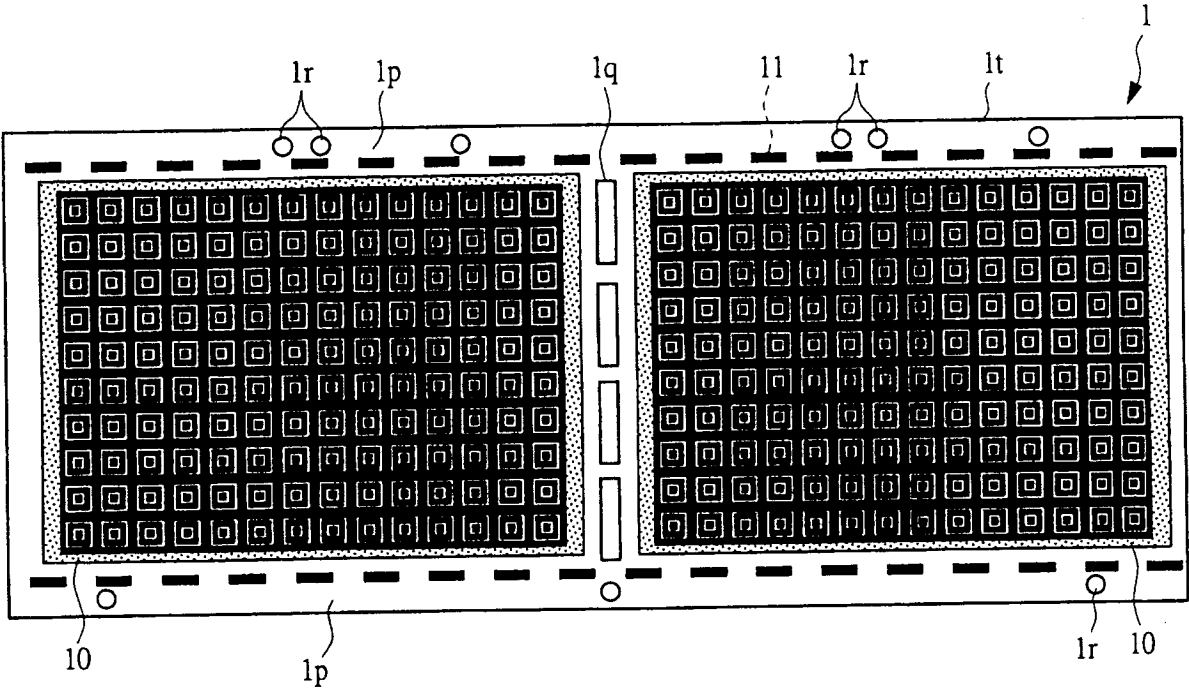


圖 26

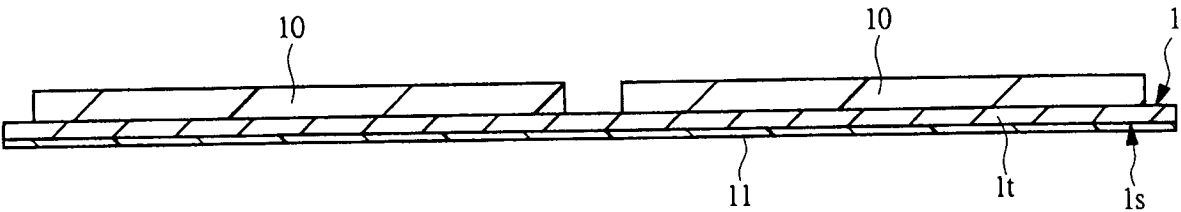


圖 27

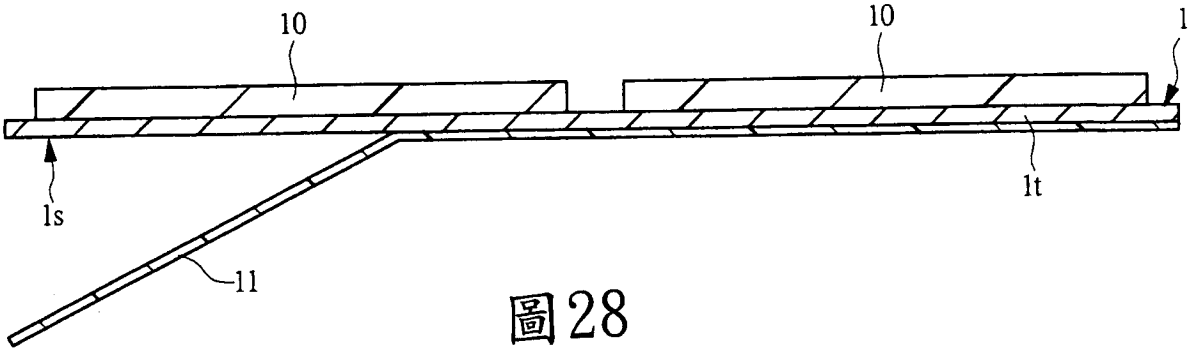


圖 28

七、指定代表圖：

(一)本案指定代表圖為：第(5)圖。

(二)本代表圖之元件符號簡單說明：

1a	引線
1b	引板(晶片搭載部)
1c	晶片支持面
1d	背面
1e	階差部
1f	第1薄壁部
1h	導線連接面
2	半導體晶片
2a	墊片(電極)
2b	主面
2c	背面
3	密封體
3a	背面
3b	側面
4	導線
5	QFN(半導體裝置)
6	銀漿(漿料)
7	外裝鍍敷

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)