

公告本

申請日期	90.12.14
案 號	90131170
類 別	H01L 21/8238

A4
C4

543155

(以上各欄由本局填註)

發 明 專 利 說 明 書	
一、 發明 名稱	<p>中 文 以 SiGe BiCMOS 積體化方案製造多晶-多晶電容器的方法</p> <p>英 文 METHOD OF FABRICATING A POLY-POLY CAPACITOR WITH A SiGe BiCMOS INTEGRATION SCHEME</p>
二、 發明 創作人	<p>姓 名 1.道格拉斯杜恩庫魯寶 Douglas Duane Coolbaugh 2.詹姆士斯圖亞特丹 James Stuart Dunn 3.史蒂芬亞瑟 St.安吉 Stephen Arthur St. Onge</p> <p>國 籍 1.美國 2.美國 3.美國</p> <p>住、居所 1.美國佛蒙特州艾塞克斯郡賽吉圓環 21 號 21 Sage Circle, Essex Junction, Vermont 05452 USA 2.美國佛蒙特州傑里丘歐爾路 75 號 75 Orr Road, Jericho, Vermont 05465 USA 3.美國佛蒙特州柯徹斯特普農莊路 94 號 94 Poor Farm Road, Colchester, Vermont 05446 USA</p>
三、申請人	<p>姓 名 (名稱) 美商·萬國商業機器公司 International Business Machines Corporation</p> <p>國 籍 美國</p> <p>住、居所 (事務所) 美國紐約州阿蒙市新果園路 New Orchard Road, Armonk, New York 10504, USA</p> <p>代 表 人 姓 名 傑拉德羅森瑟爾 Gerald Rosenthal</p>

裝 訂 線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： 有 無主張優先權

本案已向美國申請專利；申請日：2000年12月21日 案號：09/745,361號

有關微生物已寄存於： 寄存日期： 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

四、中文發明摘要(發明之名稱:)

以 SiGe BiCMOS 積體化方案製造多晶-多晶電容器的方法

一種用 BiCMOS 技術來製造集成的多晶-多晶電容器的方法，它包括在沉積 CMOS 電晶體的柵電極的過程中製作多晶-多晶電容器的下平板電極；及在生長異質結雙極電晶體的 SiGe 基區的過程中製作上 SiGe 平板電極。

英文發明摘要(發明之名稱:)

**METHOD OF FABRICATING A POLY-POLY CAPACITOR WITH A
SiGe BiCMOS INTEGRATION SCHEME**

A method for fabricating a poly-poly capacitor integrated with a BiCMOS process which includes forming a lower plate electrode of a poly-poly capacitor during deposition of a gate electrode of a CMOS transistor, and forming an upper SiGe plate electrode during growth of a SiGe base region of a heterojunction bipolar transistor.

六、申請專利範圍

1. 一種用 BiCMOS 技術來製造集成的多晶-多晶電容器的方法，該方法至少包含在沉積 CMOS 電晶體的柵電極的過程中製作多晶-多晶電容器的下平板電極、及在生長異質結雙極電晶體的 SiGe 基區的過程中製作上 SiGe 平板電極的步驟。
2. 如申請專利範圍第 1 項所述之方法，其中用下列步驟來製作所述下平板電極：在待要製作多晶-多晶電容器的器件區中的部分隔離區上，製作第一多晶矽層；在所述第一多晶矽層周圍，製作第一氮化物間隔；在所述第一多晶矽層和所述第一氮化物間隔上，沉積氮化物層；及將第一導電類型的離子注入到所述第一多晶矽層中，以便形成所述多晶-多晶電容器的所述下平板電極。
3. 如申請專利範圍第 2 項所述之方法，其中用下列步驟來製作所述上 SiGe 平板電極：清除部分所述氮化物層，以便形成第二氮化物間隔並暴露部分所述下平板電極；在所述下平板電極的至少所述暴露部分上，製作疊層膜，所述疊層膜包含氧化物層、第二多晶矽層和 SiGe 層；將不同於所述第一導電類型的第二導電類型離子注入到所述 SiGe 層和所述第二多晶矽層中；對至少所述 SiGe 層和所述第二多晶矽層進行蝕刻，以便形成所述多晶-多晶電容器的所述上平板電極；及對所

六、申請專利範圍

- 述上 SiGe 平板電極的所有暴露表面進行自對準矽化。
4. 如申請專利範圍第 3 項所述之方法，其中在自對準矽化之前，在部分所述上 SiGe 平板電極上製作圖形化保護性氮化物層。
5. 如申請專利範圍第 2 項所述之方法，其中用下列步驟來製作所述上 SiGe 平板電極：在至少所述氮化物層上，製作疊層膜，所述疊層膜包含氧化物層、第二多晶矽層和 SiGe 層；將不同於所述第一導電類型的第二導電類型離子注入到所述 SiGe 層和所述第二多晶矽層中；對至少所述 SiGe 層和所述第二多晶矽層進行蝕刻，以便形成所述多晶-多晶電容器的所述上 SiGe 平板電極；及對所述上 SiGe 平板電極的所有暴露表面進行自對準矽化。
6. 如申請專利範圍第 5 項所述之方法，其中在自對準矽化之前，在部分所述上 SiGe 平板電極上製作圖形化保護性氮化物層。
7. 一種用 BiCMOS 技術來製造集成的多晶-多晶電容器的方法，該方法至少包含下列步驟：
- (a) 在待要製作多晶-多晶電容器的器件區中的部分隔離區上，製作第一多晶矽層；
- (b) 在所述第一多晶矽層周圍，製作第一氮化物間

六、申請專利範圍

隔；

(c) 在所述第一多晶矽層和所述第一氮化物間隔上，沉積氮化物層；

(d) 將第一導電類型的離子注入到所述第一多晶矽層中，以便形成所述多晶-多晶電容器的下電極；

(e) 清除部分所述氮化物層，以便形成第二氮化物間隔並暴露部分所述下電極；

(f) 在所述下電極的至少所述暴露部分上，製作疊層膜，所述疊層膜包含氧化層、第二多晶矽層、和 SiGe 層；

(g) 將不同於所述第一導電類型的第二導電類型離子注入到所述 SiGe 層和所述第二多晶矽層中；

(h) 對至少所述 SiGe 層和所述第二多晶矽層進行蝕刻，以便形成所述多晶-多晶電容器的上電極；及

(i) 對所述上電極的所有暴露的表面進行自對準矽化。

8. 如申請專利範圍第 7 項所述之方法，其中在自對準矽化之前，在部分暴露的上電極上製作圖形化保護性氮化物層。

9. 如申請專利範圍第 7 項所述之方法，其中用選自化學汽相沉積 (CVD)、等離子體輔助 CVD、濺射、和化學溶液沉積中的沉積技術來製作所述第一多晶矽層。

六、申請專利範圍

10. 如申請專利範圍第 7 項所述之方法，其中用沉積和腐蝕方法來製作所述第一氮化物間隔。
11. 如申請專利範圍第 7 項所述之方法，其中用選自 CVD、等離子體輔助 CVD、濺射、和化學溶液沉積中的沉積技術來製作所述氮化物層。
12. 如申請專利範圍第 1 項所述之方法，其中用選自超高真空化學汽相沉積(UHVCVD)、分子束外延(MBE)、快速熱化學汽相沉積(RTCVD)、和等離子體增強化學汽相沉積(PECVD)中的沉積技術來製作步驟(f)中提供的所述 SiGe 層。
13. 一種用 BiCMOS 技術來製造集成的多晶-多晶電容器的方法，該方法至少包含下列步驟：
 - (a) 在待要製作多晶-多晶電容器的器件區中的部分隔離區上，製作第一多晶矽層；
 - (b) 在所述第一多晶矽層周圍，製作第一氮化物間隔；
 - (c) 在所述第一多晶矽層和所述第一氮化物間隔上，沉積氮化物層；
 - (d) 將第一導電類型的離子注入到所述第一多晶矽層中，以便形成所述多晶-多晶電容器的下電極；

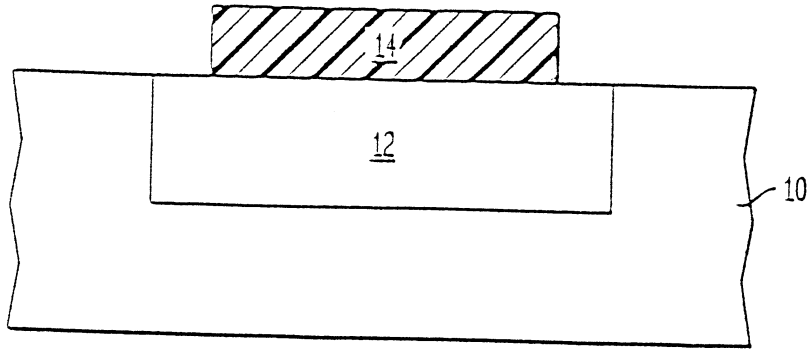
六、申請專利範圍

18. 如申請專利範圍第 13 項所述之方法，其中用選自超高真空化學汽相沉積(UHVCVD)、分子束外延(MBE)、快速熱化學汽相沉積(RTCVD)、和等離子體增強化學汽相沉積(PECVD)中的沉積技術來製作步驟(e)中提供的所述 SiGe 層。

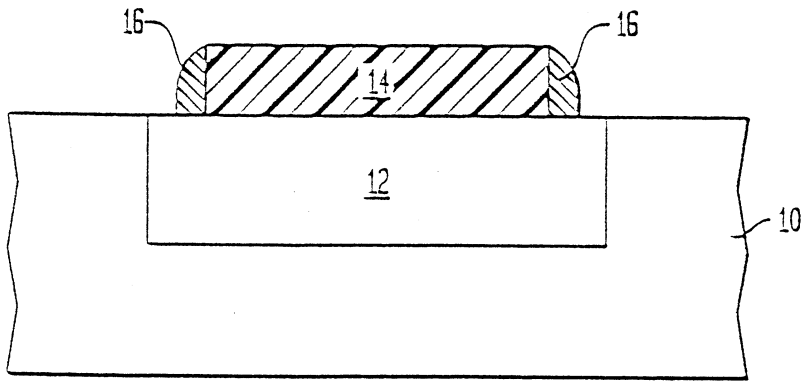
(請先閱讀背面之注意事項再填寫本頁)

訂
線

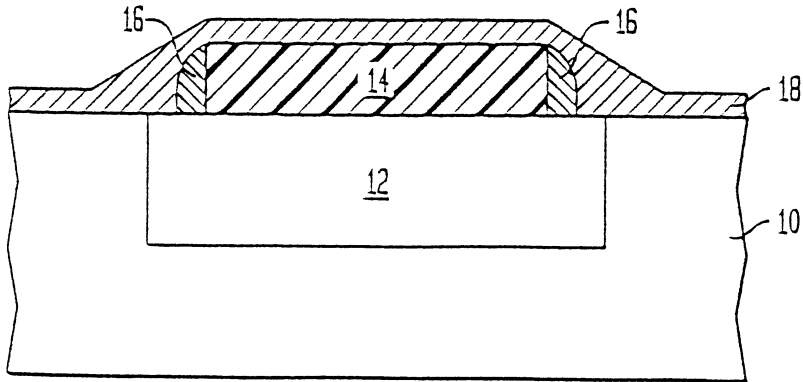
第 1 圖



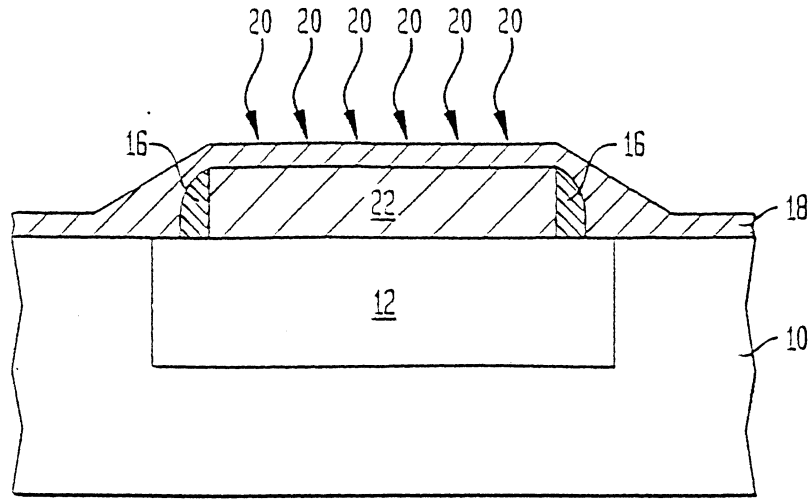
第 2 圖



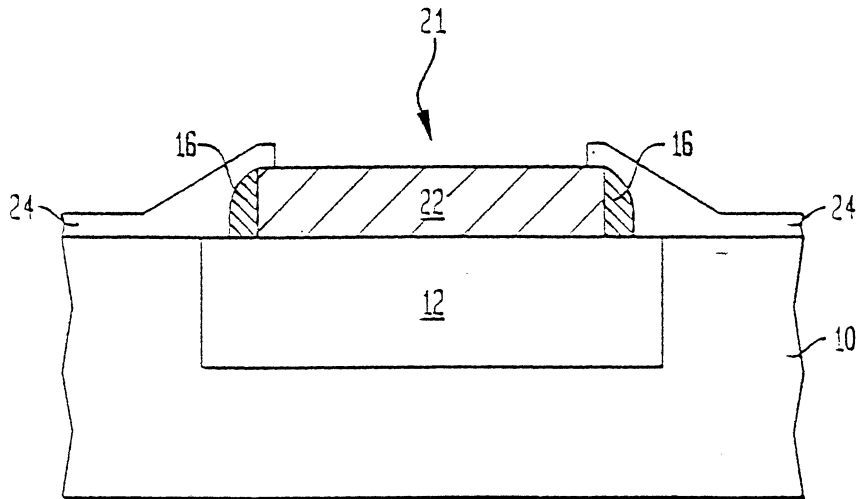
第 3 圖



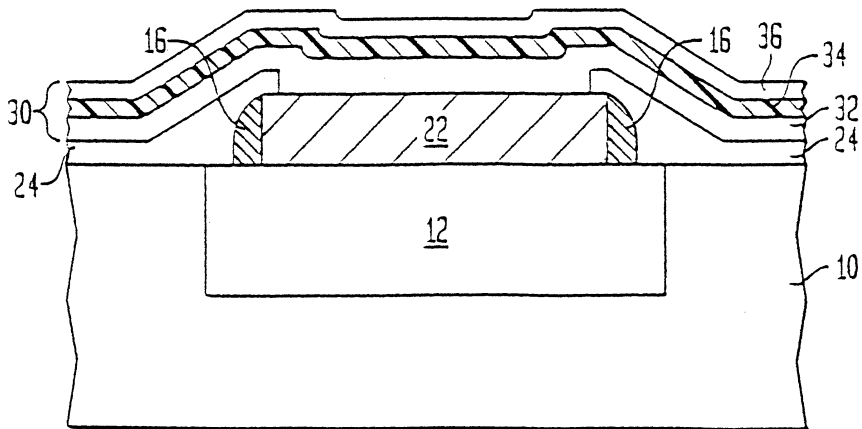
第 4 圖



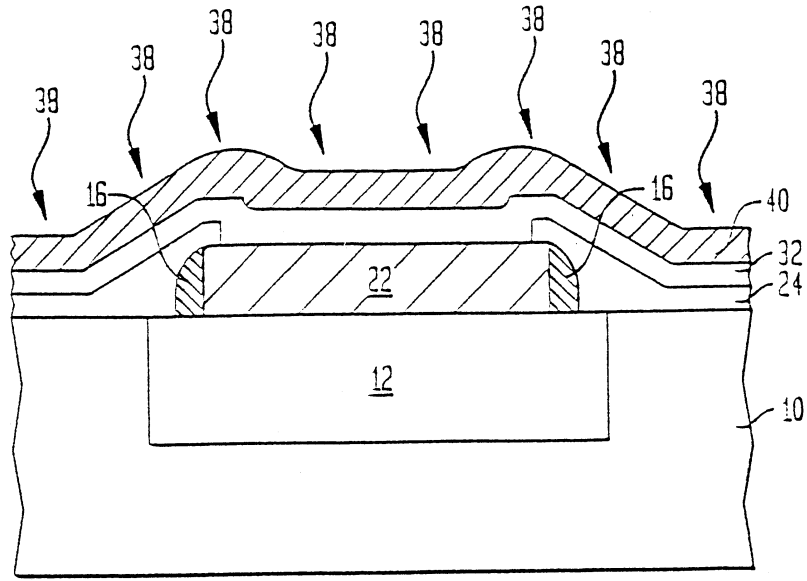
第 5 圖



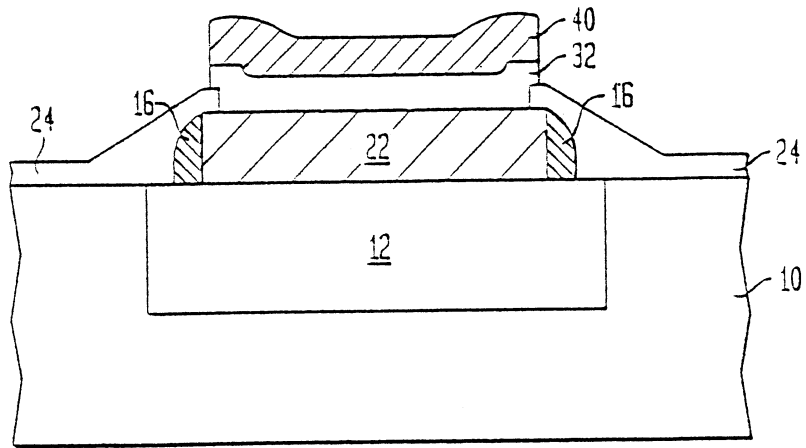
第 6 圖



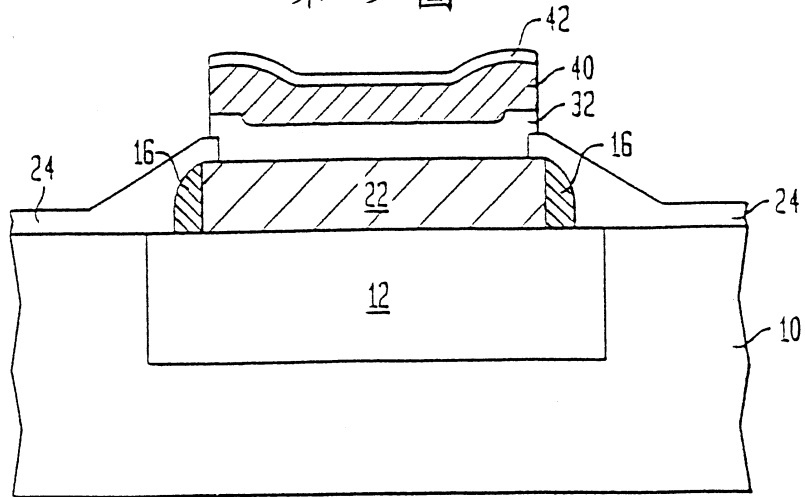
第 7 圖



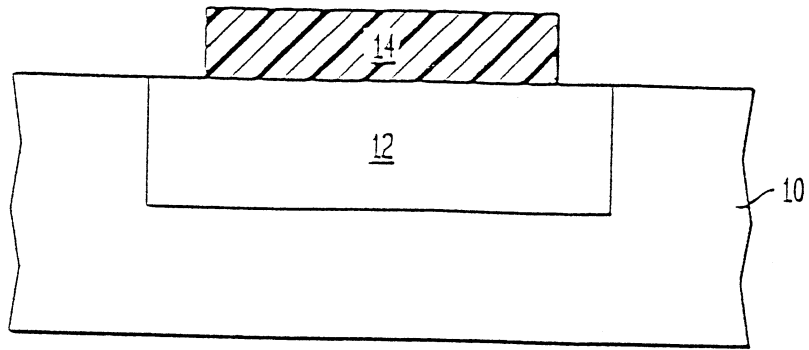
第 8 圖



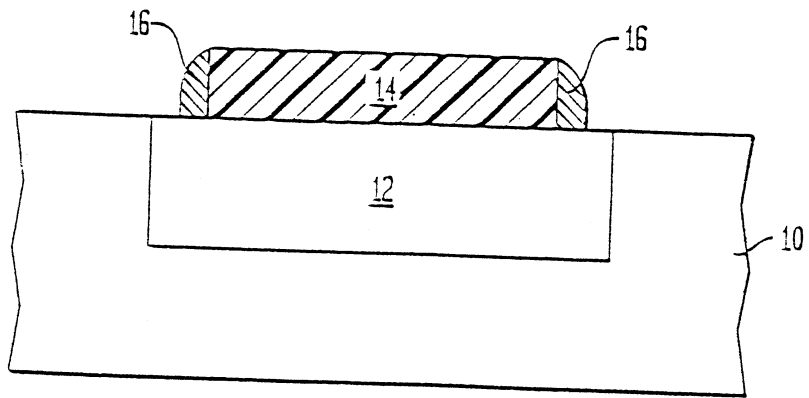
第 9 圖



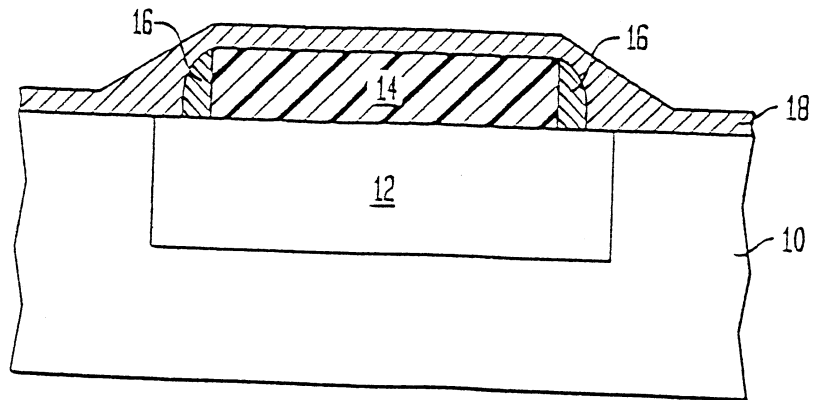
第 12 圖



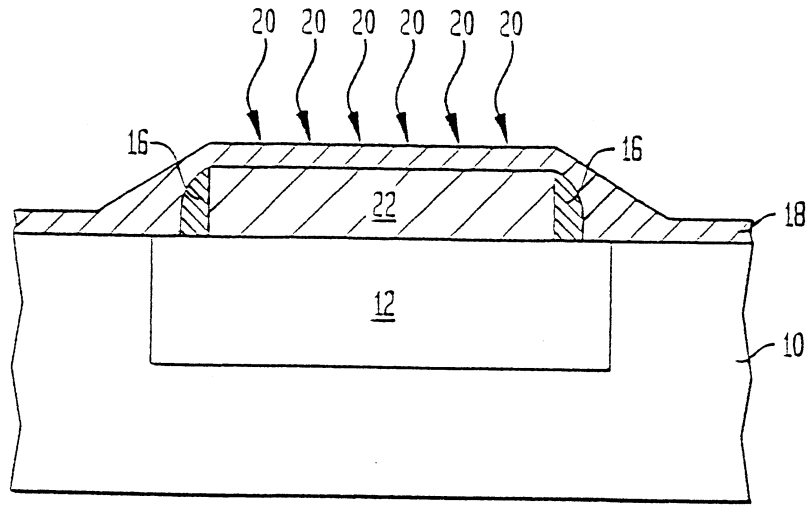
第 13 圖



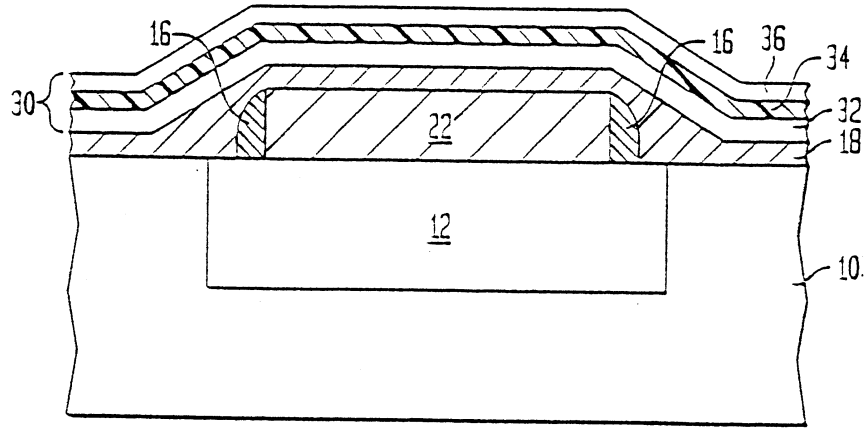
第 14 圖



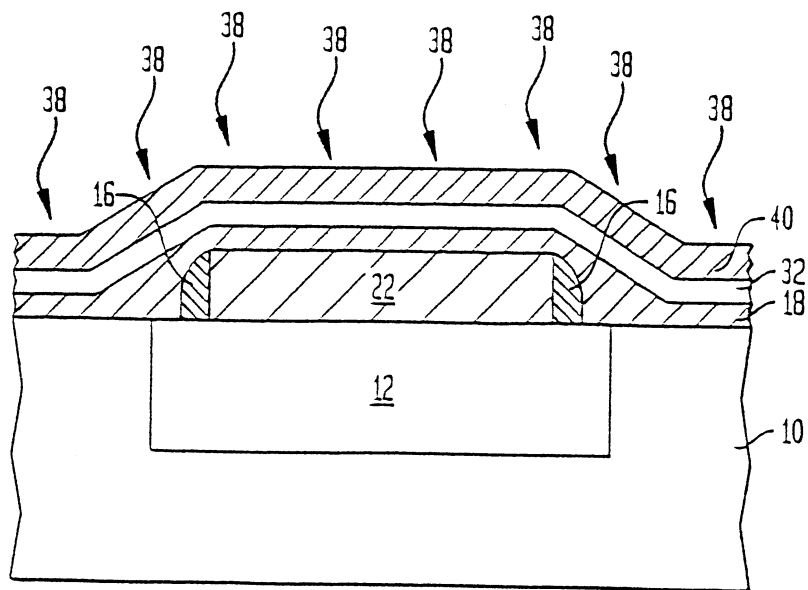
第 15 圖



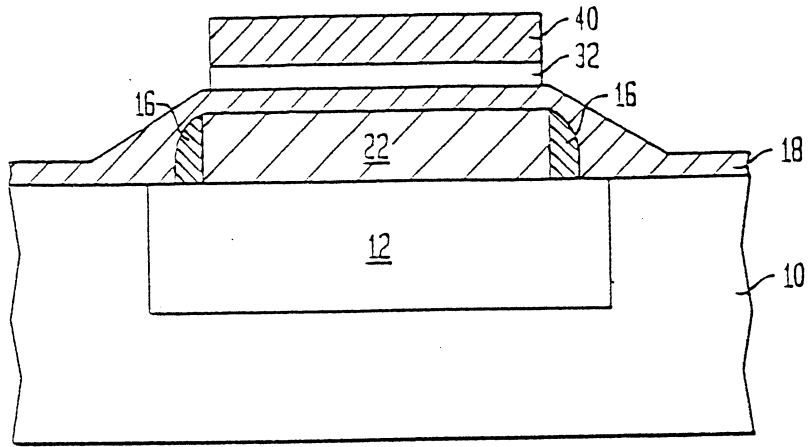
第 16 圖



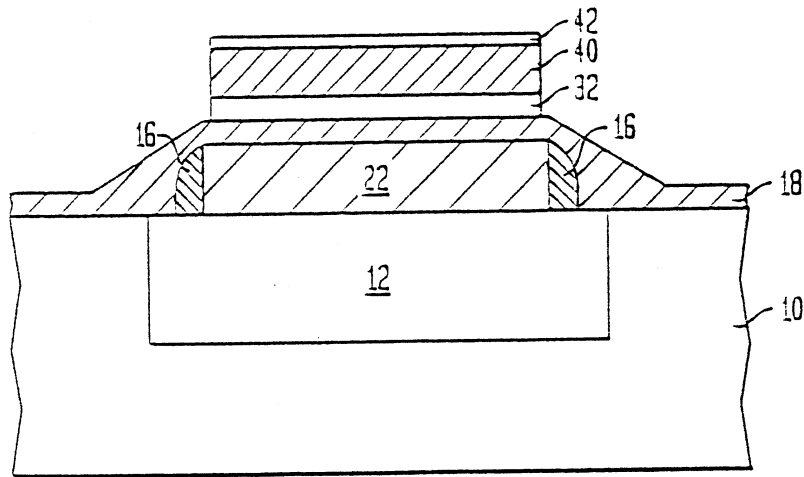
第 17 圖



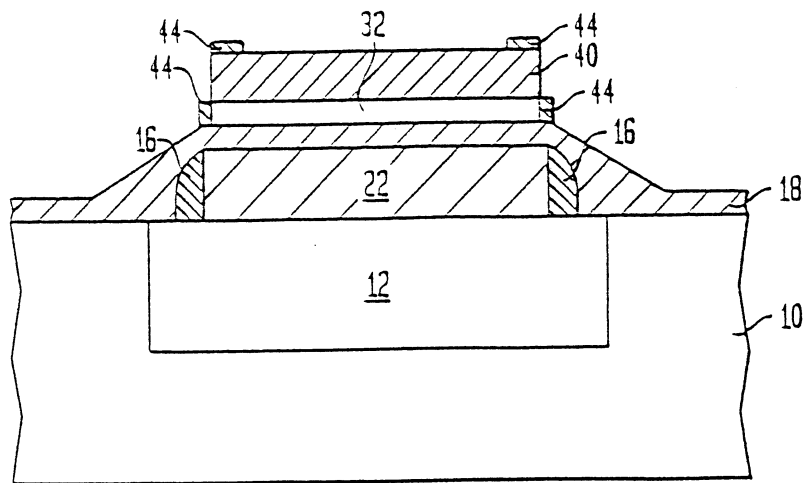
第 18 圖



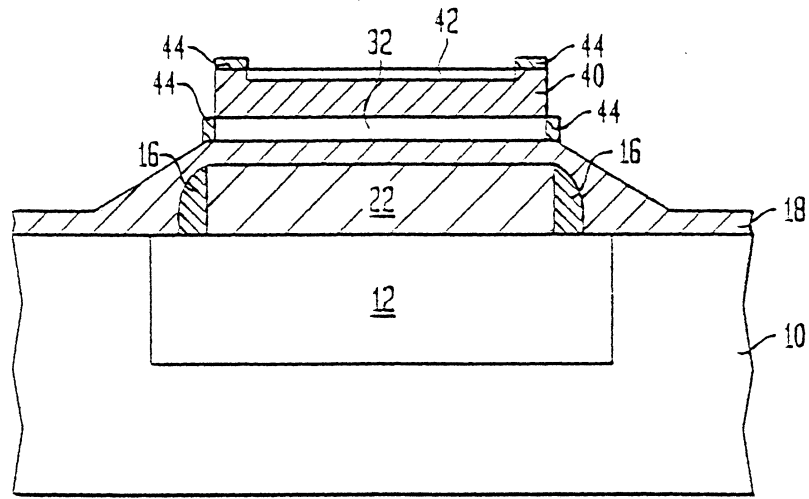
第 19 圖



第 20 圖



第 21 圖



五、發明說明()

發明領域：

本發明涉及到 BiCMOS(亦即雙極互補金屬氧化物半導體(CMOS))技術，更確切地說是涉及到與 SiGe 異質結雙極電晶體集成的多晶矽-多晶矽亦即多晶-多晶電容器的製造方法。

發明背景：

在半導體器件製造領域中，CMOS 和 BiCMOS 技術已經被廣泛地用來將非常複雜的類比-數位子系統集成到單個晶片上。在這種子系統中，通常需要高精度的電容器。

目前能夠獲得幾種電容器，包括擴散-多晶電容器、多晶-多晶電容器、和金屬-金屬電容器。為了滿足當前這一代集成器件對高精度電容器的需要，越來越多地採用了多晶-多晶電容器。

儘管其精度很高，但多晶-多晶電容器由於比較容易製作並具有優於擴散-多晶電容器但劣於金屬-金屬電容器的電學特性，因而是高的成本與理想的電容器特性之間的一種折中。然而，製造金屬-金屬電容器比製造多晶-多晶電容器困難得多。

而且，已知多晶-多晶電容器具有比 MOS(亦即擴散-多晶)電容器線性更好的 V-C 關係。MOS 電容器的介質來自熱生長在重摻雜擴散區上的氧化物。相反，多晶-多晶電容器的介質通常是沉積的化學汽相沉積(CVD)氧化物，且可靠性要求使得到的氧化物比熱氧化物能夠實現得更

五、發明說明()

厚。因此，MOS 電容器的電容值一般比多晶-多晶電容器更高。

雖然已知各種各樣的製作多晶-多晶電容器的方法，但大多數現有技術方法不適合於用 BiCMOS 技術方案來集成。考慮到用現有技術方法集成 BiCMOS 的問題，對於開發一種採用現有多晶矽層和常規 BiCMOS 技術中使用的掩蔽步驟的新的改進了製造多晶-多晶電容器的方法，一直存在著需求。具體地說，若能夠開發一種電容器底部平板由 MOS 電晶體的柵形成，且其中電容器的頂部平板由異質結雙極電晶體的基區形成的多晶-多晶電容器的製造方法，則是特別有益的。

發明目的及概述：

本發明的一個目的是提供一種不複雜也不昂貴的製造 CMOS 或 BiCMOS 積體電路使用的多晶-多晶電容器的方法。

本發明的另一目的是提供一種利用現有多晶矽和掩蔽步驟來製造多晶-多晶電容器，從而以低的成本將多晶-多晶電容器集成到 BiCMOS 器件中的方法。

本發明的再一目的是提供一種利用通常 BiCMOS 技術中用來製作 MOS 電晶體和雙極電晶體的 SiGe 基結構的步驟和結構來製造多晶-多晶電容器的方法。

利用本發明的方法，達到了這些及其他的目的和優點，其中，電容器的下多晶矽層在沉積 CMOS 柵電極的過

五、發明說明()

程中被製作，而電容器的上 SiGe 多晶矽層在生長 SiGe 異質結雙極電晶體的基區過程中被製作。廣義地說，本發明的方法於是包含在沉積 CMOS 電晶體的柵電極的過程中製作多晶-多晶電容器的下平板電極；及在生長異質結雙極電晶體的 SiGe 基區的過程中製作上 SiGe 平板電極。

具體地說，在本發明第一實施例中，本發明的方法至少包含下列步驟：

(a) 在待要製作多晶-多晶電容器的器件區中的部分隔離區上，製作第一多晶矽層；

(b) 在所述第一多晶矽層周圍，製作第一氮化物間隔；

(c) 在所述第一多晶矽層和所述第一氮化物間隔上，沉積氮化物層；

(d) 將第一導電類型的離子注入到所述第一多晶矽層中，以便形成所述多晶-多晶電容器的下電極；

(e) 清除部分所述氮化物層，以便形成第二氮化物間隔並暴露部分所述下電極；

(f) 在所述下電極的至少所述暴露部分上，製作疊層膜，所述疊層膜包含氧化層、第二多晶矽層、和 SiGe 層；

(g) 將不同於所述第一導電類型的第二導電類型離子注入到所述 SiGe 層和所述第二多晶矽層中；

(h) 對至少所述 SiGe 層和所述第二多晶矽層進行蝕刻，以便形成所述多晶-多晶電容器的上電極；及

(i) 對所述上電極的所有暴露的表面進行自對準矽

五、發明說明()

化。

要指出的是，上述處理步驟被用來製作大電容的多晶-多晶電容器。作為變通，在對結構進行自對準矽化之前，可以在部分暴露的上電極上製作圖形化的保護性氮化物層。

根據製作高壓器件的本發明的第二實施例，本發明的方法至少包含下列步驟：

(a)在待要製作多晶-多晶電容器的器件區中的部分隔離區上，製作第一多晶矽層；

(b)在所述第一多晶矽層周圍，製作第一氮化物間隔；

(c)在所述第一多晶矽層和所述第一氮化物間隔上，沉積氮化物層；

(d)將第一導電類型的離子注入到所述第一多晶矽層中，以便形成所述多晶-多晶電容器的下電極；

(e)在至少所述氮化物層上製作疊層膜，所述疊層膜包含氧化物層、第二多晶矽層、和 SiGe 層；

(f)將不同於所述第一導電類型的第二導電類型離子注入到所述 SiGe 層和所述第二多晶矽層中；

(g)對至少所述 SiGe 層和所述第二多晶矽層進行蝕刻，以便形成所述多晶-多晶電容器的上電極；及

(h)對所述上電極的所有暴露的表面進行自對準矽化。

如第一實施例的情況那樣，在自對準矽化之前，可

五、發明說明()

以在至少部分暴露的上電極上製作圖形化的保護性氮化物層。

此處要強調的是，摻雜的第一多晶矽層用作本發明多晶-多晶電容器的下電極，而摻雜的 SiGe 層與摻雜的第二多晶矽層一起用作多晶-多晶電容器的上電極。

圖式簡單說明：

第 1-9 圖是本發明第一實施例所用的各個處理步驟中多晶-多晶電容器的剖面圖。

第 10-11 圖示出了可選的處理步驟，其中圖形化的保護性氮化物層被用於本發明的第一實施例中。

第 12-19 圖是本發明第二實施例所用的各個處理步驟中多晶-多晶電容器的剖面圖。

第 20-21 圖示出了可選的處理步驟，其中圖形化的保護性氮化物層被用於本發明的第二實施例中。

圖號對照說明：

10	半導體襯底	12	部份隔離區
14	多晶矽層	16	第一氮化物間隔
18	第二氧化物層	20	第一導電類型離子
21	視窗	22	電容器下電極
24	第二氮化物間隔	30	疊層膜
32	氧化物層	34	第二多晶矽層
36	鍺化矽(SiGe)層	38	第二導電類型離子

五、發明說明()

40 被摻雜層

42 自對準矽化物區

44 保護性氮化物層

發明詳細說明：

下面參照附在本申請書中的附圖來更詳細地描述本發明，本發明提供了一種用 SiGe BiCMOS 技術集成的多晶-多晶電容器的製造方法。應該指出的是，相同的和相應的元件用相同的和相應的參考號來表示。而且，在本發明的附圖中，僅僅示出了 BiCMOS 器件的電容器器件區。圖中未示出的 CMOS 和雙極器件區，被製作在鄰近圖中所示電容器器件區的區域中。

首先參照第 1-9 圖，示出了通過本發明第一實施例所用的各個處理步驟中大電容多晶-多晶電容器的製作。具體地說，第 1 圖示出了在製作於半導體襯底 10 中的部分隔離區 12 上製作第一多晶矽層 14。半導體襯底 10 由包括但不局限於 Si、Ge、SiGe、GaAs、InAs、InP 和所有其他 III/V 族化合物半導體的常規半導體材料組成。此處還考慮了諸如 Si/Si 或 Si/SiGe 之類的層狀襯底。在這些半導體材料中，半導體襯底最好由 Si 組成。半導體襯底可以是 p 型襯底或 n 型襯底，取決於待要出現在最終 BiCMOS 結構中的 MOS 器件的類型。

隔離區可以是 LOCOS(矽的局部氧化)區或溝道隔離區，最好是第 1 圖所示的溝道隔離區。當採用 LOCOS 隔離時，本技術領域熟練人員熟知的常規氧化技術被用來形成區域 12。另一方面，當隔離區 12 是第 1 圖所示的

五、發明說明()

溝道隔離區時，則利用常規的光刻、蝕刻、和溝道填充方法來形成隔離溝道區。由於隔離溝道的製作包括本技術領域熟練人員熟知的常規技術，故此處不提供其詳細描述。

稍後將成為多晶-多晶電容器下電極的第一多晶矽層 14，也被製作在 CMOS 器件區中，並將被用於 CMOS 器件區中作為 CMOS 器件的柵電極。在本發明中，用包括但不局限於化學汽相沉積(CVD)、等離子體輔助 CVD、濺射、化學溶液沉積、及其他相似的沉積技術等常規沉積技術，來製作第一多晶矽層 14。第一多晶矽層的厚度可以變化，但第一多晶矽層的厚度通常為大約 500-5000Å，最好是約為 1000-2000 Å。

接著，如第 2 圖所示，在第一多晶矽層周圍製作第一氮化物間隔 16。具體地說，第一氮化物間隔 16 被製作在先前製作的第一多晶矽層被暴露的垂直邊界上。用諸如 CVD、等離子體輔助 CVD 和其他相似的沉積技術之類的常規沉積技術，來製作由 Si_3N_4 之類的常規氮化物材料組成的第一氮化物間隔，隨之以光刻和蝕刻。用來製作第一氮化物間隔 16 的蝕刻技術是對於清除氮化物比清除多晶矽來說有高的選擇性的常規蝕刻技術。

第 3 圖示出了在第 2 圖所示結構上製作第二氮化物層 18 之後的多晶-多晶電容器結構。具體地說，利用相同于或不同於用來製作第一氮化物間隔的常規沉積技術，第二氮化物層被製作在第一多晶矽層 14 和第一氮化

五、發明說明()

物間隔 16 上。而且，第二氮化物層可以由相同于或不同於第一氮化物間隔的含有氮化物的材料組成。要指出的是，第二氮化物層在製作多晶-多晶電容器的過程中用來保護相鄰的器件區。

隨著第二氮化物層的就位，第一導電類型（P 型或 N 型）的離子 20 被注入到第一多晶矽層中，以便形成多晶-多晶電容器的下電極 22，見第 4 圖。用來形成多晶-多晶電容器的下電極的離子注入，是在能夠在常規注入劑能量下工作的常規離子注入設備中進行的。這一注入步驟中使用的雜質離子的濃度可以改變，其數值在本技術領域熟練人員通常使用的範圍內。而且，本發明這一步驟中採用的雜質離子的類型僅僅取決於待要製造的器件的類型。

根據用來製造大電容多晶-多晶電容器的本發明第一實施例，利用常規光刻對第二氮化物層進行圖形化，並隨後採用對於清除氮化物比清除摻雜的多晶矽來說有高的選擇性的蝕刻技術，以便形成第二氮化物間隔 24，見第 5 圖。具體地說，第二氮化物層 18 被蝕刻，以便在第二氮化物層中形成暴露部分下方下電極的視窗 21。

接著，如第 6 圖所示，在第 5 圖所示的結構上製作疊層膜 30。根據本發明，疊層膜 30 由氧化物層 32、第二多晶矽層 34、和 SiGe 層 36 組成。在本發明中，氧化物層 32 是用 CVD 之類的常規沉積技術製作的，或作為變通，可以用常規熱生長技術來製作氧化物層 32。氧化物

五、發明說明()

層的厚度可以變化，但疊層膜 30 的氧化物層 32 的厚度通常約為 50-200 Å。

用相同于或不同於用來製作第一多晶矽層 14 的沉積技術，製作疊層膜 30 的多晶矽層 34。多晶矽層 34 的厚度可以變化，但疊層膜 30 的第二多晶矽層 34 的厚度通常約為 100-1000 Å。

用包括但不局限于超高真空化學汽相沉積(UHVCVD)、分子束外延(MBE)、快速熱化學汽相沉積(RTCVD)、和等離子體增強化學汽相沉積(PECVD)的常規沉積技術，來製作也被用來形成雙極電晶體區(未示出)的 SiGe 基區的疊層膜 30 的 SiGe 層 36。要指出的是，SiGe 的厚度可以變化，因而不局限於具體的厚度範圍。用來製作 SiGe 層的上述各個沉積技術包括採用本技術領域熟練人員熟知的常規條件。這些條件可以根據用來製作 SiGe 層的沉積技術的類型而變化。

在暴露的下電極上已經製作疊層膜 30 之後，對 SiGe 層 36 和第二多晶矽層 34 進行離子注入，其中不同於第一導電類型的第二導電類型離子 38，被注入到層 36 和 34 中。具體地說，在能夠在常規注入劑能量下工作的常規離子注入設備中進行上述第二離子注入步驟。這一注入步驟亦即層 36 和 34 的摻雜步驟中使用的雜質的濃度可以變化，取決於注入到第一多晶矽層中的雜質的類型。第 7 圖示出了形成被摻雜層 40 的本發明的這一步驟。要指出的是，被摻雜層 40 是 SiGe 層 36 和第二多晶矽層 34

五、發明說明()

的組合。而且，被摻雜層 40 用作本發明多晶-多晶電容器的上電極。

在用第二導電類型離子對 SiGe 層和第二多晶矽層進行摻雜之後，對被摻雜的層 40(亦即被摻雜的 SiGe 層和被摻雜的第二多晶矽層)進行能夠將被摻雜的 SiGe 層和第二多晶矽層圖形化形成第 8 圖所示結構的上電極 40 的常規光刻和蝕刻工序。應該指出的是，在蝕刻被摻雜的 SiGe 層和第二多晶矽層的過程中，下方的某些氧化層也可能被腐蝕。

本發明的這一步驟之後，可以可選地對上電極亦即被摻雜的層 40 進行另一離子注入工序，其中附加的第二離子被注入到上電極中。要指出的是，這一可選的附加注入步驟形成了 CMOS 器件區中的源區和漏區(圖中未示出)。第 9 圖示出了上電極暴露表面已經經歷了常規自對準矽化工序之後的結構，其中形成了自對準矽化物區 42。此自對準矽化工序是利用本技術領域熟練人員熟知的常規退火溫度和時間進行的。

第 10-11 圖示出了在進行自對準矽化工序之前可以被用於本發明第一方法中的附加的處理步驟。具體地說，第 10 圖示出了第 9 圖的結構，它包括製作在多晶-多晶電容器水平表面上的圖形化保護性氮化物層 44。利用常規沉積技術，隨之以光刻和蝕刻，來製作此圖形化保護性層。第 11 圖示出了進行上述自對準矽化工序之後的結構。

五、發明說明()

第 12-19 圖示出了本發明的第二實施例，其中第二氮化物層 18 在所有各個處理步驟中保留在結構中。這就得到了高電壓多晶-多晶電容器器件。具體地說，用來製作第 12-15 圖所示結構的處理步驟與上述第 1-4 圖所示的完全相同。代替如第 5 圖所示那樣對氮化物層進行蝕刻，在本發明的這一實施例中，氮化物層不被蝕刻，並用上述處理步驟在其上製作疊層膜 30，以便提供第 16 圖所示的結構。第 17-19 圖除了多晶-多晶電容器包括第二氮化物層 18 之外，與第 7-9 圖完全相同。

第 20-21 圖示出了本發明第二實施例的一個可選步驟，其中使用了圖形化保護性氮化物層。

雖然已經根據本發明的優選實施例對本發明進行了具體的描述，但本技術領域熟練人員可以理解的是，可以作出形式和細節方面的上述和其他的改變而不超越本發明的構思與範圍。因此認為本發明不局限於所述的準確形式和細節，而是包含在所附如申請專利範圍第的範圍內。

六、申請專利範圍

(e)在至少所述氮化物層上製作疊層膜，所述疊層膜包含氧化物層、第二多晶矽層和 SiGe 層；

(f)將不同於所述第一導電類型的第二導電類型離子注入到所述 SiGe 層和所述第二多晶矽層中；

(g)對至少所述 SiGe 層和所述第二多晶矽層進行蝕刻，以便形成所述多晶-多晶電容器的上電極；及

(h)對所述上電極的所有暴露的表面進行自對準矽化。

14.如申請專利範圍第 13 項所述之方法，其中在自對準矽化之前，在部分暴露的上電極上製作圖形化保護性氮化物層。

15.如申請專利範圍第 13 項所述之方法，其中用選自化學汽相沉積(CVD)、等離子體輔助 CVD、濺射、和化學溶液沉積中的沉積技術來製作所述第一多晶矽層。

16.如申請專利範圍第 13 項所述之方法，其中用沉積和蝕刻方法來製作所述第一氮化物間隔。

17.如申請專利範圍第 13 項所述之方法，其中用選自 CVD、等離子體輔助 CVD、濺射、和化學溶液沉積中的沉積技術來製作所述氮化物層。