

293181

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權
美 1993.8.2 100,793

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明()

先前申請案參考資料

本申請案已經於1993年8月2日在美國歸檔為專利申請案序號08/110,793。

發明範圍

本發明係關於半導體裝置，特別是具有電容器之半導體裝置。

發明背景

電容器係用於多型半導體裝置。在儲存器裝置中，例如一種動態隨意存取儲存器(DRAM)單元或是一種不變性隨意存取儲存器(NVRAM)單元，電容器係作為一種儲存電容器中，因為該金屬氧化物介電層可以用於DRAM或NVRAM單元之儲存電容器中，因為該金屬氧化物介電層可以具有高電容率或鐵電性。本申請案中所用之高電容率表示高於二氧化矽之電容率。

具有金屬氧化物介電層之電容器的一種限制在於整合進入裝置半導體處理流之電容器形成的能力。以一種使用NVRAM之特殊實例說明一些問題，圖1包括一個具有鐵電電容器2和電晶體3之NVRAM單元1的電路圖。鐵電電容器2的一個電極連結於傳動線路(DL)，另一個電極則連結於該電晶體3的源/汲極區。電晶體3更包括另一個結合於數位線路(BL)之源/汲極區和結合於字語線(WL)之門脈電極。

一個先前技藝之NVRAM單元包括一種"疊層"鐵電電容器。在此NVRAM單元中，電晶體係形成於基片中，在電晶體

五、發明說明()

源 / 汲極區形成一種導電插頭，且鐵電電容器係形成於該導電插塞上。一種整合問題在於當鐵電電容器形成時導電插塞的存在。多型導電插塞包括矽或一種含金屬材料。形成該鐵電電容器介電層之金屬氧化物層典型上必需是在溫度高於約 500°C 氧化，以便該金屬氧化物層具有鐵電性質。本申請案中所使用之高溫表示高於 500°C。導電插塞可能不能夠經得起如此的處理步驟。例如，該插塞可以氧化形成一種低導電區，因此劣化，或甚至消除介於電極和電晶體底層源 / 汲極區之間的電路。如同更進一步的實例，來自含金屬材料的金屬可以擴散入基片中。導電插塞的材料可以不是形成一種尖峰便是一種矽化物材料完全延伸通過引起鐵電電容器的一個電極和基片或一個井狀區之間電流短路的源 / 汲極區。載體層的使用應該沒有幫助，因為大部份載體層不能經得起高於約 500°C 的處理。

在一個 NVRAM 單元中，一種金屬帶可以在該鐵電電容器形成後，形成於鐵電電容器的一個電極和一個源 / 汲極區之間。圖 2 包括一種 "帶狀" NVRAM 單元 90 的平面圖，其包括電晶體 93 和鐵電電容器 95。金屬導體 91 係作為 NVRAM 單元 90 的數位線路，且電連結於第一摻雜區 931，其作為觸點 911 的源 / 汲極區。導電構件 92 係作為電晶體 93 的門脈，並且是字語線路的一部份。第二摻雜區 932 係作為電晶體 93 的另一個源 / 汲極區，且位於導電構件 92 的另一側。電晶體 93 的活性區係由範圍隔離區 98 所定義。

第一介電層 (未示出) 係在電晶體 93 形成後，鐵電電容器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

95形成前形成。大部份鐵電電容器95典型上形成於範圍隔離區98上。該鐵電電容器95包括下作為一種傳動線路的電極層96，作為鐵電介電層之金屬氧化物介電層(未示出)，和上電極層97。第二絕緣層(未示出)係形成於單元90上。導電構件94以第二摻雜區932電連結鐵電電容器95的上電極層97。虛線出現於金屬導體91中且導電構件94表示其中一些單元的底層元件位於金屬導體91或導電構件94之下。至少一個絕緣層位於金屬導體91或導電構件94和那些由虛線指示之底層下元件之間。應該注意觸點941，942和911典型上係在相同的處理步驟期間形成，且該觸點至少延伸通過第二絕緣構件。更注意該導電構件91和94典型上亦在相同的處理步驟期間形成。

NVRAM 單元90非常大。單元大小係由該導電構件91和94彼此可以放置得多近和/或觸點941，942和911彼此可以放置得多近而限定。此外，單元維持大，因為橫過矩陣的數位線路方向通常典型上是垂直於作為字語線路之導電構件92。因此，作為單元數位線路之導電構件91的長度通常平行於作為電力帶的導電構件94。基本上電晶體和鐵電電容器從平面圖是邊靠邊形成。該鐵電電容器些許位於電晶體上，因為有予足夠的公差，所以觸點942接觸摻雜區932且不接觸鐵電電容器95的上下電極層96。

類似問題發生於其它NVRAM 單元，例如圖3和4中所示。圖3是一種單元30的電路圖，包括二個電晶體31和33和二個鐵電電容器32和34。NVRAM 單元30和NVRAM 單元1之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

間的一個差異在於與單一數位線路(BL)相對之補充數位線路(BL和 $\overline{BL}$)的使用。圖4包括NVRAM單元40的電路圖，包括二個p槽電晶體47和44，二個n槽電晶體42和45，以及二個鐵電電容器43和46。此單元和NVRAM單元1的一個差異在於補充數位線路(BL和 $\overline{BL}$)和補充字語線路(WL和 $\overline{WL}$)的使用。NVRAM單元30和40中使用之疊層鐵電電容器將具有處理整合問題，且帶狀單元將佔據太大基片面積。

圖5包括DRAM單元50的電路圖。DRAM單元50和NVRAM單元90的電路圖類似。DRAM單元50包括電晶體55和儲存電容器56。數位線路(BL)連結於電晶體55的源/汲極區。電晶體55更包括連結於字語線路(WL)之門脈電極，和另一個源/汲極區連結於電容56之電極中之一。電容56之另一電極連結至一固定電壓源 V_c 。單元50之 V_c 可以是 V_{ss} 或 V_{DD} 電位之一半。

較小的設計標準可以限制DRAM單元之儲存電容器能夠儲存的電容量。一個提高儲存電容器的電容量而不增加尺寸或大小的方法係使用高電容率介電材料，例如金屬氧化物介電材料。不幸地，具有金屬氧化物介電層之儲存電容器遭遇與NVRAM單元類似的整合問題。傳統的含矽介電材料，例如二氧化矽和氮化矽，並無許多金屬介電層的整合問題。

發明摘要

本發明包括一種包括電路元件、電容器和導電構件的半導體裝置。電容器位於電路元件上並包括第一電極層、位

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

於第一電極上之金屬氧化物介電層和位於介電層上之第二電極層。導電構件將電路元件電和第二電極層彼此電連接，並構成使得導電構件延伸通過第一電極和電容器的介電層。本發明更包括一種製造該裝置的方法。

本發明其它的特點和優點從附圖和以下詳述將是顯而易見的。

附圖簡述

本發明係藉由實例說明但並限於附圖中之式樣，其中類似參考表示類似元件，且其中：

圖1包括一種具有一個電晶體、一個鐵電電容器和一種單一數位線路之NVRAM單元的電路圖。(先前技藝)

圖2包括一種疊層NVRAM單元的平面圖。

圖3包括一種具有二個電晶體、二個鐵電電容器和補充數位線路之NVRAM單元的電路圖。(先前技藝)

圖4包括一種具有四個電晶體、二個鐵電電容器和補充數位線路和補充字語線路之NVRAM單元的電路圖。(先前技藝)

圖5包括一種DRAM單元的電路圖。(先前技藝)

圖6-12包括部份半導體基片的橫切面圖，說明金屬氧化物電容器的形成，該電容器電連接於根據本發明具體實施例之底層電路元件。

圖13和14分別包括一種根據本發明具體實施例所形成之具有一個電晶體和一個鐵電電容器之NVRAM的平面圖和橫切面圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

圖 15 包括一種根據本發明具體實施例形成之具有二個電晶體、二個鐵電電容器和補充數位線路之 NVRAM 單元的電路圖。

圖 16 包括一種根據本發明具體形成之具有四個電晶體、二個鐵電電容器和補充數位線和補充字語線路之 NVRAM 單元的電路圖。

具體實施例詳述

本發明包括一種金屬氧化物電容器，其藉由延伸通過該電容器本身而電連接於一種底層電路元件之電極層。本發明對於製造 DRAM 或 NVRAM 中之高電容率或鐵電電容器特別有用。本發明之具體實施例於以下更加詳述。本發明並不限於所述之具體實施例。

金屬氧化物電容器

圖 6 包括具有層面形成於上之半導體基片的部份橫切面圖。電路元件 11 位於基片 10 上。電路元件 11 能夠是各種項目之一，包括基片 10 中之摻雜區或導電構件，例如門脈電極、電容器電極、觸點或通道插塞、接點、和其類似物位於基片 10 上。電路元件 11 係任何電連接於欲形成之高電容量金屬氧化物電容器元件。基片 10 可以是半導體或絕緣材料。絕緣層 12、下電極層 13、金屬氧化物介電層 14 和上電極層 15 係依序形成於電路元件 11 上。

每一個電路元件 11 上層面材料的選擇視所形成之裝置和其它目前或接著接觸之特殊層面而定。例如，DRAM 需要高電容率電容器，但是該金屬氧化物介電層 14 不需要具有鐵

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

電性質。該金屬氧化物可以包括五氧化二鉭 (Ta_2O_5)、鋇酸鈦酸鹽類 ($Zr_xTi_yO_z$)、鈦酸鋇 ($SrTiO_3$)、鈦酸鋇鉬 (BST)、鋇酸鉛鈦酸鹽類 (PZT)、摻雜鎳之 PZT 或其類似物。熟悉該技藝者認為鈦酸鉛鋇和鋇酸鉛鈦酸鹽是相同的物質，雖然此相同的物質具有二種不同的名稱。NVRAM 之金屬氧化物介電層 14 必需具有鐵介電性質，所以可以包括鈦酸鉍 ($Bi_4Ti_3O_{12}$)、鈦酸鋇 ($BaTiO_3$)、BST、PZT、摻雜鎳之 PZT 或其類似物。

電極層 13 和 15 之材料的選擇部份視用於介電層 14 之材料而定。鉛會與許多含矽化合物反應或擴散於其中。倘若 1) 該金屬氧化物層包括鉛，2) 該介電層 14 暴露於高於約 $500^\circ C$ 之溫度，則電極層 13 和 15 不應該包括含矽化合物或允許鉛擴散。倘若存在鉛，電極層 13 和 15 可以包括鈣、銻、鉍、任何前述四種元素的導電金屬氧化物、鉑和其類似物。倘若金屬氧化物介電層包括 Ta_2O_5 ，電極層 13 和 15 事實上可以包括任何導電物質，包括經摻雜之矽、金屬和含金屬化合物。絕緣層 12 可以包括任何傳統半導體絕緣材料，例如二氧化矽、氮化矽或其類似物。絕緣層 12 包括一種二氧化矽層和二氧化鈦的薄頂層。在其它的具體實施例中，可以不需要該薄頂層或是可以被取代與五氧化鉭、氧化鎂或其類似物結合使用，尤其是假如該金屬氧化物介電層 14 包括鉛且可能該金屬氧化物層 14 可以在溫度處理期間與絕緣層接觸。同時，該薄鈦層可以於下層電極層 13 形成前形成，倘若該絕緣層不包括二氧化鈦薄層。該鈦層將

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

作為一種絕緣層12和下電極層13之間的黏合層。不用說，層面12-15之材料選擇視裝置型態和將與任何特定層面接觸的層面而定。

為了簡便，假設將形成一種鐵電電容器。特定材料將被命名以助於了解本發明。本發明並非限於那些特定材料。參照圖6，絕緣層12係二氧化矽且下電極13為鉑。金屬氧化物介電層14係PZT且使用傳統方法沈積，如噴鍍沈積法、溶膠塗布或化學蒸氣沈積法。金屬氧化介電層係在溫度約650-700℃之間的氧化環境下退火。對於快速熱處理器而言，退火時間典型上介於約10-300秒之間，而對於傳統的熔爐，則介於約5-30分鐘之間。該氧化環境包括氧且可以包括一種氣體稀釋劑，如氮、氬和其類似物。視金屬氧化物層14的材料和使用之沈積法和層面14的退火時間而定，退火溫度可以介於約500-800℃之間。退火後，上電極15形成並係以鉑製成。

電極層13和15和金屬氧化物層14係使用傳統方法成形。在此具體實施例中，鉑可以經濕性蝕刻或乾性蝕刻。濕性蝕刻可以使用王水溶液或是一種經調整之王水溶液進行。後者是一種水溶液，包括鹽酸(HCl)和硝酸(HNO₃)，且蝕刻溶液為約75℃。該蝕刻溶液包括60-80重量%磷酸H₃PO₄、10-25重量%醋酸(CH₃COOH)、0.1-5重量% HNO₃，其餘為水。此蝕刻溶液商業上取自歐林漢特特殊產品公司(Olin Hunt Specialty Products, Inc.)稱為M2S™。乾性蝕刻可以使用例如鐵銑之方法進行。該金屬氧化物介電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

層 14 可以使用濕性或乾性蝕刻技術成形。濕性蝕刻可以以一種包括氫氟酸、硝酸和過氧化氫之溶液進行。該溶液於蝕刻期間溫度保持於約室溫。關於等離子蝕刻，該蝕刻化學應該包括氧、含氧化合物，例如四氟化碳(CF₄)和其類似物、或含氯化合物，例如四氯化碳(CCl₄)、氯分子(Cl₂)和其類似物。

在此具體實施例中，第一掩蔽層(未示出)係形成於上電極層上 15。上電極層係使用鐵銑成形，使得二個層的邊緣彼此相當一致以形成成形層。鐵銑步驟後，將第一掩蔽層移除。成型之金屬氧化物和上電極層 14 和 15 係於圖 7 中表示。一些下電極層 13 可以在鐵銑期間蝕刻，但未於圖 7 中表示。第二掩蔽層(未示出)係於電極層 13 和 15 上形成。下電極層 13 係以用於鉑之任何濕性或乾性蝕刻技術成形。下電極層成形後，將第二掩蔽層移除。圖 8 表示此方法中在此點的裝置。下電極層 13 延伸過層面 14 和 15 的部份允許相當接觸以達到下電極層 13。

開口 41 形成延伸通過層面 12-15 到達電路元件 11，如圖 9 所示。第三掩蔽層(未示出)形成於上電極層 15 上，其中到達電路元件 11 之開口 41 將形成。開口 41 可以藉由鐵銑磨透層面 13-15 而形成，然後等離子蝕刻絕緣層 12。鐵銑允許層面 13-15 成形而保持鄰近開口的層面邊緣互相相當一致。鐵銑可以部份伸入絕緣層 12。絕緣層等離子蝕刻經常提供一種對於電路元件 11 能夠以鐵銑達到之蝕刻更具選擇性的蝕刻。同時，等離子蝕刻經常不會像鐵銑般快速腐蝕

五、發明說明 ()

第三掩蔽層。假如第三掩蔽層厚度足以承受層面12-15的鐵銹，開口41可以完全由鐵銹形成。其它傳統蝕刻法可以用以形成開口41，例如濕性蝕刻或其它蝕刻技術。形成開口41後，將第三掩蔽層移除。

絕緣隔板51和52係沿著層面12-15的暴露邊緣形成，如圖10所示。絕緣隔板51的材料選擇視金屬介電層14使用之材料和絕緣隔板51接著接受的溫度循環而定。在此具體實施例中，金屬氧化物層14包括鉛（來自PZT），其可以與含矽絕緣材料反應，假如該裝置暴露於溫度高於約500℃。所以，絕緣隔板51可以包括二氧化鈦（ TiO_2 ）、五氧化鉬（ Ta_2O_5 ）、氧化鎂（ MgO ）或其類似物。

一種形成隔板51和52的方法可以是：1)沈積鈦並熱氧化以形成二氧化鈦，2)使用含氟等離子各向異性蝕刻該二氧化鈦。或者，隔板51和52可以藉由反應性噴鍍或化學蒸氣沈積，接著各向異性蝕刻沈積 TiO_2 或 Ta_2O_5 形成。倘若金屬氧化物介電層不含鉛或未暴露於高於500℃之溫度，含矽材料可以用於隔板51和52。不用說，許多不同的材料、沈積和蝕刻方法可以使用。通常，用於絕緣隔板51和52的沈積應該一致，雖然這並非必要條件。用於絕緣隔板51和52的絕緣材料係沈積至厚度約100-3000埃之間。至少一些絕緣材料應該沿著層面13和14的暴露邊緣沈積。形成隔板51和52的蝕刻主要應該是各向異性的。該蝕刻可以包括一些各向同性蝕刻，但再次強調，至少一些絕緣隔板51必需位於層面13和14旁邊。當完成形成絕緣隔板51，隔板51必

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明()

需是厚度足以避免接著形成於開口41內之導電構件和下層電極層13或金屬氧化物介電層14任一個之間的電連接。

導電構件61將電路元件電連接於上電極層15，如圖11中所示。導電構件61可以包括矽、金屬或是含金屬化合物。通常，導電層是以傳統方法沈積，例如化學蒸氣沈積法、噴鍍沈積法和其類似方法。第四掩蔽層(未示出)形成於導電層上，其中將形成導電構件61。導電層暴露的部份係經蝕刻從導電構件61移除。導電構件61形成後，將第四掩蔽層移除。聚矽、鎢或氮化鈦可以一致地形成並成形，以便形成導電構件61。或者，能夠沈積任何導電材料並成形，而沿著可以使用之絕緣隔板51的側邊留下至少一些導電材料。

導電構件可以包括一個部份以上。例如可以形成一種包括鎢、聚矽或其類似物之導電插塞，其完全填滿開口41。可以形成一種區域互連，其連接導電插塞和上電極層15。假使如此，導電插塞和該區域互連的結合作用形成導電構件61。

一種相當完整的裝置係於圖12中表示。第二絕緣層71係形成於基片10上，包括導電構件61。開口和導電插塞72接著於第二絕緣層71內形成，其造成電連接於下層電極層13。形成一種互連73和鈍化層74。其它層面和電連接(未示出)。其它層面和電連接(未示出)可以視需要形成。

此具體實施例有許多優點。該電容器和與電路元件的連接不具有先前技藝之帶狀，其佔據重要的基片面積。導電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

構件 61 係在大部份高溫處理完成後形成。在一種先前技藝疊層電容器中，介於電路元件和下層電極間之導電構件係於其金屬氧化物介電層退火前形成。先前技藝疊層電容器在退火期間可能與鄰近層或氧化環境之間有不利的交互作用，例如反應、變形、熔化、擴散和其類似。在本發明上述的具體實施例中，導電構件 61 係在金屬氧化物介電層的退火步驟後形成。因此，在退火期間導電構件 61 和鄰近層或氧化環境不會有任何不利的交互作用。倘若導電構件 61 係一種導電金屬氧化物或能夠形成導電的金屬氧化物的金屬，該裝置可以在導電構件 61 形成後接受氧化環境。另一個優點在於形成該裝置的簡便性。方法整合公布預期不至於困難。

形成金屬氧化物介電電容器所有可能選項的完整表將難以編纂。許多選項先前已經指出。形成任何部份開口 41 前層面 13-15 的成形可以採取許多型式。層面 13-15 可以每一個分開成形，層面 14 可以和層面 13 或 15 一起成形，或是三個層面可以在一個步驟中成形。同時，開口 41 外面層面 13-15 的成形可以在導電構件形成後進行。形成絕緣隔板 51 和 52 之絕緣叢可以使用不同方法形成。該絕緣層可以化學沈積或噴鍍沈積（具反應性或其它）。如同該具體實施例中所述，絕緣隔板 51 和 52 的絕緣層可以藉由沈積一種材料，接著將其氧化形成一種絕緣層而形成。形成絕緣隔板的氧化作用可以在隔板形成後進行。假設如此，電路元件 11 必需能夠經得起熱氧化作用循環，不會在電路元件 11 和

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

接下來形成的導電元件61間形成一種絕緣層。倘若隔板材料係在電路元件11暴露後才氧化形成隔板51和52，電路元件11不應該形成一種絕緣體。雖然既定特定厚度，但是可以使用其它厚度而不遠離本發明的精義或範圍。所列出的選項係說明，並非限定。

NVRAM單元

本發明對於與NVRAM單元結合特別有用。圖13和14包括一種NVRAM單元100，其具有一個電晶體103和一個鐵電電容器105。圖13係NVRAM單元100的平面圖，圖14係NVRAM單元100的橫切面圖。互連101係作為一種數位線路，且其長度通常延伸於圖13的左手邊和右手邊。為了更清楚地顯示NVRAM單元100的底層元件，部份互連101並未在圖13中示出。導電插塞1011將互連101電連接於第一摻雜區109，係作為電晶體103的源/汲極區。電晶體103更包括導電構件102，係作為NVRAM單元100的字語線語，第二摻雜區(圖13中未示出)係作為電晶體103的其它源/汲極區，並位於鐵電電容器105下。鐵電電容器105包括作為NVRAM單元100傳動線路之下電極層106、作為鐵電介電之金屬氧化物介電層(圖13中未示出)、和上電極層107。導電構件117將上電極層107經由開口104電連接於電晶體103的第二摻雜區。導電構件117並未電連接於下電極層106或鐵電電容器105之金屬氧化物介電層。圖13包括範圍隔離區108，其定義電晶體103的活性面積。

圖14包括一部份NVRAM單元100的橫切面圖，如圖13中所

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

示。橫切面敘述通常依循單元元件形成的順序。NVRAM單元100係於區域110上形成。區域110可以是一種n型基片(未示出)中的p井狀區，或是具有較高摻雜濃度之p型區，p型區位於p型基片中(未示出)。範圍隔離區108係使用傳統區域隔離處理程序形成，例如矽區部氧化作用(LOCOS)法。形成門脈介電層113和導電構件102。門脈介電層可以由熱氧化作用或是化學蒸氣沈積法形成。導電層係藉由沈積一種導電性或是能夠以摻雜而導電的層面而形成，例如聚矽、非晶形矽和其類似物。門脈介電和導電層係經成形以形成圖14中所示之門脈結構，包括介電層113和導電構件102。形成門脈結構後，摻雜區109和112於半導體基片內形成，其經由1)以一種n型摻雜物輕微摻雜基片的暴露部份，2)形成側邊隔板1031鄰近該門脈結構，和3)以n型摻雜物大量摻雜基片的暴露部份。此時在該方法中電晶體103已經形成，並包括摻雜區109和112、門脈介電層113、導電構件102和槽區。該槽區係基片的一部份，位於摻雜區109和112之間並直接在門脈介電層113之下。

方法順序的下一個部份係用以形成鐵電電容器105。在基片110和電晶體103上形成第一絕緣層114。使用具體實施例所述和在標題為“金屬氧化物電容器”之章節中所述之形成並成形層面13-15結合，形成上電極層107並成形。鐵電電容器需要該金屬氧化物層115作為鐵電介電物。因此，該金屬氧化物介電層115可以包括BST、PZT、摻雜鐳之PZT或其類似物。同時，下電極層106係作為NVRAM單元

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

100的傳動線路。下電極層106必需分別從上電極層107成型。金屬氧化物層115可以在電極層106或107成型的相同步驟期間成型，或是分開成型。其它方面，可以使用許多前面具體實施例中所述可用於製成電容器之電極06和107材料選項，以形成鐵電電容器105。一種使用類似先前所述之氧化環境的退火係在金屬氧化物層115沈積後的任何時間進行。同時，其它退火可以在形成導電構件117前在處理順序的各點提供，雖然這並不必要。

處理順序的下一部份係將鐵電電容器105的上電極層107與電晶體103的第二摻雜區112電連接。開口104係通過層面107，115，106和114到達第二摻雜區112。絕緣隔板116係形成於開口104內，絕緣隔板1051係形成於鄰近層面107，115和106，位於開口104外。倘若絕緣隔板116和1051暴露於溫度高於約500℃，該絕緣隔板不應該包括含矽化合物。該絕緣隔板116和1051可以包括二氧化鈦、五氧化鉬、氧化鎂或其類似物。形成絕緣隔板116和1051後，形成導電構件117。在章節標題為“金屬氧化物電容器”中所討論關於形成開口41、絕緣隔板51和52、和導電構件61的材料和處理選項應用於開口104、絕緣隔板116和1051及導電構件117之相當元件，延伸該選項並不與此段落中所討論之內容相抵觸。

第二絕緣層118係形成於導電構件117和第一絕緣層114上。接觸開口形成，其延伸通過第一和第二絕緣層114和118到達第一摻雜區109。導電插塞1011填滿該接觸開口。

五、發明說明()

互連101係形成於導電插塞1011上。非活性層119係形成於包括互連101之裝置上，形成一種相當完整的裝置。互連101延伸橫過NVRAM的整個長度，並如同圖14中所說明。其它層面和電連接(未示出)可以視需要形成。

NVRAM單元100較前述技藝NVRAM單元90具有許多優點。互連91和94導致單元90體積非常大。為了確保是一種可靠的方法，接觸開口和互連程度二者皆需要最小的空間要求。單元大小典型上並未被電容器面積所限制，所以即使不需要大的電容器面積，亦可以使用大的電容器面積。因此，對於一種四微米最小的特點大小，單元90可以佔據約840平方微米的面積，並具有電容器面積約200平方微米。不像前述技藝單元，NVRAM單元100具有一種單元面積，其經測定大於與接觸或互連間隔相對之電容器面積。使用與前述技藝單元類似之設計規則，NVRAM單元100佔據面積約320平方微米，並具有電容器面積約110平方微米。雖然NVRAM單元100約為前述技藝單元90的三倍小，但是當使用類似的設計規則時，本發明之NVRAM單元應該至少為前述技藝之帶狀單元的二倍小。

本發明亦具有過於一種疊層電容器NVRAM單元的優點。一種導電構件，其將電晶體的源/汲極區連接於疊層NVRAM單元中之鐵電電容器的下層電極層，係在金屬氧化物介電層115退火之前形成，以得到鐵電性質。退火可以導致導電構件氧化或與鄰近該導電構件的層面具有不利的交互作用。本發明之NVRAM單元100直到金屬氧化物層115

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

的所有退火已經進行後才在電晶體103的第二摻雜區112和鐵電電容器105得上電極層107之間形成導電構件。引此，在導電構件117和NVRAM單元100的其它部份之間應該沒有不利的交互作用發生。

NVRAM單元100典型上是儲存器列內之多數單元的一個。該列內之NVRAM單元100典型上四周係由NVRAM單元圍繞。每一邊上的單元具有一種平面圖，係如同圖13中所示之NVRAM單元100的鏡像。互連101係作為NVRAM單元100和圖13之單元左邊和右邊單元的數位線路。

在標題為"金屬氧化物電容器"之章節中所述許多形成的選項應該可以應用於NVRAM單元100。半導體材料的導電型式可以反相。

其它NVRAM單元設計亦可以使用本發明。圖15包括一種NVRAM儲存器列1200的部份，包括由虛線所示之NVRAM單元120。NVRAM單元120包括二個電晶體121和123和二個鐵電電容器122和124，並具有類似圖3所示之單元的電路圖。互連1210和1230係分別作為補充數位線路BL和BL。雖然互連1210和1230完全延伸橫過NVRAM單元120的長度，但是部份互連1210和1230並未於圖15示出，所以能夠更清楚地看到下層元件。互連1210電連接於作為電晶體121源/汲極區之第一摻雜區1211。電晶體121亦包括作為該電晶體121其它源/汲極區之第二摻雜區。導電構件1212係作為電晶體121的門脈電極。互連1230電連接於作為電晶體123之源/汲極區之第三摻雜區。電晶體123亦包括作為

五、發明說明()

電晶體其它源 / 汲極區之第四摻雜區。導電構件 1212 係作為電晶體 123 之門脈電極。導電構件 1212 亦作為 NVRAM 單元 120 的字語線路。電晶體 121 和 123 的活性區係由範圍絕緣區 135 定義。

電容器 122 和 124 包括下電極層 131 和上電極 1340 和 1341。下電極層 131 係作為傳動線路並相當地位於上電極 1340 和 1341 下。開口 1342 延伸通過鐵電電容器 122 到達第二摻雜區 1213，開口 1344 延伸通過鐵電電容器 124 到達第四摻雜區 1233。導電構件 1346 延伸通過開口 1342 並將第二摻雜區 1213 電連接於鐵電電容器 122 的上電極 1340。導電構件 1348 延伸通過開口 1344 並將第四摻雜區 1233 電連接於鐵電電容器 124 的上電極 1341。

圖 16 包括一種具有類似圖 4 中所示之單元電路圖。圖 16 包括平行於一條數位線路長度之部份 NVRAM 單元 140 的橫切面圖。n 井狀 1501 和 p 井狀 1502 位於半導體基片 1500 內。範圍絕緣區 1503 將電晶體 141 和 142 彼此分離。電晶體 141 包括門脈介電層 1511、作為門脈電極之導電構件 1522、和作為電晶體源 / 汲極區之第一和第二摻雜區 1524 和 1525。電晶體 142 包括門脈介電層 1511、作為門脈電極之導電構件 1528、和作為電晶體源 / 汲極區之第三和第四摻雜區 1526 和 1527。門脈電極 1522 係作為一條字語線路 (WL)，門脈電極 1528 係作為補充字語線路 (WL)。隔板 1523 鄰近門脈電極，其係以形成摻雜區 1524-1527 中使用之方法順序形成。第一和第二摻雜區 1524 和 1525 為 P+ 區，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

第三和第四摻雜區 1526 和 1527 為 N+ 區。第一絕緣層 1531 係形成於電晶體 141 和 142 上。

鐵電電容器 143 係形成於第一絕緣層 1531 上。鐵電電容器 143 包括作為 NVRAM 單元 140 之傳動線路之下層電極層 1541、作為鐵電介質之金屬氧化物介電層 1542、和上層電極層 1543。開口 1544 通過上電極層 1543、金屬氧化物介電層 1542、下層電極層 1541 和第一絕緣層 1531 到達第二和第三摻雜區 1525 和 1526。絕緣隔板 1545 係形成於開口 1544 內，絕緣隔板 1547 係形成於開口 1544 外鄰近層面 1541-1543 的位置。導電構件 1546 位於上電極層 1543 上並鄰近開口 1544 內之絕緣隔板 1545。導電構件將第二和第三摻雜區 1525 和 1526 和上電極層 1543 互相電連接。

第二絕緣層 1551 形成於導電構件 1546 和第一絕緣層 1531 上。觸點開口形成暴露第一和第四摻雜區 1524 和 1527 的部份。互連 1552 形成於第二絕緣層 1551 上並於觸點開口內。互連 1552 係作為一種數位線路 (BL)，且分別電連接於電晶體 141 和 142 的第一和第四摻雜區 1524 和 1527。鈍化層 1553 形成於互連 1552 上形成一種相當的成品裝置。其它層和電連接 (未示出) 可以視需要形成。

NVRAM 單元 140 包括另一個 p 槽電晶體、一個 n 槽電晶體、一個電容器和一個不變性數位線路 (BL)，但未於圖 16 中示出。這些其它的組份將類似圖 16 中所示者定向，且通常位置與互連 1552 的長度平行，不是剛好在圖 16 中所示的組份前面，便是剛好在其後面。以此定向，數位線路的長度

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

通常彼此平行，傳動線路的長度通常與數位線路垂直。

NVRAM單元140並未限定於所示或所述之具體實施例。許多前述之其它NVRAM單元可用的選項對於NVRAM單元140亦是可用的。

DRAM單元

本發明可以用於形成一種DRAM單元中之金屬氧化物電容器。圖5包括一種DRAM單元的電路圖。一個DRAM單元具體實施例的橫切面圖外觀上幾乎與圖14之NVRAM單元100相等。應該謹記DRAM單元的電容器在DRAM電極正常的操作溫度範圍上不應該具有鐵電性質。該鐵電電容器105係由高電容率電容器取代，該金屬氧化物層並未經處理至達成在DRAM單元正常的操作溫度範圍上的鐵電性質。該金屬氧化物介電層可以包括任何先前在高電容率章節中所述之材料。雖然需要進行一種退火以形成一種高電容率金屬氧化物介電層，但是不應該進行退火以給予該金屬氧化物介電層鐵電性質。

絕緣隔板116的材料選擇係視用於金屬氧化物介電層的材料和該絕緣隔板將暴露之熱循環而定。倘若該金屬氧化物介電層115包含鉛，且該絕緣隔板116係暴露於高於約500℃的溫度，則絕緣隔板116應該是一種不含矽材料，例如TiO₂、Ta₂O₅、MgO和其它類似物。不然，乾絕緣板可以包括一種含矽材料，例如二氧化矽、氮化矽和其類似物。在上述規範中，已經參考其特定具體實施例敘述本發明。確信可以如同所申請專利範圍般，在不離本發明更廣泛的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

經義或範圍下於其作各種修正和改變。因此，該規格和附圖與其是限制不如用於說明。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要（發明之名稱：半導體裝置及其製

一由電連接於底層電路元件(11, 103, 1525, 1526)之上電極層(15, 107, 1543)所形成具有金屬氧化物介電層(14, 115, 1542)之電容器。該電容器可用於形成DRAM和NVRAM單元的儲存電容器。在形成一種底層電路元件(112, 1525, 1526)後，例如一電晶體(103, 141, 142)的源/汲極區，一種金屬氧化物電容器形成於電路元件上。開口(41, 104, 1544)通過電容器而形成並延伸至電路元件(11, 103, 1525, 1526)。絕緣隔板(51, 116, 1545)形成，以及導電構件(61, 117, 1546)形成，其將電路元件(11, 103, 1525, 1526)電連接於金屬氧化物電容器的上電極層(15, 107, 1543)。揭示包括DRAM和NVRAM單元(100, 140)之裝置和其形成方法。

英文發明摘要（發明之名稱：

A capacitor with a metal-oxide dielectric layer (14, 115, 1542) is formed with an upper electrode layer (15, 107, 1543) that is electrically connected to an underlying circuit element (11, 103, 1525, 1526). The capacitor may be used in forming storage capacitors for DRAM and NVRAM cells. After forming an underlying circuit element (112, 1525, 1526), such as a source/drain region of a transistor (103, 141, 142), a metal-oxide capacitor is formed over the circuit element. An opening (41, 104, 1544) is formed through the capacitor and extends to the circuit element (11, 103, 1525, 1526). An insulating spacer (51, 116, 1545) is formed, and a conductive member (61, 117, 1546) is formed that electrically connects the circuit element (11, 103, 1525, 1526) to the upper electrode layer (15, 107, 1543) of the metal-oxide capacitor. Devices including DRAM and NVRAM cells (100, 140) and methods of forming them are disclosed.

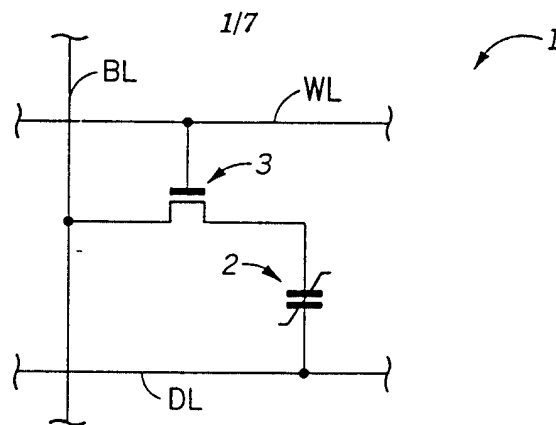


圖 1
-先前技藝-

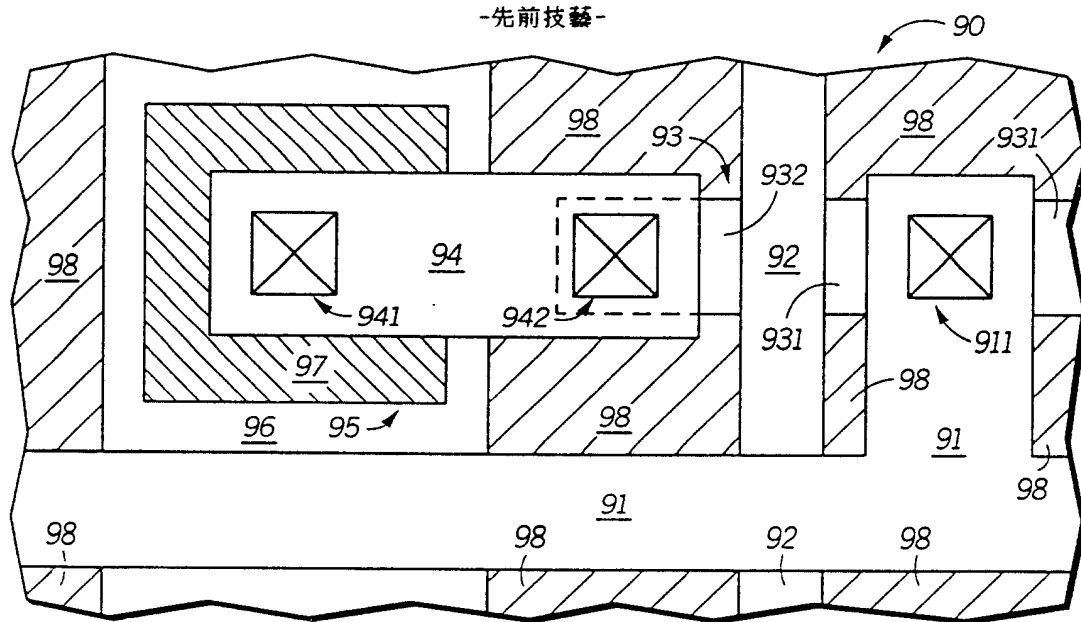


圖 2

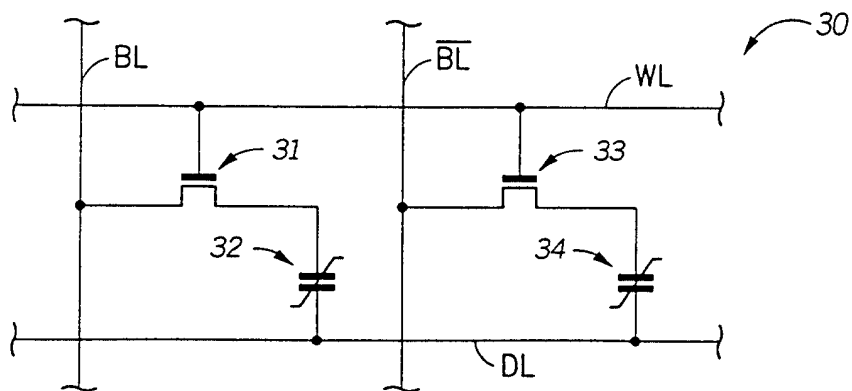


圖 3
-先前技藝-

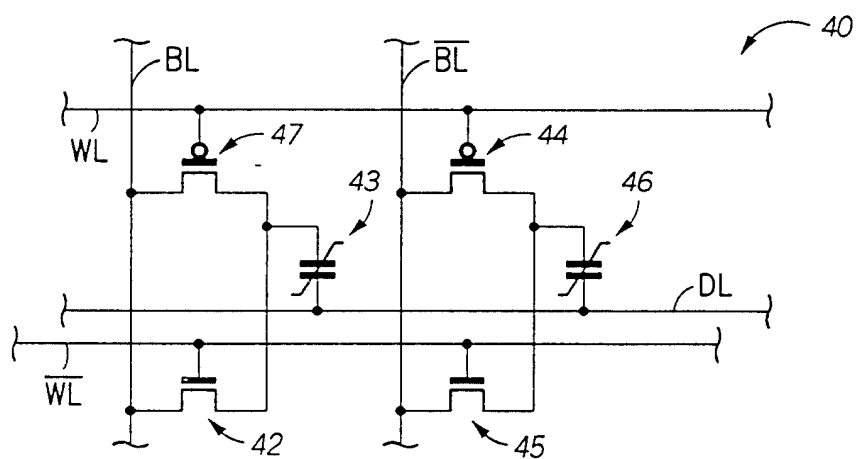


圖 4
-先前技藝-

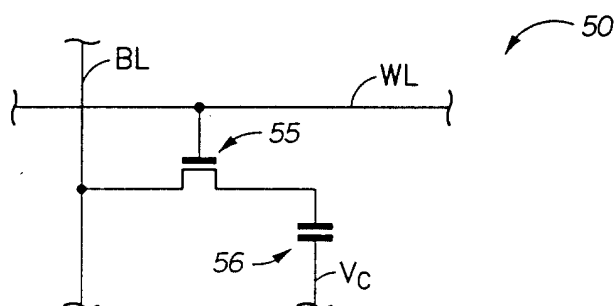


圖 5
-先前技藝-

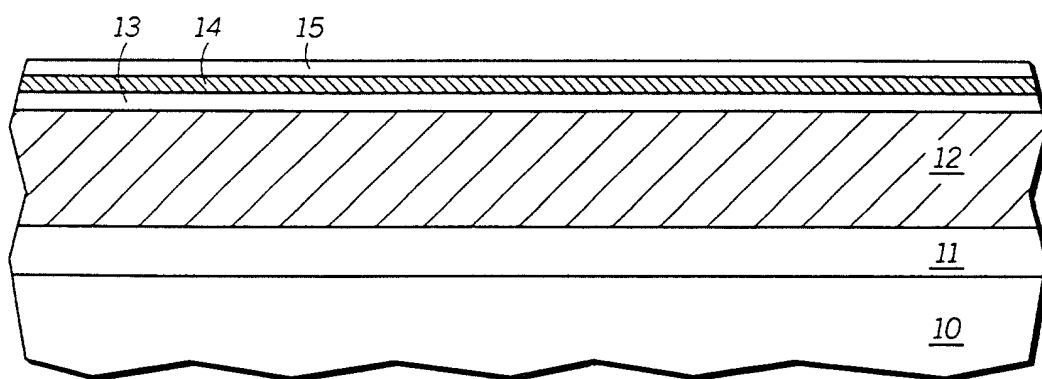


圖 6

3/7

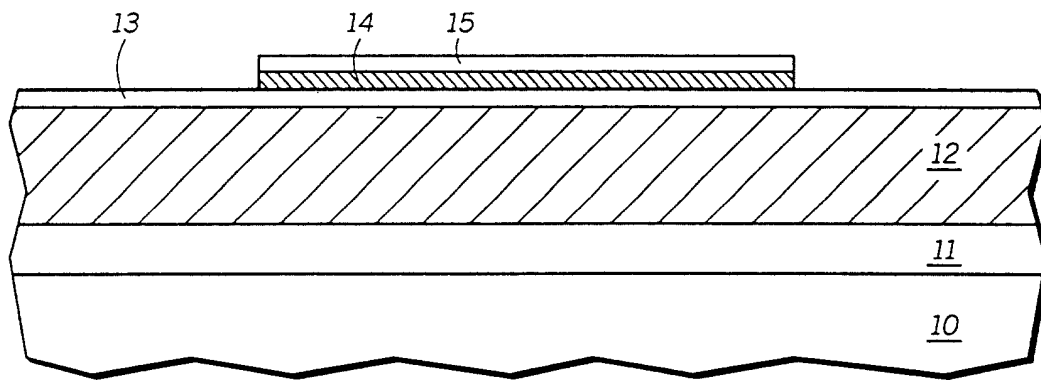


圖 7

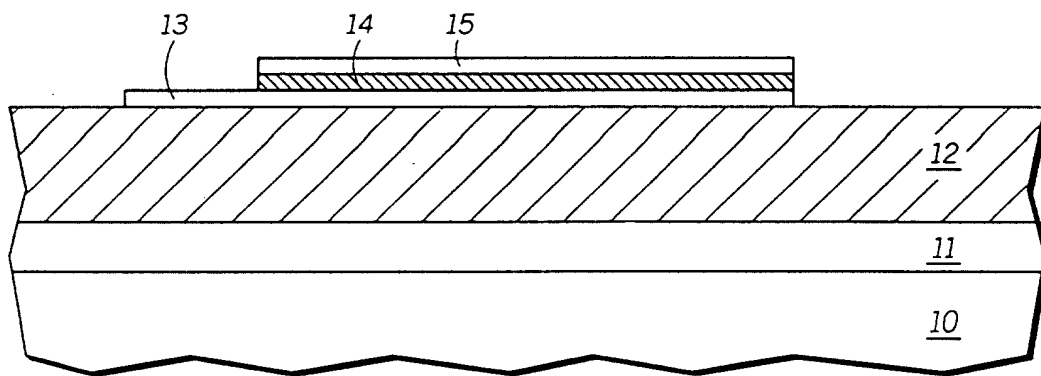


圖 8

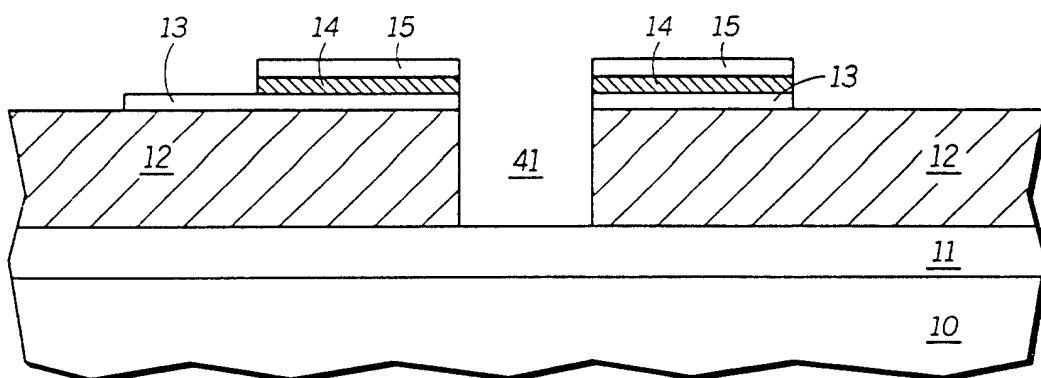


圖 9

4/7

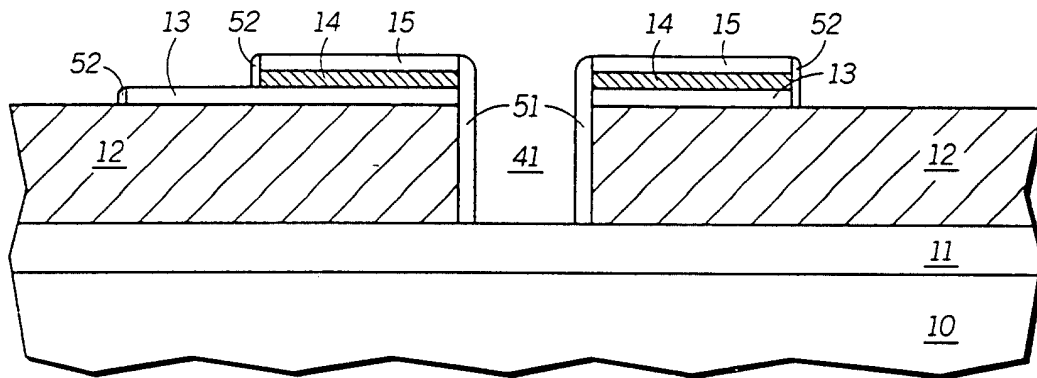


圖 10

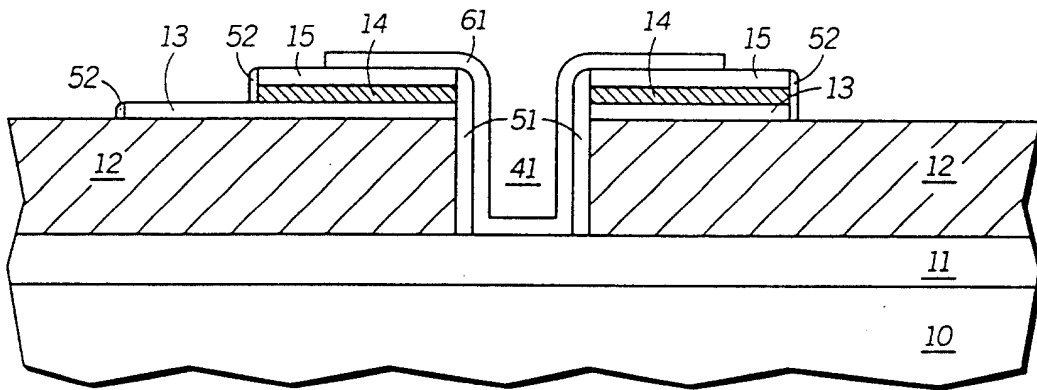


圖 11

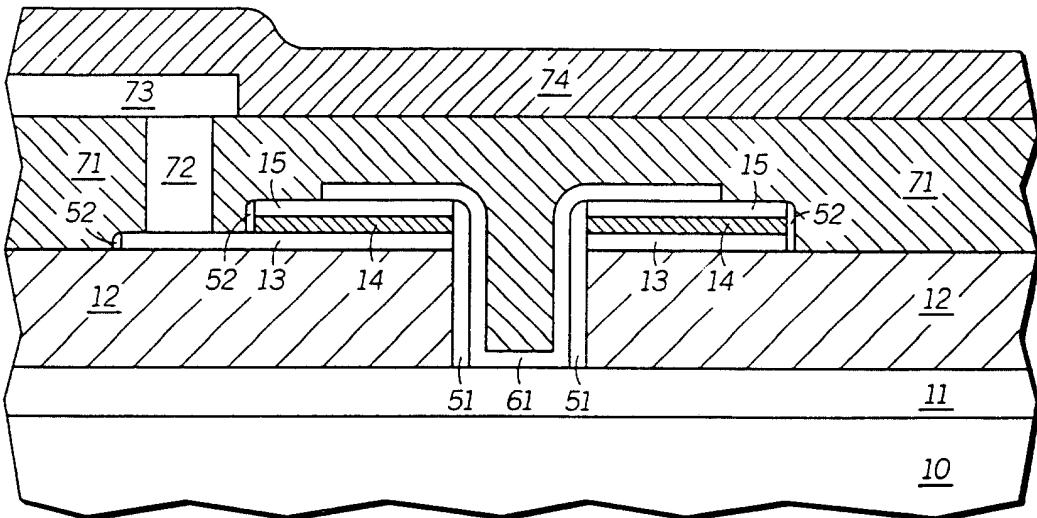
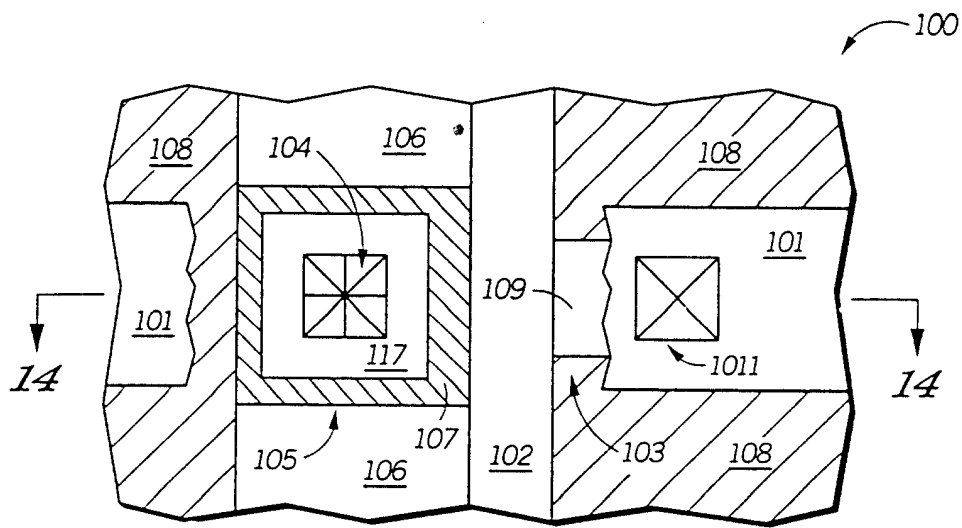
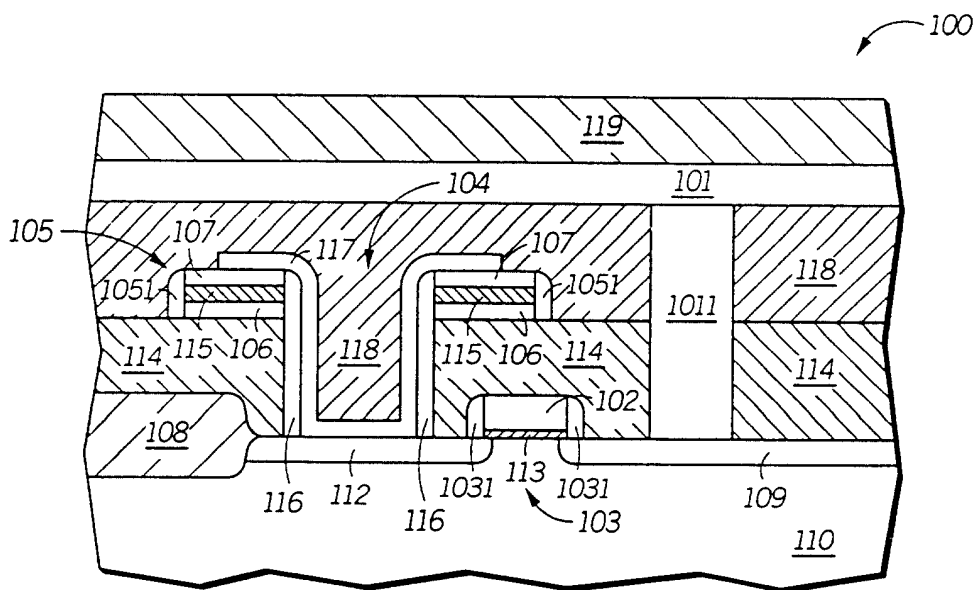


圖 12



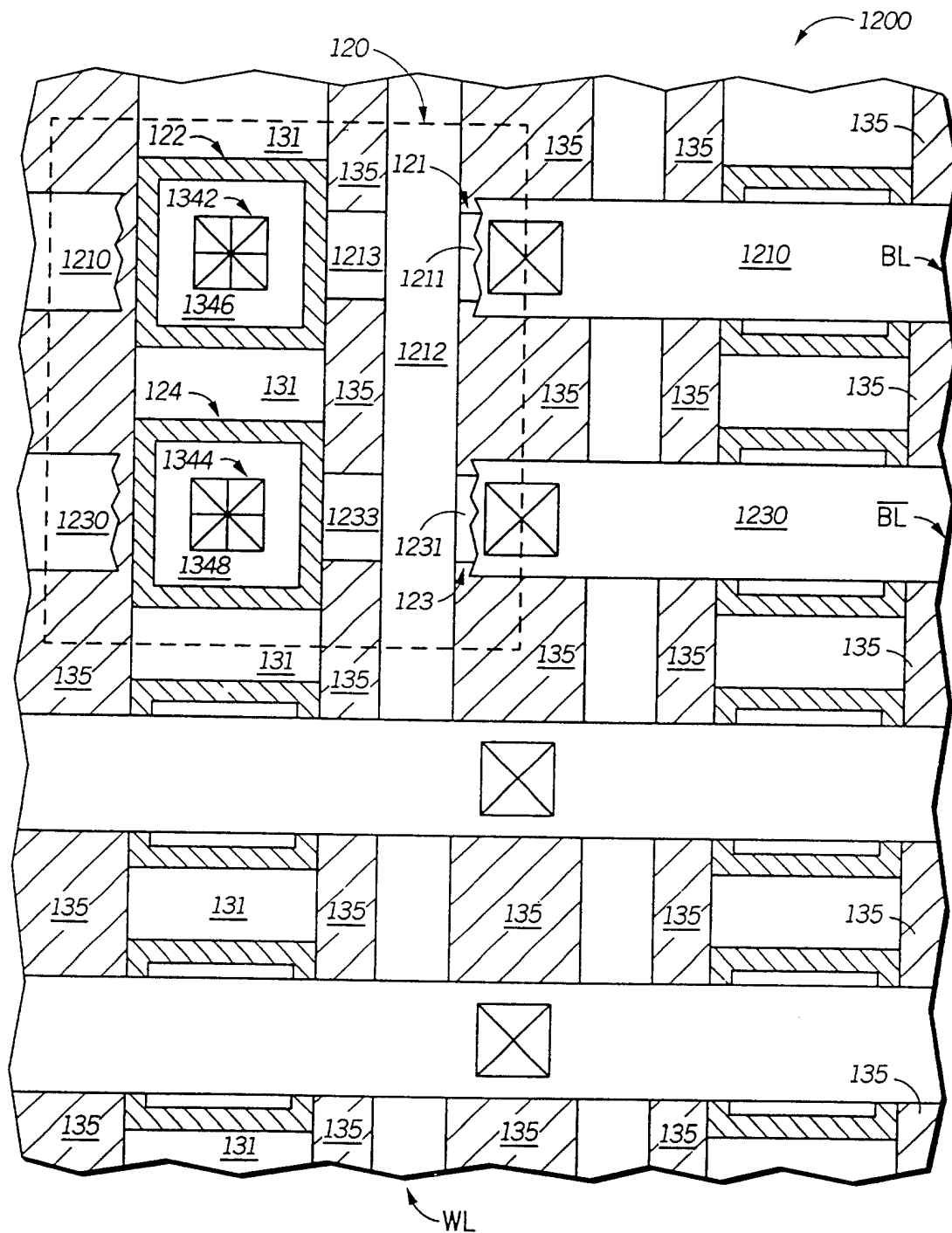
13



14

293181

6/7



15

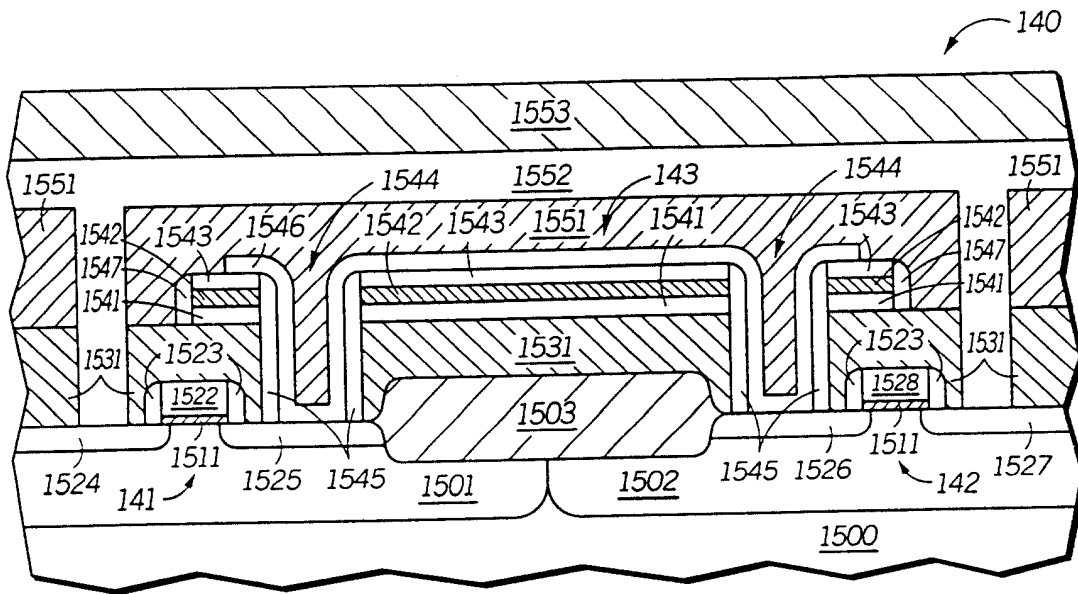


圖 16

公告本

293181

85年4月9日

修正
補充

煩請委員明示，本案修正後是否變更原實質內容

申請日期	83.06.10
案號	83105275
類別	H01L 29/42, 27/108

A4

C4

修正本(85年4月)

(以上各欄由本局填註)

293181

發明專利說明書

一、發明名稱	中文	半導體裝置及其製程
	英文	"SEMICONDUCTOR DEVICE AND PROCESS FOR FORMING THE SAME"
二、發明人	姓名	1. 羅伯·艾德文·鍾士二世 2. 帕普·D·曼奈兒
	國籍	1-2 均美國
三、申請人	住、居所	1. 美國德州奧斯丁市布洛伍路11909號 2. 美國德州奧斯丁市奧林派得路12618號
	姓名 (名稱)	美商摩托勞拉公司
	國籍	美國
	住、居所 (事務所)	美國伊利諾州史堪伯市東阿崗崑路1303號摩托勞拉中心
	代表人 姓名	莫里斯·吉·瓊斯

- 1 -

經濟部中央標準局員工消費合作社印製

裝

訂

線

修正
85年4月9日
補充

A8
B8
C8
D8

六、申請專利範圍

1. 一種半導體裝置之製程，包括如下步驟：
 形成一電路元件；
 形成一電容器於該電路元件之上，其中：
 該電容器包括一第一電極層，一金屬氧化物介電層於該第一電極層之上，及一第二電極層於該介電層之上；
 以及
 形成一導電構件，其電連結該電路元件及該第二電極層，其中該導電構件延伸通過該電容器的該第一電極層及介電層。
2. 一種隨機存取記憶單元之製程，包括如下步驟：
 形成一電晶體，其具有一源／汲極區；
 形成一電容器於該源／汲極區之上，其中：
 該電容器包括一第一電極層，一金屬氧化物介電層於該第一電極層之上，及一第二電極層於該介電層之上；
 以及
 形成一導電構件，其電連結該源／汲極區及該第二電極層，其中，該導電構件延伸通過該電容器之該第一電極層及介電層。
3. 一種半導體裝置，包括：
 一電路元件；
 一電容器，位於該電路元件之上，其中：
 該電容器包括一第一電極層，一金屬氧化物介電層於該第一電極層之上，及一第二電極層於該金屬氧化物介電層之上；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

冰

六、申請專利範圍

該電容器之整個該第一導電層，均位於不高過該電容器之該第二導電層之高度；及

該電容器之整個該第二導電層，均位於不低於該電容器之整個該第一導電層之高度；以及

一導電構件，其電連結該電路元件及該第二電極層，並且該導電構件被構成為延伸通過該電容器之該第一電極層及金屬氧化物介電層。

4. 一種不變性隨機存取記憶單元，包括：

一電晶體，其具有一源／汲極區；

一鐵電電容器，位於該源／汲極區之上，其中：

該鐵電電容器包括一第一電極層，一金屬層氧化物介電層於該第一電極層之上，及一第二電極層於該金屬氧化物介電層之上；以及

一導電構件，其電連結該源／汲極區及該第二電極區，並且該導電構件被構成為延伸通過該鐵電電容器之該第一電極層及金屬氧化物介電層。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

紙