



(12) 发明专利

(10) 授权公告号 CN 101401496 B

(45) 授权公告日 2012. 10. 31

(21) 申请号 200780008806. 3

(22) 申请日 2007. 03. 14

(30) 优先权数据

069892/2006 2006. 03. 14 JP

(85) PCT申请进入国家阶段日

2008. 09. 11

(86) PCT申请的申请数据

PCT/JP2007/055117 2007. 03. 14

(87) PCT申请的公布数据

W02007/105763 JA 2007. 09. 20

(73) 专利权人 夏普株式会社

地址 日本大阪府

(72) 发明人 中滨裕喜 村冈盛司

(74) 专利代理机构 北京尚诚知识产权代理有限公司

公司 11322

代理人 龙淳

(51) Int. Cl.

H05K 3/46 (2006. 01)

H01L 21/60 (2006. 01)

(56) 对比文件

CN 1108024 A, 1995. 09. 06,

CN 1263690 A, 2000. 08. 16,

JP 9321390 A, 1997. 12. 12,

审查员 张弘

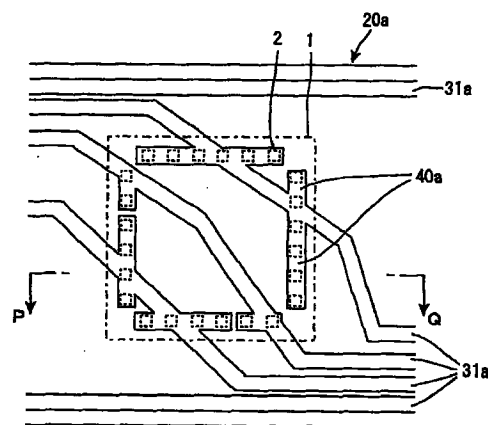
权利要求书 1 页 说明书 17 页 附图 8 页

(54) 发明名称

电路基板、电子电路装置和显示装置

(57) 摘要

本发明提供一种能够抑制边缘短路的发生, 并且能够高密度地配置配线的电路基板、电子电路装置和显示装置。本发明的电路基板, 包括具有安装半导体集成电路的第一主面和第二主面的基板, 在所述第一主面上形成有具有隆起焊盘连接端子的第一配线, 在所述第二主面上形成有第二配线, 所述电路基板的特征在于: 所述第二配线与安装半导体集成电路的区域重叠并相互独立地配置有多条, 所述电路基板在与设置有隆起焊盘连接端子的区域重叠的第二主面内的区域中具备配线部。



1. 一种电路基板,其包括具有安装半导体集成电路的第一主面和第二主面的基板,在该第一主面上形成有具有隆起焊盘连接端子的第一配线,在该第二主面上形成有第二配线,其特征在于:

该第二配线与安装半导体集成电路的区域重叠并相互独立地设置有多条,

该电路基板在与设置有隆起焊盘连接端子的区域重叠的第二主面内的区域中具备配线部,

所述第二配线与所述配线部一体形成,由此,所述配线部与所述第二配线连接,

在所述电路基板中,多个所述第二配线和所述配线部按照在俯视所述电路基板时覆盖全部所述隆起焊盘连接端子的方式形成。

2. 根据权利要求1所述的电路基板,其特征在于:

所述配线部的厚度与第二配线的厚度一致。

3. 根据权利要求1所述的电路基板,其特征在于:

所述隆起焊盘连接端子沿着安装半导体集成电路的区域的边界线配置成多列,

所述电路基板具备通孔,并且最内周的隆起焊盘连接端子与第二配线通过通孔连接。

4. 根据权利要求3所述的电路基板,其特征在于:

所述隆起焊盘连接端子错列状地配置成两列以上。

5. 根据权利要求3所述的电路基板,其特征在于:

所述通孔配置在比最内周的隆起焊盘连接端子更靠内侧。

6. 一种电路基板,其包括具有安装半导体集成电路的第一主面和第二主面的基板,在该第一主面上形成有具有隆起焊盘连接端子的第一配线,在该第二主面上形成有第二配线,其特征在于:

该第二配线与安装半导体集成电路的区域重叠并相互独立地设置有多条,

该电路基板在第二主面侧的配置有隆起焊盘连接端子的区域中具备多个配线部,

在各个配线部之间设置有缝隙,各个配线部的间隔被设定成小于各个隆起焊盘连接端子的间隔,

该多个配线部中的至少一个不与隆起焊盘连接端子重叠。

7. 一种电路基板,其包括具有安装半导体集成电路的第一主面和第二主面的基板,在该第一主面上形成有具有隆起焊盘连接端子的第一配线,在该第二主面上形成有第二配线,其特征在于:

该第二配线与所有的隆起焊盘连接端子重叠配置有多条,

与该隆起焊盘连接端子重复的多条第二配线通过安装半导体集成电路的区域。

8. 一种电子电路装置,其特征在于,包括:

权利要求1~7中任一项所述的电路基板、和隆起焊盘连接在所述隆起焊盘连接端子上的半导体集成电路。

9. 一种显示装置,其特征在于:

包括权利要求8所述的电子电路装置而构成。

电路板、电子电路装置和显示装置

技术领域

[0001] 本发明涉及电路板、电子电路装置和显示装置。更详细地来讲,涉及适合面朝下安装半导体集成电路的电路板以及包括该电路板的电子电路装置和显示装置。

背景技术

[0002] 由于以移动电话为代表的电子设备的高功能化和小型化,基板上的部件安装越来越高密度化。这样,电路基板的配线形成也从单面形成向双面形成、多层形成这样的多层化发展,并且也要求配线的更高密度化。

[0003] 此处,说明在两面尤其是背面高密度地形成有配线的电路基板上安装半导体集成电路(以下也称作“IC 芯片”)的方法。

[0004] 图 13 是表示现有的电路基板的第二主面(背面)侧的结构平面模式图。其中,在图 13 中,虚线和点划线分别表示配置在第一主面(表面)上的隆起焊盘(bump)和 IC 芯片。图 14 是表示在图 13 所示的电路基板上安装 IC 芯片的工序中的现有电路基板的截面模式图,表示热压焊 IC 芯片前的状态。图 14 是图 13 的 XY 线的截面模式图。

[0005] 如图 13 所示,现有的电路板 20g 在安装 IC 芯片的区域(以下也称作“IC 芯片安装区域”)中随意配置有多条第二配线 31g。此外,如图 14 所示,在电路板 20g 的表面形成有具有隆起焊盘连接端子 32 的第一配线 30,在背面形成有第二配线 31g。然后,在电路板 20g 的表面按照隆起焊盘 2 与隆起焊盘连接端子 32 接触的方式安装 IC 芯片 1。此时,在 IC 芯片 1 的上面加热和压焊。这样,IC 芯片 1 被安装在电路板 20g 上,并且,第一配线 30 与 IC 芯片 1 电连接。

[0006] 但是,在这种现有的电路板中,有时会发生 IC 芯片的端部与第一配线出现短路的边缘短路(edge short),要求解决。特别是在 FPC(Flexible Printed Circuit:柔性印制电路)基板等柔性基板中,发生边缘短路的情况更加明显,在这一点上存在改善的余地。

[0007] 在这种状况中,作为有关 IC 芯片与配线的连接结构的发明,存在专利文献 1~3 所示的发明,其中在专利文献 1 中记载的发明中公开有一种形成用于防止 IC 与图案(配线)短路的抗蚀剂(resist)的技术。但是,如果采用该技术,由于在安装 IC 的区域的背面只能设置一条配线,因此无法高密度地设置配线。

[0008] 此外,专利文献 2 和专利文献 3 中记载的发明并非是为了抑制边缘短路的技术,此外,专利文献 3 中记载的发明仅能在 IC 安装部的背面设置一条配线,而且,专利文献 2 中记载的发明也同样,由于在安装部分的背面未设置配线,因此无法高密度地设置配线。

[0009] 于是,现有的电路板在同时实现配线的高密度化和边缘短路的抑制方面,仍然存在改进的余地。

[0010] 专利文献 1:专利第 3026205 号说明书

[0011] 专利文献 2:日本专利特开 2004-193277 号公报

[0012] 专利文献 3:日本专利特开 2004-303803 号公报

发明内容

[0013] 本发明是鉴于上述情况而产生,其目的在于提供一种能够抑制边缘短路的发生,并且能够高密度地配置配线的电路基板、电子电路装置和显示装置。

[0014] 本发明的发明人们对能够抑制边缘短路的发生,且能够高密度配置配线的电路基板、电子电路装置和显示装置进行了各种研究后,着眼于电路基板的与安装 IC 芯片的面相反一侧的面中的配线的方式。并且发现在现有的电路基板中如以下所述会发生边缘短路。即,如图 13 所示,第二配线 31g 通常不是与所有的隆起焊盘 2g 重叠配置,在图 13 中,如以虚线包围的隆起焊盘那样,在背面存在未配置第二配线 31g 的隆起焊盘 2g。因此,如图 14 所示,在 IC 芯片安装工序中,因第二配线 31g 的厚度(5 ~ 30 μm 左右),结果导致在与未配置第二配线 31g 的隆起焊盘 2g 重叠的区域的压焊装置台 51 和覆盖层薄膜 6 之间出现间隙 50。然后,如果在 IC 芯片热压焊时按压电路基板 20g,则如图 15 所示,由于存在间隙 50,因此未配置第二配线 31g 的隆起焊盘 2g 的周围的电路基板 20a 隆起。结果发现,IC 芯片的端部 52 与第一配线 30 直接接触,或者通过各向异性导电膜(ACF:Anisotropic Conductive Film)中所包含的导电粒子而接触,于是发生边缘短路。

[0015] 因此,本发明的发明人们进一步进行研究后发现,第二配线与安装半导体集成电路的区域重叠并相互独立地配置有多条,并且电路基板在与设置有隆起焊盘连接端子的区域重叠的第二主面内的区域中具备配线部,由此能够抑制边缘短路的发生,并且能够高密度地配置配线,从而想到能够很好地解决上述课题,最终完成本发明。

[0016] 即,本发明是一种电路基板(以下也称作“本发明的第一电路基板”),其包括具有安装半导体集成电路的第一主面和第二主面的基板,在上述第一主面上形成有具有隆起焊盘连接端子的第一配线,在上述第二主面上形成有第二配线,其中,上述第二配线与安装半导体集成电路的区域重叠并相互独立地配置有多条,上述电路基板在与设置有隆起焊盘连接端子的区域重叠的第二主面内的区域中具备配线部。

[0017] 以下详细记述本发明的第一电路基板。

[0018] 本发明的第一电路基板包括具有安装半导体集成电路的第一主面和第二主面的基板,在上述第一主面上形成有具有隆起焊盘连接端子的第一配线,在上述第二主面上形成有第二配线。这样,本发明的第一电路基板是安装 IC 芯片的两面基板或者多层基板。作为 IC 芯片的安装方法并没有特别限定,通常采用 COF(Chip On Film:薄膜上芯片)方式进行裸芯安装。

[0019] 本发明的第一电路基板也可以是形成有多层配线的多层基板,在此情况下,第一主面是第一层的表面,第二主面是第二层的表面(第一层与第二层的边界面)。因此,在此情况下,第一配线作为第一层配线起作用,第二配线作为第二层配线起作用。再者,第一层表示安装 IC 芯片的层,通常是最表面的层。随着远离第一层,依次规定各层为第二层、第三层。此外,在本发明的电路基板是多层基板的情况下,第三层以后各层的方式并无特别限定,适当地设定即可。

[0020] 上述隆起焊盘连接端子是用于对第一配线与 IC 芯片的隆起焊盘进行电连接的端子。因此,隆起焊盘连接端子通常具有与 IC 芯片的隆起焊盘的配置方式大致相同的配置方式。从简化制造工艺的观点来看,优选隆起焊盘连接端子与第一配线一体形成。即,第一配线优选包括隆起焊盘连接端子而构成。再者,隆起焊盘是用于连接 IC 芯片与外部电路而设

置在 IC 芯片上的突起状的电极。

[0021] 上述第二配线与安装半导体集成电路的区域重叠并相互独立地配置有多条。多条第二配线在 IC 芯片安装区域中重叠设置是指,当从第一或者第二主面侧俯视电路基板时(以下也简称“俯视电路基板时”),在 IC 芯片安装区域中存在多条第二配线。此外,多条第二配线相互独立配置是指,在 IC 芯片安装区域内多条第二配线按照并不相互电连接的方式配置。这样,在本发明的第一电路基板中,能够在电路基板上高密度地配置配线。多条第二配线间的间隔并无特别限定,但是,从在多条第二配线间抑制发生短路的观点来看,在 IC 芯片安装区域中优选为 $10\mu\text{m}$ 以上,更加优选 $20\mu\text{m}$ 以上。再者,如果多条第二配线间的间隔为 $10\mu\text{m}$ 以下,则在采用湿蚀刻形成第二配线的情况下,存在有在第二配线间发生配线残留(蚀刻不充分,导致在配线间剩余配线材料的现象)的情况。结果在第二配线间发生短路。

[0022] 而且,与 IC 芯片安装区域重叠配置的多条第二配线不需要是形成在第二主面上的所有的第二配线。因此,在第二主面上形成的所有第二配线中,按照所希望的设计,适当地与 IC 芯片安装区域重叠配置多条第二配线即可。此外,多条第二配线在 IC 芯片安装区域外,既可以相互连接,也可以不连接。

[0023] 上述电路基板在与设置有隆起焊盘连接端子的区域重叠的第二主面内的区域中具备配线部。即,上述电路基板在安装 IC 芯片时,在与配置隆起焊盘的区域重叠的第二主面内的区域中具备配线部。在 IC 芯片安装工序中,配线部具有掩埋在与隆起焊盘重叠的区域的电路基板与压焊装置台之间产生的间隙的功能。由此,在本发明的第一电路基板中,能够抑制边缘短路的发生。这样,上述配线部优选按照在俯视上述电路基板时覆盖多个上述隆起焊盘连接端子(与上述隆起焊盘连接端子的多个对应的区域)的方式形成。

[0024] 此外,在与设置有隆起焊盘连接端子的区域的一部分重叠配置第二配线的情况下,对设置有隆起焊盘连接端子的区域的未配置第二配线的区域配置配线部即可,优选配线部与第二配线不重叠。此外,配线部既可以配置在与设置有隆起焊盘连接端子的区域重叠的第二主面内的所有区域中,也可以不配置。但是,从更加有效地抑制边缘短路的发生的观点来看,优选上述电路基板在与设置有隆起焊盘连接端子的区域重叠的第二主面内的实际上所有区域中具备配线部。即,优选上述电路基板在安装 IC 芯片时在与配置隆起焊盘的区域重叠的第二主面内的实际上所有区域中具备配线部。因此,从这种观点来看,优选上述电路基板在俯视上述电路基板时按照覆盖上述全部隆起焊盘连接端子(与上述多个隆起焊盘连接端子对应的所有区域)的方式形成上述多个第二配线和上述配线部。此外,从同样的观点出发,也可以是以下方式:上述第二配线按照俯视上述电路基板时不与上述隆起焊盘连接端子(与上述多个隆起焊盘连接端子对应的区域)重叠的方式形成,上述配线部按照俯视上述电路基板时覆盖上述全部隆起焊盘连接端子(与上述多个隆起焊盘连接端子对应的所有区域)的方式形成。

[0025] 作为本发明的第一电路基板的结构,只要这些结构要素作为必须而形成,则既可以包括也可以不包括其他结构要素,并没有特别限定。

[0026] 如以上说明,在本发明的第一电路基板中,在安装半导体集成电路的区域中任意配置多个第二配线,并且,在配置有第二配线的区域以外的 IC 芯片安装工序中,按照覆盖各个隆起焊盘所按压部分的方式形成配线部,由此能够高密度地形成配线,并且能够使得

IC 芯片安装工序中作用在各个隆起焊盘上的压力的均衡性良好,结果能够抑制边缘短路的发生。这样,本发明的第一电路基板也可以是以下这种电路基板:其包括具有安装半导体集成电路的第一主面和第二主面的基板,上述电路基板在上述第一主面侧具有:在安装上述半导体集成电路的区域所形成的多个隆起焊盘连接端子、和分别与上述多个隆起焊盘连接端子连接的多个第一配线,并且在上述第二主面侧具有:按照俯视上述电路基板时(相互分离地)通过安装上述半导体集成电路的区域的方式形成的多个第二配线、和配线部,上述配线部按照俯视上述电路基板时覆盖上述多个隆起焊盘连接端子(与上述多个隆起焊盘连接端子对应的区域)的方式形成。

[0027] 下面,对本发明的第一电路基板的优选方式进行详细的说明。

[0028] 上述配线部的形状并无特别限定,但为了充分发挥本发明的效果,优选配线部的厚度与第二配线的厚度一致。这样,优选配线部具有与第二配线相同或者大致相同的厚度。此外,优选配线部采用与第二配线相同或者大致相同的材质构成,由此能够用同一工艺简便地形成具有相互一致厚度的配线部和第二配线。其中,在本说明书中,某部件具有与其他部件大致相同的厚度是指,在用与其他部件相同的工艺形成某部件的情况下,某部件以能够实现的程度具有相同厚度即可,此外,在某部件的厚度与其它部件的厚度之间,也可存在即使按照相同的工艺形成它们也会产生的程度的差。这样,配线部与第二配线的厚度的差,更为具体地来讲,优选为 $6\mu\text{m}$ 以下,更加优选 $3\mu\text{m}$ 以下。这样就能充分发挥本发明的作用效果。

[0029] 作为上述配线部的方式,优选(1)与第二配线连接的方式,(2)与第二配线独立的伪配线的方式。其中,与第二配线独立的伪配线是指不与第二配线电连接的伪配线。此外,伪配线是指未与外部电路连接的电绝缘状态的配线。根据上述(1)的方式,能够更加有效地抑制边缘短路的发生。在上述(1)的方式中,连接第二配线与配线部的方法并无特别限定,优选第二配线与配线部一体形成的方式,这样就能容易地实现上述(1)的方式。

[0030] 根据上述(2)的方式,能够抑制通过配线部在多条第二配线间发生短路。在上述(2)的方式中,从有效抑制边缘短路的发生的观点来看,优选配线部与第二配线的间隔在各个隆起焊盘连接端子间的间隔以下,此外,优选配线部与第二配线的间隔为安装有 IC 时的隆起焊盘的间隔以下。更为具体地来讲,在上述(2)的方式中,配线部与第二配线的间隔优选为 $50\mu\text{m}$ 以下,更加优选 $30\mu\text{m}$ 以下。再者,在本发明的第一电路基板中,也可以是一部分(几个)配线部与第二配线连接,其余的配线部不与任意一个第二配线连接的方式。

[0031] 上述隆起焊盘连接端子的方式可根据安装的 IC 芯片的隆起焊盘而适当地进行设计,在本发明的第一电路基板中,优选上述隆起焊盘连接端子沿着安装半导体集成电路的区域的边界线配置成多列,上述电路基板具备通孔,并且最内周的隆起焊盘连接端子与第二配线通过通孔连接的方式(以下也称作“第一方式”)。这样,由于能够实现配线的更加高密度化,因此能够在本发明的电路基板上安装更加小型的 IC 芯片。其中,作为通孔的方式,只要能够连接第一主面上的隆起焊盘连接端子与第二主面上的第二配线即可,并没有特别限定,但是优选在设置在基板上的开口中填充有导电性物质的方式、在设置在基板上的开口的内壁面上形成有导电性物质的方式。作为开口的方式并无特别限定,可以列举圆柱、椭圆柱、长方体等。

[0032] 在上述第一方式中,优选(a)隆起焊盘连接端子以错列状配置成两列以上的方

式、(b) 通孔配置在比最内周的隆起焊盘连接端子更靠内侧的方式。根据上述 (a) 的方式, 由于隆起焊盘连接端子以错列状即相互错开的方式配置成两列以上, 因此能够抑制在内侧的隆起焊盘连接端子与外侧的隆起焊盘连接端子之间发生短路等不良状况。此外, 不仅能够抑制在内侧的隆起焊盘连接端子与外侧的隆起焊盘连接端子之间发生短路, 同时能够更加高密度地配置隆起焊盘连接端子。根据上述 (b) 的方式, 能够防止高密度配置的第一配线与通孔的短路, 同时能够充分确保通孔的空间。

[0033] 本发明还是一种电路基板 (以下也称作“本发明的第二电路基板”), 其包括具有安装半导体集成电路的第一主面和第二主面的基板, 在上述第一主面上形成有具有隆起焊盘连接端子的第一配线, 在上述第二主面上形成有第二配线, 其中, 上述第二配线与安装半导体集成电路的区域重叠并相互独立地配置有多条, 上述电路基板在第二主面侧的配置有隆起焊盘连接端子的区域中具备配线部, 上述配线部按照各个隆起焊盘端子的间隔以下的间隔配置有多个。

[0034] 下面, 详细记述本发明的第二电路基板。其中, 本发明的第二电路基板与本发明的第一电路基板仅配线部的方式不同, 因此, 对于重复的结构要素省略其说明。

[0035] 在本发明的第二电路基板中, 上述电路基板在第二主面侧的配置有隆起焊盘连接端子的区域中具备配线部。即, 上述电路基板在安装有 IC 芯片时, 在第二主面侧的配置有隆起焊盘的区域中具备配线部。于是, 配线部通常沿着 IC 芯片安装区域的边界线配置。

[0036] 在本发明的第二电路基板中, 上述配线部按照各个隆起焊盘连接端子的间隔以下的间隔配置有多个。这样, 由于基板通常具有一定的韧度, 因此, 在本发明的第二电路基板中, 能够抑制边缘短路的发生。其中, 在本说明书中, 间隔是指相邻的两个物体间的最短距离, 即存在于相邻的两个物体间的空间 (间隙) 的最短长度。此外, 在安装具有由 Au 电镀等构成的形状为直线状的电镀隆起焊盘 (所谓的直线电镀隆起焊盘) 的 IC 芯片的情况下, 由于隆起焊盘的精密间距化成为可能, 因此, 通常各个隆起焊盘连接端子的间隔比安装在电路基板上的 IC 芯片的各个隆起焊盘的间隔大。因此, 从进一步抑制边缘短路的发生的观点来看, 优选上述配线部在安装有 IC 芯片时以各个隆起焊盘的间隔以下的间隔配置有多个。另一方面, 在安装具有柱头 (stud) 隆起焊盘的 IC 芯片的情况下, 通常各个隆起焊盘连接端子的间隔比安装在电路基板上的 IC 芯片的各个隆起焊盘的间隔小。因此, 在此情况下, 如上所述, 配线部按照各个隆起焊盘连接端子的间隔以下的间隔配置有多个, 由此能够更加充分地抑制边缘短路的发生。再者, 柱头隆起焊盘例如可以通过以下方法形成: 放电熔融 Au 导线的前端, 形成球状的 Au, 利用热和超声波将其焊接在 IC 焊盘 (pad) 上以后将导线切断。此外, 柱头隆起焊盘也可通过调平 (levelling) 使隆起焊盘的高度一致。这样, 上述配线部优选按照俯视上述电路基板时, 在覆盖多个上述隆起焊盘连接端子 (与上述隆起焊盘连接端子的多个对应的区域) 的区域中按照各个隆起焊盘连接端子间的间隔以下的间隔配置。

[0037] 作为上述配线部的方式虽然并无特别限定, 但是, 优选 (A) 配线部以点状配置的方式、(B) 在配线部中设置有缝隙的方式。这样能够容易地实现本发明的第二电路基板。

[0038] 上述各个配线部的间隔只要是各个隆起焊盘连接端子的间隔以下则没有特别限定。更为具体地来讲, 各个配线部的间隔优选为 $50\ \mu\text{m}$ 以下, 更加优选 $30\ \mu\text{m}$ 以下。这样, 即使在本发明的第二电路基板上安装具有间距为 $100\ \mu\text{m}$ 或者 $60\ \mu\text{m}$ 这样微细的隆起焊盘

的 IC 芯片的情况下,也能更加有效地抑制边缘短路的发生。其中,在本说明书中,间距是指相邻的两个物体的相对应的两点间的距离。

[0039] 在本发明的第二电路基板中,各个配线部的间隔也可以与隆起焊盘连接端子的间隔大致相同。此外,配线部既可以配置在第二主面侧的配置有隆起焊盘连接端子的所有区域中,也可以不配置。即,上述配线部既可以按照俯视上述电路基板时与上述隆起焊盘连接端子的所有部分(与上述隆起焊盘连接端子的所有部分对应的区域)重叠的方式配置,也可以不配置。

[0040] 作为本发明的第二电路基板的结构,只要这些结构要素作为必须而形成,则既可以包括也可以不包括其他的结构要素,没有特别限定。

[0041] 如以上说明,在本发明的第二电路基板中,在安装半导体集成电路的区域中任意配置多个第二配线,并且在配置有第二配线的区域以外的 IC 芯片安装工序中,在覆盖各个隆起焊盘所按压部分的区域中,按照各个隆起焊盘间的间隔以下的间隔形成配线部,由此能够高密度地形成配线,并且能够使得 IC 芯片安装工序中作用在各个隆起焊盘上的压力的均衡性良好,结果能够抑制边缘短路的发生。这样,本发明的第二电路基板也可以是以下这种电路基板:其包括具有安装半导体集成电路的第一主面和第二主面的基板,上述电路基板在上述第一主面侧具有:在安装上述半导体集成电路的区域中所形成的多个隆起焊盘连接端子、和分别与上述多个隆起焊盘连接端子连接的多个第一配线,并且在上述第二主面侧具有:按照俯视上述电路基板时(相互分离地)通过安装上述半导体集成电路的区域的方式形成的多个第二配线、和多个配线部,上述多个配线部在俯视上述电路基板时覆盖上述多个隆起焊盘连接端子(与上述多个隆起焊盘连接端子对应的区域)的区域中,按照各个隆起焊盘连接端子间的间隔以下的间隔配置。

[0042] 其中,对于在本发明的第一电路基板中详细阐述的其他方式,在本发明的第二电路基板中也可以适当地应用。但是,在本发明的第二电路基板中,从容易设计配线部的配置方式的观点来看,优选配线部的一部分(几个)不与第二配线连接的方式。更为具体地来讲,优选与第二配线邻接的配线部以外的配线部不与第二配线连接。

[0043] 此外,本发明也可以是组合本发明的第一和第二电路基板的方式。

[0044] 本发明还可以是以下这种基板(以下,也称作“本发明的第三电路基板”):其包括具有安装半导体集成电路的第一主面和第二主面的基板,其中,在上述第一主面上形成有具有隆起焊盘连接端子的第一配线,在上述第二主面上形成有第二配线,上述第二配线与所有的隆起焊盘连接端子重叠配置有多条。

[0045] 下面,详细记述本发明的第三电路基板。其中,本发明的第三电路基板与本发明的第一电路基板仅第二配线和配线部的方式不同,因此对于重复的结构要素省略其说明。

[0046] 在本发明的第三电路基板中,上述第二配线与所有的隆起焊盘连接端子重叠配置有多条。即,上述第二配线在安装 IC 时与所有的隆起焊盘重叠配置有多条。这样,即使不具有配线部,在本发明的第三电路基板中也能抑制边缘短路的发生。再者,多条第二配线与所有的隆起焊盘连接端子重叠配置是指俯视电路基板时与所有的隆起焊盘连接端子重叠存在多条第二配线。

[0047] 作为本发明的第三电路基板的结构,只要这些结构要素作为必须而形成,则既可以包括也可以不包括其他的结构要素,没有特别限定。

[0048] 如以上说明,在本发明的第三电路基板中,在安装半导体集成电路的区域中,在 IC 芯片安装工序中,按照与各个隆起焊盘所按压的部分重叠的方式配置多个第二配线,由此能够高密度地形成配线,并且能够使得 IC 芯片安装工序中作用在各个隆起焊盘上的压力的均衡性良好,结果能够抑制边缘短路的发生。这样,本发明的第三电路基板也可以是以下这种电路基板:其包括具有安装半导体集成电路的第一主面和第二主面的基板,上述电路基板在上述第一主面侧具有:在安装上述半导体集成电路的区域中所形成的多个隆起焊盘连接端子、和分别与上述多个隆起焊盘连接端子连接的多个第一配线,并且在上述第二主面侧具有按照俯视上述电路基板时(相互分离地)通过安装上述半导体集成电路的区域的方式形成的多个第二配线,上述多个隆起焊盘连接端子(与上述多个隆起焊盘连接端子对应的区域)在俯视上述电路基板时与上述多个第二配线中的任意一个重叠。

[0049] 对于在本发明的第一电路基板中详细阐述的其他方式,在本发明的第三电路基板中也能够适当地应用。

[0050] 本发明进一步是一种包括本发明的第一~第三中的任意一个电路基板和隆起焊盘连接在上述隆起焊盘连接端子上的半导体集成电路的电子电路装置(以下也称作“本发明的电子电路装置”)。这样,在电路基板中,因为能够抑制边缘短路的发生,实现配线的高密度化,因此能够减少电子电路装置不良状况的发生和实现小型化。

[0051] 本发明也是包括本发明的电子电路装置而构成的显示装置。这样,由于能够减少电子电路装置不良状况的发生和实现小型化,因此能够减少显示装置不良状况的发生和实现小型化。

[0052] 根据本发明的电路基板,不仅能够抑制边缘短路的发生,并且能够高密度地配置配线。此外,根据本发明的电子电路装置和显示装置,能够降低不良状况的发生和实现小型化。

附图说明

[0053] 图 1 是表示实施方式 1 的电子电路装置的 IC 芯片安装区域及其附近的第二主面(背面)侧的结构平面模式图。其中,在图 1 中,虚线和点划线分别表示配置在第一主面(表面)上的隆起焊盘和 IC 芯片。

[0054] 图 2 是实施方式 1 的液晶显示装置的平面模式图。

[0055] 图 3 是图 1 的 PQ 线的实施方式 1 的电子电路装置的截面模式图。

[0056] 图 4 是表示实施方式 1 的电子电路装置中的 IC 芯片的端部附近的结构的截面模式图,表示使用 ACF 连接 IC 芯片与电路基板的情况。

[0057] 图 5 是表示实施方式 1 的电子电路装置中的 IC 芯片的端部附近的结构的截面模式图,表示用 Au-Sn 共晶键合来连接 IC 芯片与电路基板的情况。

[0058] 图 6 是表示实施方式 2 的电子电路装置的 IC 芯片安装区域及其附近的第二主面(背面)侧的结构平面模式图。其中,在图 6 中,虚线和点划线分别表示配置在第一主面(表面)上的隆起焊盘和 IC 芯片。

[0059] 图 7 是表示实施方式 3 的电子电路装置的 IC 芯片安装区域及其附近的第二主面(背面)侧的结构平面模式图。其中,在图 7 中,虚线和点划线分别表示配置在第一主面(表面)上的隆起焊盘和 IC 芯片。

[0060] 图 8 是表示实施方式 4 的电子电路装置的 IC 芯片安装区域及其附近的第二主面（背面）侧的结构的平面模式图。其中，在图 8 中，虚线和点划线分别表示配置在第一主面（表面）上的隆起焊盘和 IC 芯片。

[0061] 图 9 是表示实施方式 4 的电子电路装置的 IC 芯片安装区域及其附近的第二主面（背面）侧的其它结构的平面模式图。其中，在图 9 中，虚线和点划线分别表示配置在第一主面（表面）上的隆起焊盘和 IC 芯片。

[0062] 图 10 是表示在实施方式 5 的液晶显示装置中使用的 IC 芯片的底面结构的平面模式图。

[0063] 图 11 是表示实施方式 5 的电子电路装置的 IC 芯片安装区域及其附近的结构的平面模式图，(a) 表示第一主面（表面）侧，(b) 表示第二主面（背面）。其中，在图 11(a) 中，虚线和点划线分别表示配置有隆起焊盘和 IC 芯片的区域，在图 11(b) 中，虚线和点划线分别表示配置在第一主面（表面）上的隆起焊盘和 IC 芯片。

[0064] 图 12 是表示实施方式 5 的电子电路装置的 IC 芯片安装区域及其附近的第二主面（背面）侧的其它结构的平面模式图。其中，在图 12 中，虚线和点划线分别表示配置在第一主面（表面）上的隆起焊盘和 IC 芯片。

[0065] 图 13 是表示现有的电路基板的第二主面（背面）侧的结构的平面模式图。其中，在图 13 中，虚线和点划线分别表示配置在第一主面（表面）上的隆起焊盘和 IC 芯片。

[0066] 图 14 是表示在图 13 所示的电路基板上安装 IC 芯片的工序中的现有的电路基板的截面模式图，表示热压焊 IC 芯片前的状态。其中，图 14 表示图 13 的 XY 线的截面模式图。

[0067] 图 15 是表示在图 13 所示的电路基板上安装 IC 芯片的工序中的现有的电路基板的截面模式图，表示热压焊 IC 芯片时的状态。其中，图 15 表示图 14 的隆起焊盘附近的放大截面模式图。

[0068] 图 16(a) ~ (d) 是表示实施方式 3 的电子电路装置的 IC 芯片安装区域及其附近的一部分的第二主面（背面）侧的其它结构的平面模式图。其中，在图 16 中，虚线、点划线和两点划线分别表示配置在第一主面（表面）上的隆起焊盘、IC 芯片和隆起焊盘连接端子。

[0069] 符号说明

[0070] 1、1f：半导体集成电路（IC 芯片）

[0071] 2、2f、2g：隆起焊盘

[0072] 4：底膜（基板）

[0073] 5：抗蚀剂

[0074] 6：覆盖层薄膜

[0075] 6a：绝缘膜

[0076] 6b：粘贴剂层

[0077] 7：电子电路装置

[0078] 8：各向异性导电膜（ACF）

[0079] 8a：导电粒子

[0080] 8b：粘合剂

[0081] 9a：内侧隆起焊盘

[0082] 9b：外侧隆起焊盘

- [0083] 10 :液晶显示面板
- [0084] 11 :底层填料
- [0085] 12 :Au-Sn 共晶物
- [0086] 20a、20b、20c、20d、20e、20f、20g、20h :电路基板
- [0087] 21 :芯片电子部件
- [0088] 22 :驱动器
- [0089] 30、30f :第一配线 (表面配线)
- [0090] 31a、31b、31c、31d、31e、31f、31g、31h :第二配线 (背面配线)
- [0091] 32 :隆起焊盘连接端子
- [0092] 32a :内侧隆起焊盘连接端子
- [0093] 32b :外侧隆起焊盘连接端子
- [0094] 40a、40b、40c、40ca、40cb、40cc、40cd、40f :配线部
- [0095] 41 :通孔
- [0096] 50 :间隙
- [0097] 51 :压焊装置台
- [0098] 52 :IC 芯片的端部
- [0099] 100 :液晶显示装置
- [0100] D2 :隆起焊盘间的间隔
- [0101] Db :配线部与第二配线的间隔
- [0102] Dc :各配线部间的间隔
- [0103] Dt :隆起焊盘连接端之间的间隔

具体实施方式

[0104] 下面,列举实施方式并参照附图,对本发明进行更详细的说明。但是本发明并非只局限于这些实施方式。此外,在以下的实施方式中,以液晶显示装置为例说明本发明。但是,本发明的显示装置不仅可以适用于液晶显示装置,也可以适用于其它各种显示装置,例如有机电致发光 (EL) 显示装置、无机 EL 显示装置、等离子体显示面板 (PDP)、真空荧光显示 (VFD) 装置、电子纸等各种显示装置。此外,本发明的电路基板和电子电路装置不仅可以适用于显示装置,也可以适用于其它各种电子设备,例如便携式电话、PDA (Personal Digital Assistant :个人数字助理)、OA 设备等。

[0105] (实施方式 1)

[0106] 对本发明的实施方式 1 的液晶显示装置进行说明。图 2 是本实施方式的液晶显示装置的平面模式图。

[0107] 液晶显示装置 100 包括液晶显示面板 10 和与液晶显示面板 10 的端部连接的电子电路装置 7。

[0108] 液晶显示面板 10 包括形成有开关元件的元件基板、与元件基板相对配置的相对基板、和介于这两个基板间的液晶层。相对基板包括在基板上设置在显示区域的大致整个面上的共用电极和彩色滤色片层。液晶层由具有电光学特性的向列液晶材料构成。

[0109] 元件基板包括 :在基板上以相互并行延伸的方式设置的多条栅极配线、以沿着与

这些栅极配线正交的方向相互并行延伸的方式设置的源极配线、在栅极配线和源极配线的各交叉部设置的 TFT、和与各个 TFT 对应设置的像素电极。

[0110] 此外,液晶显示面板 10 具有采用 COG(Chip On Glass:玻璃上芯片)方式在基板上裸芯安装有的驱动器 22。

[0111] 作为驱动器 22,可以列举栅极驱动器、源极驱动器等,栅极驱动器的作用在于,向栅极配线发送栅极信号,使得仅选择的栅极配线保持在高电位,其它的栅极配线保持在低电位。

[0112] 另一方面,源极驱动器的作用在于,将接收到的图像数据转换成应该施加在液晶电容上的电压(信号电压),并将该信号电压通过所选择的源极配线施加在像素电极上。

[0113] 如上所述,液晶显示面板 10 按照以下方式构成:以各个像素电极构成一个像素,在各个像素中,通过栅极配线从栅极驱动器发送来栅极信号,TFT 变成导通状态时,通过源极配线从源极驱动器发送来规定的源极信号,在像素电极中写入电荷,对在像素电极与共用电极之间构成的液晶电容上施加的电压进行控制,由此改变液晶层的液晶分子的取向状态,调整光的透过率,从而进行图像显示。

[0114] 电子电路装置 7 包括电路基板 20a、IC 芯片 1 和芯片电子部件 21。

[0115] IC 芯片 1 采用 COF(Chip On Film:膜上芯片)方式裸芯安装在电路基板 20a 上,具有突起状的作为焊接用隆起焊盘电极的隆起焊盘 2。该 IC 芯片 1 在本实施方式中相当于液晶显示装置的控制器 IC、电源 IC 等。IC 芯片 1 的外部尺寸为例如纵 5mm、横 5mm、高 400 μm 。

[0116] 隆起焊盘 2 以在 IC 芯片 1 的底面的外周部,沿着 IC 芯片 1 的法线方向突出多个的方式设置,其表面实施过 Au 电镀,成为 IC 芯片 1 的输入输出端子。这样,隆起焊盘 2 是所谓的直线电镀隆起焊盘。隆起焊盘 2 的外部尺寸为例如纵 60 μm 、横(间距方向)40 μm 、高 15 μm ,各个隆起焊盘 2 的间隔和间距例如分别是 20 μm 和 60 μm 。

[0117] 控制器 IC 生成使源极驱动器和栅极驱动器动作的控制信号,并控制标准电源电路的极性反转的时间。

[0118] 电源 IC 将输入的交流电压根据源极驱动器、栅极驱动器、控制器 IC 等驱动对象,转换成最佳的电压。

[0119] 芯片电子部件 21 是电阻和陶瓷电容器等的液晶显示面板 10 周边的电子部件。

[0120] 图 1 是表示实施方式 1 的电子电路装置的 IC 芯片安装区域及其附近的第二主面(背面)侧的结构平面模式图。其中,在图 1 中,虚线和点划线分别表示配置在第一主面(表面)上的隆起焊盘和 IC 芯片。图 3 是图 1 的 PQ 线的实施方式 1 的电子电路装置的截面模式图。

[0121] 电路基板 20a 包括:具有绝缘性的底膜(基板)4、第一配线 30、第二配线 31a、配线部 40a、和以覆盖第二配线 31a 和配线部 40a 的方式配置的覆盖层薄膜 6。

[0122] 底膜 4 是主要由聚酰亚胺构成的可挠性薄膜。覆盖层薄膜 6 由聚酰亚胺薄膜等构成的绝缘膜 6a 和粘贴剂层 6b 构成。此外,底膜 4 也可以是玻璃环氧树脂、液晶聚合物等构成的薄膜。

[0123] 第一配线 30 设置在安装有 IC 芯片 1 的底膜 4 的第一主面(表面)上,连接 IC 芯片 1 与输入信号用连接器(图中未示)、液晶显示面板 10 等。在用于安装 IC 芯片 1 的 IC

芯片安装区域设置有用连接 IC 芯片 1 的隆起焊盘 2 与第一配线 30 的隆起焊盘连接端子 32。此外,在底膜 4 的第一主面(表面)上以覆盖第一配线 30 的方式设置有由环氧树脂等构成的绝缘性抗蚀剂 5。此外,隆起焊盘连接端子 32 通过对在 IC 芯片安装区域延伸的第一配线 30 的末端部实施 Ni 电镀处理、并进一步在 Ni 电镀上实施 Au 电镀处理而形成。

[0124] 第二配线 31a 设置在与安装有 IC 芯片 1 的一面相反的底膜 4 的第二主面(背面)上。第二配线 31a 是为了防止第一配线 30 在底膜 4 的表面交叉,并且为了高密度地配置配线等目的,在背面迂回第一配线 30 的一部分而形成的配线。第二配线的尺寸为例如宽 $50\mu\text{m}$ 、厚度 $17\mu\text{m}$ 。

[0125] 此外,多条第二配线 31a 如图 1 所示,在 IC 芯片安装区域具有 $30\mu\text{m}$ 以上的间隔,且互不连接地与 IC 芯片安装区域重叠配置。即,多个第二配线 31a 按照俯视电路板 a 时相互分离地通过 IC 芯片安装区域的方式配置。由此能够实现配线的高密度化。

[0126] 如图 13 所示,配线部 40a 在 IC 芯片安装工序中具有掩埋在与隆起焊盘重叠的区域的电路板和压焊装置台之间产生的间隙的功能,其形成在与设置有隆起焊盘 2 的区域重叠的电路板 20a 的第二主面上的区域。即,配线部 40a 形成在电路板 20a 的第二主面侧,并且配线部 40a 按照俯视电路板 20a 时覆盖各个隆起焊盘 2 的方式配置。此外,配线部 40a 与第二配线 31a 通过一体形成而连接,配线部 40a 具有与第二配线部 31a 大致相同的宽度和厚度。

[0127] 这样,由于在与隆起焊盘 2 重叠的所有区域中存在第二配线 31a 和配线部 40a,因此在 IC 芯片安装工序中,不会在与隆起焊盘 2 重叠的区域中产生间隙。因此能够抑制 IC 芯片热压焊时的电路板 20a 的隆起,作为其结果,能够抑制边缘短路的发生。如上所述,在本实施方式中,通过在与隆起焊盘 2 重叠的区域配置第二配线 31a 和配线部 40a 中的任意一个,能有效地抑制边缘短路的发生。换言之,在本实施方式中,当俯视电路板 20a 时,按照与所有的隆起焊盘连接端子 32 重叠的方式形成有第二配线 31a 和配线部 40a 中的任意一个。

[0128] 此外,由于有配线部 40a,因此不必按照与隆起焊盘 2 强行重叠的方式来配置第二配线 31a。因此,能够自由地配置第二配线 31a,所以能够提高电路板 20a 的设计自由度。

[0129] 而且,在 IC 芯片安装工序中,如果在与隆起焊盘 2 重叠的区域存在间隙,则在 IC 芯片热压焊时,荷重未充分地作用在隆起焊盘 2 上,在隆起焊盘 2 与隆起焊盘连接端子 32 之间有可能发生连接不良。但是,在本实施方式的液晶显示装置中,由于在与隆起焊盘 2 重叠的所有区域配置有第二配线 31a 和配线部 40a,因此能够有效地抑制不良连接的发生。

[0130] 下面,举例对电路板 20a 的制造方法进行说明。作为电路板 20a 的制造方法可以列举减成法(subtractive process)、加成法(additive process)等。

[0131] 在采用减成法制作电路板 20a 的情况下,首先,利用铸造法等制作铜/聚酰亚胺(底膜 4)/铜的叠层基板。其中,所谓铸造法是一种例如在铜箔上涂布聚酰亚胺前躯体溶液后,使其干燥和固化而制作铜/聚酰亚胺的叠层基板的方法。

[0132] 接着,利用光刻技术(Photo Engraving Process,以下也称作“PEP 技术”)对所得到的铜/聚酰亚胺/铜的叠层基板的一个侧的面(表面)的铜层进行图案化。然后,按照在 IC 芯片安装区域配置隆起焊盘连接端子 32 的方式一体形成隆起焊盘连接端子 32 和第一配线 30。

[0133] 接着,利用 PEP 技术对铜 / 聚酰亚胺 / 铜的叠层基板的另一个侧的面 (背面) 的铜层进行图案化,形成具有上述配置方式的多条第二配线 31a 和配线部 40a。

[0134] 另一方面,在采用加成法制作电路板 20a 的情况下,首先,在聚酰亚胺 (底膜 4) 的表面和背面的形成配线的区域以外的区域形成抗蚀剂。

[0135] 接着,将其浸泡在金属盐与还原剂的混合水溶液中,在聚酰亚胺上实施无电解电镀。由此,在形成配线的区域还原析出金属层。

[0136] 接下来,实施通常的电解电镀,在金属层上进一步形成铜。接着,通过除去抗蚀剂,形成具有上述配置方式的隆起焊盘连接端子 32、第一配线 30、多条第二配线 31a 和配线部 40a。

[0137] 在以上所述方式形成的基板上,利用印刷法,除去有隆起焊盘连接端子 32 的 IC 芯片安装区域,以覆盖第一配线 30 的方式在叠层基板的表面涂布抗蚀剂 5。此时,在第一配线 30 中未被抗蚀剂 5 覆盖的部分成为隆起焊盘连接端子 32。接着,对隆起焊盘连接端子 32 的表面施以 Ni 电镀处理和 Au 电镀处理。

[0138] 接着,将叠层有绝缘膜 6a 和粘贴剂层 6b 的覆盖层薄膜 6 以覆盖第二配线 31a 的方式粘贴在叠层基板的背面。

[0139] 如以上所述方式,制造本发明的电路板 20a。

[0140] 下面,对在电路板 20a 上安装 IC 芯片 1 和芯片电子部件 21 而制造电子电路装置 7 的方法进行说明。

[0141] 在本实施方式中,按照现有技术,利用 ACF (Anisotropic Conductive Film: 各向异性导电膜) 8 连接 IC 芯片 1 的隆起焊盘 2 与电路板 20a 上的隆起焊盘连接端子 32, 然后进行芯片电子部件 21 的连接。

[0142] 下面,对利用 ACF8 连接 IC 芯片 1 的隆起焊盘 2 与电路板 20a 上的隆起焊盘连接端子 32 的方法进行说明。

[0143] 图 4 是表示实施方式 1 的电子电路装置中的 IC 芯片端部附近的结构的截面模式图,表示利用 ACF 连接 IC 芯片与电路板的情况。其中,对于说明中不需要的结构要素省略图示。

[0144] 首先,以覆盖隆起焊盘连接端子 32 的方式在电路板 20a 上粘贴 ACF8。接着,在将隆起焊盘连接端子 32 与 IC 芯片 1 的隆起焊盘 2 进行位置对准后,用工具 (图中未示) 加热和加压 (热压焊) IC 芯片 1, 将隆起焊盘 2 与隆起焊盘连接端子 32 连接。ACF8 是在由环氧树脂等构成的薄膜状的粘合剂 8b 中分散有在塑料珠电镀有 Ni、Au 等的导电粒子 8a 的部件。通过对该 ACF8 在 180℃ ~ 210℃ 下进行加热和加压,导电粒子 8a 变成被挤压在 IC 芯片 1 的隆起焊盘 2 与隆起焊盘连接端子 32 之间的状态,隆起焊盘 2 与隆起焊盘连接端子 32 电连接。接着,与此同时,通过使粘合剂 8b 热固化,固定隆起焊盘 2 与隆起焊盘连接端子 32 的连接部分,IC 芯片 1 被安装在电路板 20a 上。

[0145] 下面,对在安装有 IC 芯片 1 的电路板 20a 上连接芯片电子部件 21 的方法进行说明。

[0146] 首先,利用印刷法、分配法等,在设置电路板 20a 上的芯片电子部件 21 搭载用的连接端子 (图中未示) 上涂布焊膏 (包含焊粉、溶剂和焊剂的膏状混合物)。

[0147] 接着,对电路板 20a 与芯片电子部件 21 进行位置对准,搭载芯片电子部件 21。

[0148] 接着,将搭载有芯片电子部件 21 的电路基板 20a 投入大约 230℃~260℃的回流炉中,使焊膏熔融(回流加热工序)。

[0149] 其中,在回流加热工序中,介于 IC 芯片 1 与底膜 4 之间的 ACF8 中所包含的水分被加热变成水蒸气向外部喷出。根据本实施方式的电路基板 20a,在 IC 芯片安装区域中存在配线部 40a 和第二配线 31a 均未配置的区域,透过该区域的底膜 4 和覆盖层薄膜 6,水蒸气向外部发散。因此,本实施方式能够防止因回流加热工序中的水蒸气的喷出而引起的隆起焊盘 2 与隆起焊盘连接端子 32 之间的连接不良。

[0150] 之后,冷却和固化焊膏,使芯片电子部件 21 与电路基板 20a 电连接。

[0151] 如上所述,制造本实施方式的电子电路装置 7。此外,利用例如 ACF 连接液晶显示面板 10 与电子电路装置 7,由此制造本实施方式的液晶显示装置 100。

[0152] 其中,在本实施方式中,以利用 ACF8 连接隆起焊盘 2 与隆起焊盘连接端子 32 为例进行了说明。但是,隆起焊盘 2 与隆起焊盘连接端子 32 的连接方法并非局限于利用 ACF8 的连接方法,例如,也可利用 Au-Sn 共晶键合连接隆起焊盘 2 与隆起焊盘连接端子 32。在使用基于该 Au-Sn 共晶键合的连接方法的情况下,对隆起焊盘连接端子 32 进行 Sn 电镀处理后,以大约 400℃将隆起焊盘 2 热压焊连接在隆起焊盘连接端子 32 上。Sn 电镀在约 400℃下通过加热而熔融,如图 5 所示,在隆起焊盘连接端子 32 与隆起焊盘 2 之间形成 Au-Sn 共晶物 12。由此,通过 Au-Sn 共晶物 12 连接隆起焊盘连接端子 32 与隆起焊盘 2。然后,在 IC 芯片 1 与底膜 4 之间注入环氧树脂等具有绝缘性的底层填料 11 并使其固化即可。

[0153] 此外,在本实施方式中,在电路基板 20a 的整个背面配置覆盖层薄膜 6,但是覆盖层薄膜 6 也可与 IC 芯片安装区域重叠具有开口部。这样便能在回流加热工序中更加有效地向外部发散水蒸气。

[0154] 此外,在本实施方式中,3 条第二配线 31a 配置在 IC 芯片安装区域内。但是,多条第二配线 31a 也可在 IC 芯片安装区域内配置 3 条以上,由此能够实现配线的更加高密度化。更为具体地来讲,在本实施方式中,如果考虑 IC 芯片 1 和第二配线 31a 的尺寸,能够在安装有 IC 芯片 1 的区域内配置 2~40 条左右的第二配线 31a。这样,不仅能够充分确保在各个第二配线 31a 之间不发生短路的程度的间隔,同时能够更加高密度地配置第二配线 31a。

[0155] (实施方式 2)

[0156] 下面,对本发明的实施方式 2 的液晶显示装置进行说明。实施方式 2 的液晶显示装置仅第二配线和配线部的方式与实施方式 1 不同,因此,对于在实施方式 1 和实施方式 2 中重复的内容,省略其说明。

[0157] 图 6 是表示实施方式 2 的电子电路装置的 IC 芯片安装区域及其附近的第二主面(背面)侧的结构平面模式图。其中,在图 6 中,虚线和点划线分别表示配置在第一主面(表面)上的隆起焊盘和 IC 芯片。

[0158] 在本实施方式的液晶显示装置(电路基板 20b)中,第二配线 31b 与配线部 40b 互不连接。即,配线部 31b 是与第二配线 31b 电绝缘的伪配线。此外,配线部 40b 与第二配线 31b 的间隔 Db 设定为比各个隆起焊盘 2 间的间隔 D2 小。这样,由于不存在配线部 40b 和第二配线 31b 均未重叠配置的隆起焊盘,因此能够充分抑制边缘短路的发生。

[0159] 此外,由于在与所有的隆起焊盘重叠的区域的至少一部分配置有第二配线 31b 和

配线部 40b, 因此, 与实施方式 1 同样, 能够有效地抑制在隆起焊盘 2 与隆起焊盘连接端子 32 之间发生不良连接。

[0160] 此外, 由于在第二配线 31b 与配线部 40b 之间存在空间 (间隙), 因此, 能够有效地抑制通过配线部 40b 在第二配线 31b 间发生短路。

[0161] 在本实施方式中, 因在第二配线 31b 与配线部 40b 之间存在空间, 因此存在配线部 40b 和第二配线 31b 仅配置在一部分的隆起焊盘。但是, 由于底膜 4 通常具有一定程度的韧性 (强度), 即具有抗压的保持形状的性能, 因此对边缘短路和不良连接的抑制效果基本没有不良影响。

[0162] (实施方式 3)

[0163] 下面, 对本发明的实施方式 3 的液晶显示装置进行说明。实施方式 3 的液晶显示装置仅第二配线和配线部的方式与实施方式 1 不同, 因此, 对于在实施方式 1 和实施方式 3 中重复的内容, 省略其说明。

[0164] 图 7 是表示实施方式 3 的电子电路装置的 IC 芯片安装区域及其附近的第二主面 (背面) 侧的结构平面模式图。其中, 在图 7 中, 虚线和点划线分别表示配置在第一主面 (表面) 上的隆起焊盘和 IC 芯片。

[0165] 本实施方式的液晶显示装置 (电路基板 20c) 包括第二配线 31c、具有缝隙的配线部 40c。即, 在各个配线部 40c 之间设置有缝隙。此外, 各个配线部 40c 间的间隔 D_c 设定为比各个隆起焊盘 2 间的间隔 D_2 小。即, 多个配线部 40c 配置在俯视电路基板 20c 时覆盖各个隆起焊盘 2 的区域, 并且各个配线部 40c 具有比间隔 D_2 小的间隔。这样, 因为存在配线部 40c 和第二配线 31c 均未重叠配置的隆起焊盘, 因此能够充分地抑制边缘短路的发生。换言之, 在本实施方式中, 多个配线部 40c 配置在俯视电路基板 20c 时覆盖所有隆起焊盘连接端子 32 的区域, 并且各个配线部 40c 具有比间隔 D_2 小的间隔。

[0166] 此外, 在与所有的隆起焊盘 2 重叠的区域的至少一部分配置有第二配线 31c 和配线部 40c。即, 按照俯视电路基板 20c 时与所有的隆起焊盘 2 的至少一部分重叠的方式配置有第二配线 31c 和配线部 40c 的任意一个。因此, 与实施方式 1 同样, 能够有效地抑制在隆起焊盘 2 与隆起焊盘连接端子 32 之间发生不良连接。

[0167] 此外, 由于配线部 40c 具有多个缝隙而配置, 因此能够有效地抑制通过配线部 40c 在第二配线 31c 之间发生短路。

[0168] 而且, 因为能够从各个第二配线 31c 和配线部 40c 之间、以及各个配线部 40c 之间的空间 (间隙) (从背面) 观察隆起焊盘与隆起焊盘连接端子的位置, 所以能够容易地筛选由于 IC 芯片 1 的错位导致的不良品。

[0169] 再者, 在本实施方式中, 因为在各个配线部 40c 之间存在空间, 所以存在配线部 40c 和第二配线 31c 仅重叠配置于一部分的隆起焊盘。但是, 由于底膜 4 通常具有一定程度的韧度 (强度), 因此对边缘短路和不良连接的抑制效果基本没有不良影响。

[0170] 此外, 在本实施方式中, 由于各个配线部 40c 按照比各个隆起焊盘 2 间的间隔 D_2 小的间隔 D_c 配置, 因此, 根据隆起焊盘 2 的尺寸, 存在各个配线部 40c 具有非常高精细的图案的情况。但是, 如果利用在实施方式 1 中说明的加成法进行配线形成, 则即便是具有微细图案的配线部 40c 也能很容易地形成。

[0171] 此外, 在本实施方式中, 虽然是使各个配线部 40c 间的间隔 D_c 比各个隆起焊盘 2

间的间隔 D2 小,但是,在本实施方式中,配线部 40c 按照各个隆起焊盘连接端子 32 的间隔以下的间隔配置多个即可,也可以如图 16(a) 所示,各个配线部 40ca 间的间隔 Dc 与各个隆起焊盘连接端子 32 间的间隔 Dt 大致相同。

[0172] 此外,在本实施方式中,也可以如图 16(b) 所示,是配线部 40cb 相对隆起焊盘 2 与隆起焊盘连接端子 32 的间距方向偏移配置的方式。

[0173] 而且,在本实施方式中,只要配线部 40c 按照各个隆起焊盘连接端子 32 的间隔以下的间隔配置有多个,则也可以如图 16(c) 所示,多个配线部 40cc 中的一部分(几个)均不与隆起焊盘 2 和隆起焊盘连接端子 32 的任意一个重叠的方式,此外,也可如图 16(d) 所示,多个配线部 40cd 的全部(所有)均不与隆起焊盘 2 和隆起焊盘连接端子 32 的任意一个重叠的方式。采用这种方式,利用作为基板的底膜 4 的韧度(强度)也能够抑制边缘短路和连接不良。

[0174] (实施方式 4)

[0175] 下面,对本发明的实施方式 4 的液晶显示装置进行说明。实施方式 4 的液晶显示装置仅第二配线和配线部的方式与实施方式 1 不同,因此,对于在实施方式 1 和实施方式 4 中重复的内容,省略其说明。

[0176] 图 8 是表示实施方式 4 的电子电路装置的 IC 芯片安装区域及其附近的第二主面(背面)侧的结构平面模式图。其中,在图 8 中,虚线和点划线分别表示配置在第一主面(表面)上的隆起焊盘和 IC 芯片。

[0177] 本实施方式的液晶显示装置(电路基板 20d)不具有配线部,包括按照与所有的隆起焊盘 2 重叠的方式配置的多个第二配线 31d。即,多个第二配线 31d 按照俯视电路基板 20d 时与所有的隆起焊盘 2 重叠的方式配置。进一步换言之,所有的隆起焊盘 2 在俯视电路基板 20d 时与多个第二配线 31d 中的任意一个重叠。由此能够抑制边缘短路的发生。再者,在电路基板 20d 中,以使 3 条第二配线 31d 与 36 个隆起焊盘全部重叠的方式,IC 芯片安装区域的各个第二配线 31d 的宽度比 IC 芯片安装区域外的各个第二配线 31 的宽度粗。

[0178] 此外,由于在与隆起焊盘 2 重叠的所有区域中配置有第二配线 31d,所以与实施方式 1 同样,能够有效地抑制在隆起焊盘 2 和隆起焊盘连接端子 32 之间发生不良连接。

[0179] 此外,在本实施方式中,第二配线 31d 配置在 IC 芯片安装区域的大部分。此外,第二配线 31d 通常包含通气性小的 Cu 等金属。因此,在能够有效地发散回流加热工序中的水蒸气这一点上,本实施方式的液晶显示装置与实施方式 1、2 和 3 相比,是不利的方式。

[0180] 其中,在本实施方式中,如图 9 所示,也可以是粗细大致一定的多条第二配线 31e 按照与所有隆起焊盘 2 重叠的方式配置的电路基板 20e。

[0181] (实施方式 5)

[0182] 下面,对本发明的实施方式 5 的液晶显示装置进行说明。其中,对于在实施方式 1 和实施方式 5 中重复的内容,省略其说明。

[0183] 图 10 是表示实施方式 5 的液晶显示装置中使用的 IC 芯片底面的结构的平面模式图。此外,图 11 是表示实施方式 5 的电子电路装置的 IC 芯片安装区域及其附近的结构的平面模式图,(a) 表示第一主面(表面)侧,(b) 表示第二主面(背面)。其中,在图 11(a) 中,虚线和点划线分别表示配置有隆起焊盘和 IC 芯片的区域,在图 11(b) 中,虚线和点划线分别表示配置在第一主面(表面)上的隆起焊盘和 IC 芯片。

[0184] 本实施方式的 IC 芯片 1f 如图 10 所示,具有沿着 IC 芯片 1f 的周边错列状配置成两列的隆起焊盘 2f。即,隆起焊盘 2f 的内侧隆起焊盘 9a 与外侧隆起焊盘 9b 相互错开排列。由此能够实现 IC 芯片 1f 的小型化。

[0185] 本实施方式的电路基板 20f,如图 11(a) 所示,包括:分别配置在与内侧隆起焊盘 9a 和外侧隆起焊盘 9b 重叠的区域中的内侧隆起焊盘连接端子 32a 和外侧隆起焊盘连接端子 32b、和在各个内侧隆起焊盘连接端子 32a 的内侧形成的通孔 41。

[0186] 外侧隆起焊盘连接端子 32b 与第一配线 30f 一体形成,在电路基板 20f 的表面与第一配线 30f 连接。另一方面,如图 11(b) 所示,内侧隆起焊盘连接端子 32a 通过通孔 41 与电路基板 20f 背面的第二配线 31f 连接。这样,本实施方式的电路基板 20f 不仅能够抑制在内侧隆起焊盘连接端子 32a 与外侧隆起焊盘连接端子 32b 之间发生短路等的不良状况,并且能够安装小型的 IC 芯片 1f。

[0187] 此外,电路基板 20f 包括与内侧隆起焊盘 9a 和外侧隆起焊盘 9b 重叠配置的第二配线 31f 和配线部 40f。由此能够有效地抑制边缘短路的发生。

[0188] 此外,由于第二配线 31f 和配线部 40f 配置在与隆起焊盘 2f(内侧隆起焊盘 9a 和外侧隆起焊盘 9b) 重叠的所有区域中,因此,与实施方式 1 同样,能够有效地抑制在隆起焊盘 2f 和隆起焊盘连接端子 32(内侧隆起焊盘连接端子 32a 和外侧隆起焊盘连接端子 32b) 之间发生连接不良。

[0189] 下面,对本实施方式的液晶显示装置的制造方法进行说明。此外,本实施方式的液晶显示装置除了通孔形成工序以外,能够按照与实施方式 1 的液晶显示装置同样的制造方法制作。因此,下面仅对通孔的形成方法进行说明。

[0190] 通孔 41 可以采用一般的通孔电镀技术形成。即,首先,在采用实施方式 1 中说明的方法制作的铜/聚酰亚胺/铜的叠层基板上通过激光、钻孔等开孔。

[0191] 接着,将叠层基板浸泡在处理液中,在孔的内壁与叠层基板的整个铜面上电镀形成铜。此时,在叠层基板的整个铜箔面上也附上电镀,因此,铜箔的厚度变厚。

[0192] 接着,利用 PEP 技术形成第一和第二配线图案。

[0193] 按照上述方法能够制作具有通孔 41 的电路基板 20f。

[0194] 此外,在本实施方式的液晶显示装置中,配线部 40f 与第二配线 31f 并不连接,但是,配线部 40f 也可以与第二配线 31f 连接。此外,如图 12 所示,本实施方式的液晶显示装置也可以是不具有配线部,但包括按照与所有的隆起焊盘 2f 重叠的方式配置(形成)的第二配线 31h 的方式。

[0195] 如上所述,在各个实施方式中,作为液晶显示装置,以使用 TFT 作为开关元件的有源矩阵型液晶显示装置为例进行了说明。但是,本发明的显示装置并非局限于 TFT 等三端子元件,也可以是使用 MIM(Metal Insulator Metal:金属-绝缘体-金属)等双端子元件作为开关元件的有源矩阵型液晶显示装置。此外,本发明的显示装置不仅可以适用于有源驱动型的显示装置,也可以适用于无源(多路)驱动型的显示装置。再者,本发明的显示装置也能适用于透过型、发射型和透过反射两用型的任意一种类型的显示装置。

[0196] 当然,各个实施方式也可以适当组合使用。

[0197] 而且,本申请是基于 2006 年 3 月 14 日提出申请的日本国专利申请 2006-69892 号,主张基于巴黎公约或进入国的法规的优先权。该申请的全部内容被作为参考加入在本申请

中。

[0198] 此外,本申请说明书中的“以上”和“以下”包括该数值(临界值)。

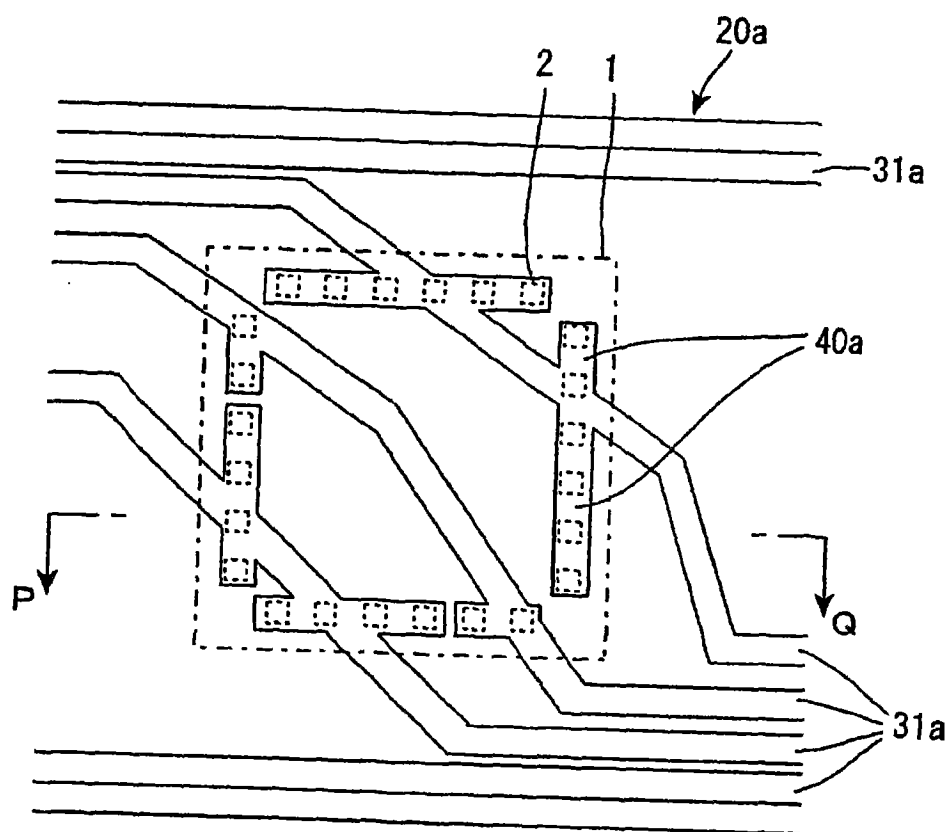


图 1

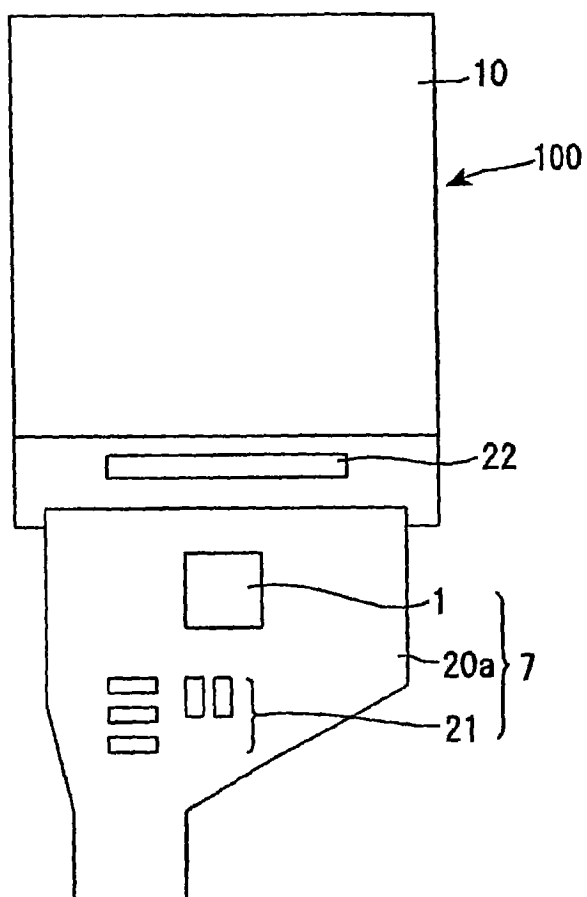


图2

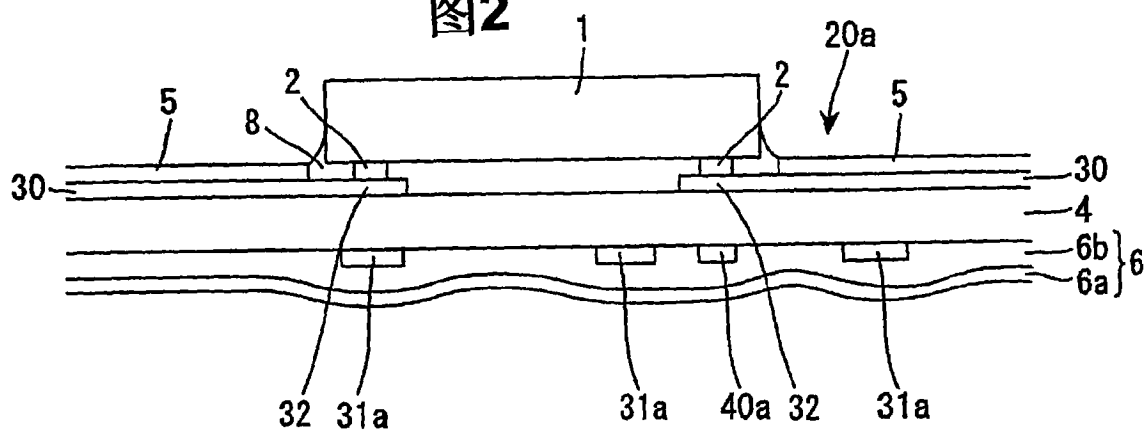


图3

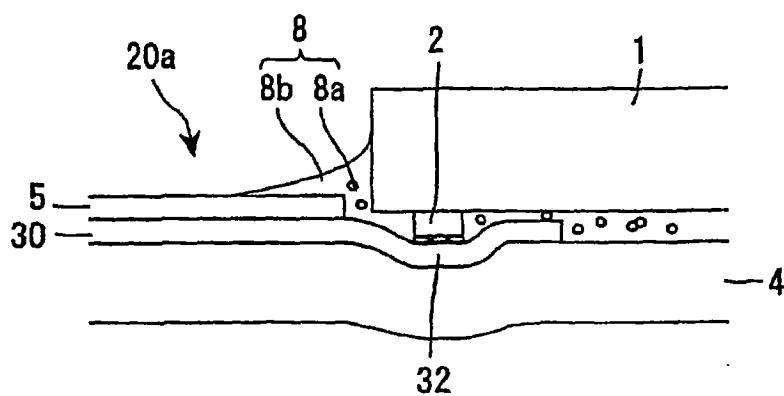


图4

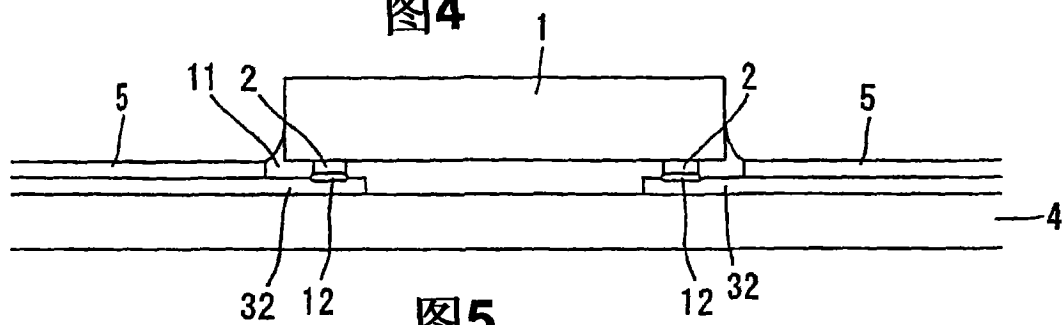


图5

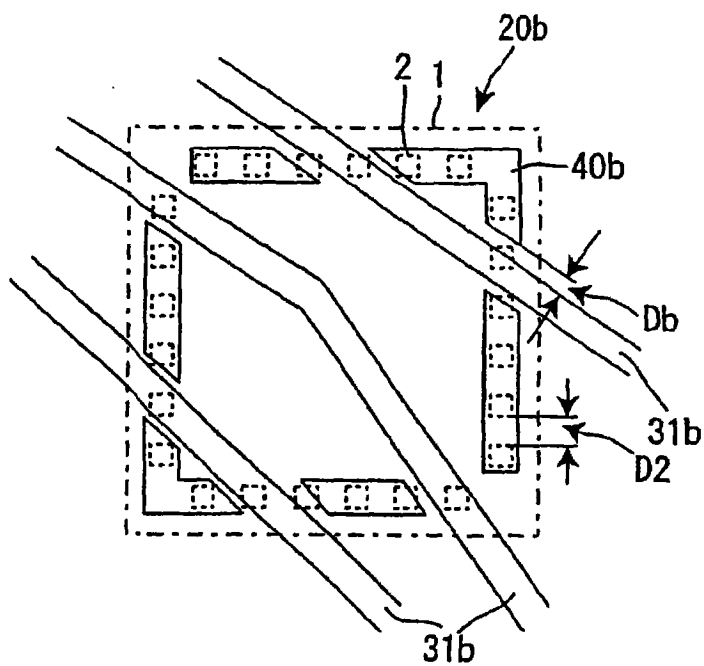


图6

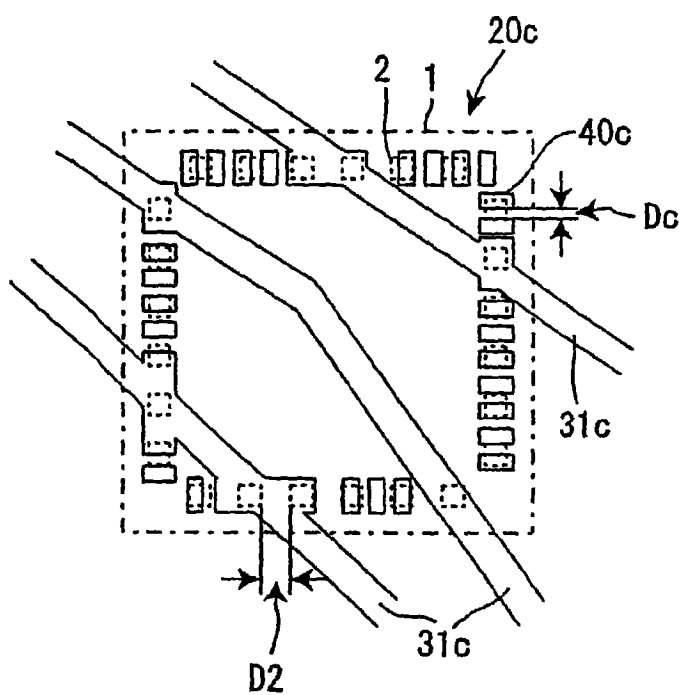


图7

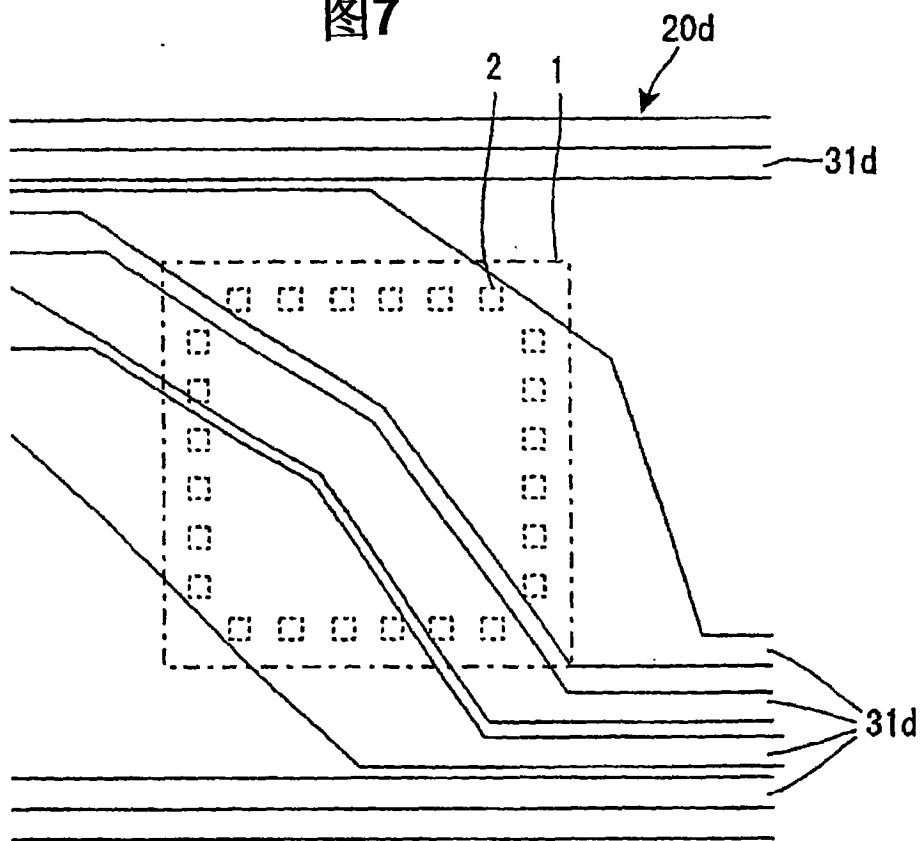


图8

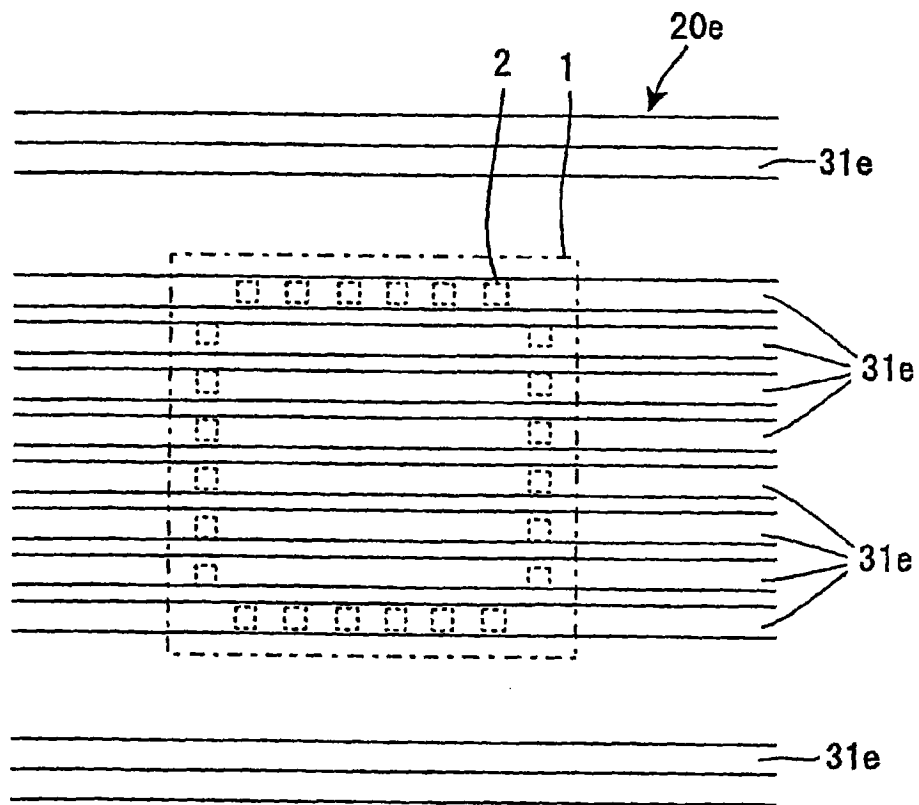


图9

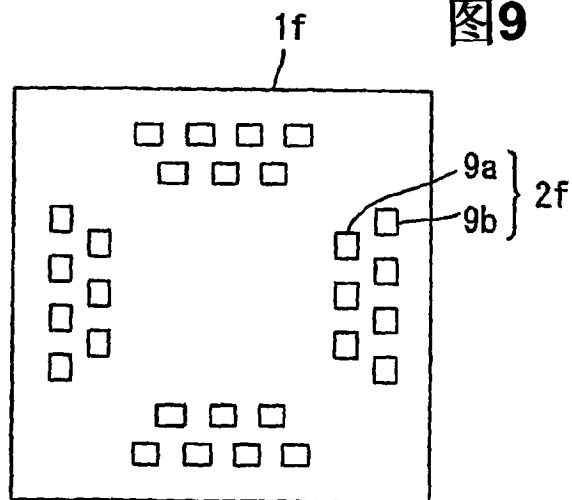


图10

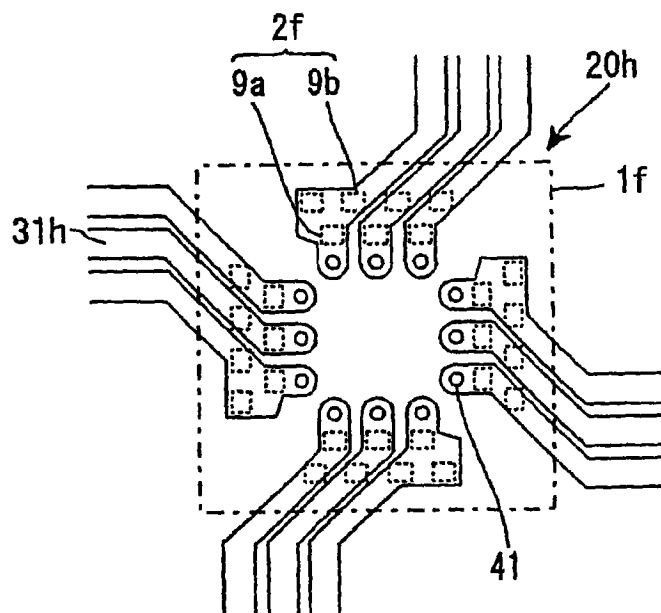
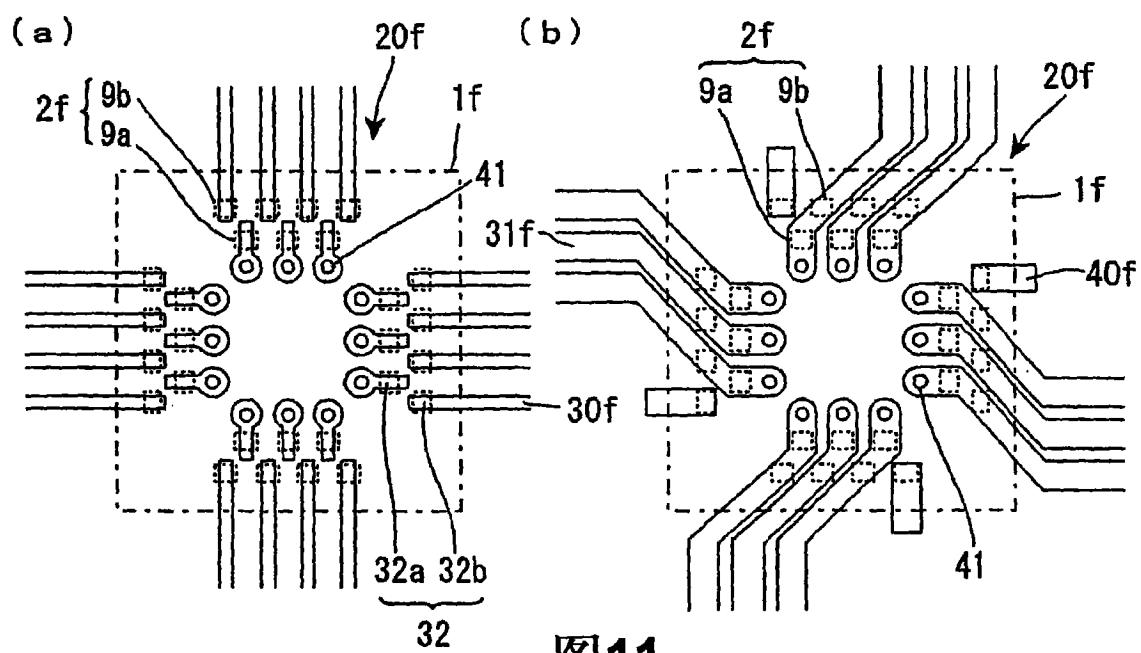


图 12

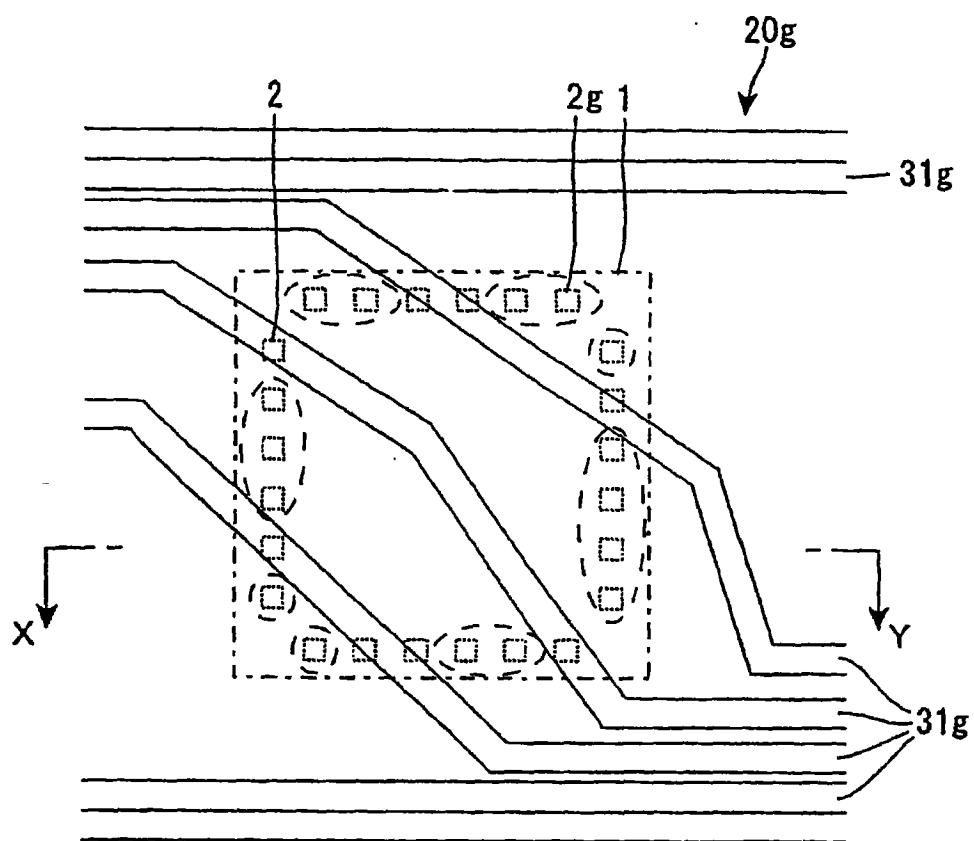


图13

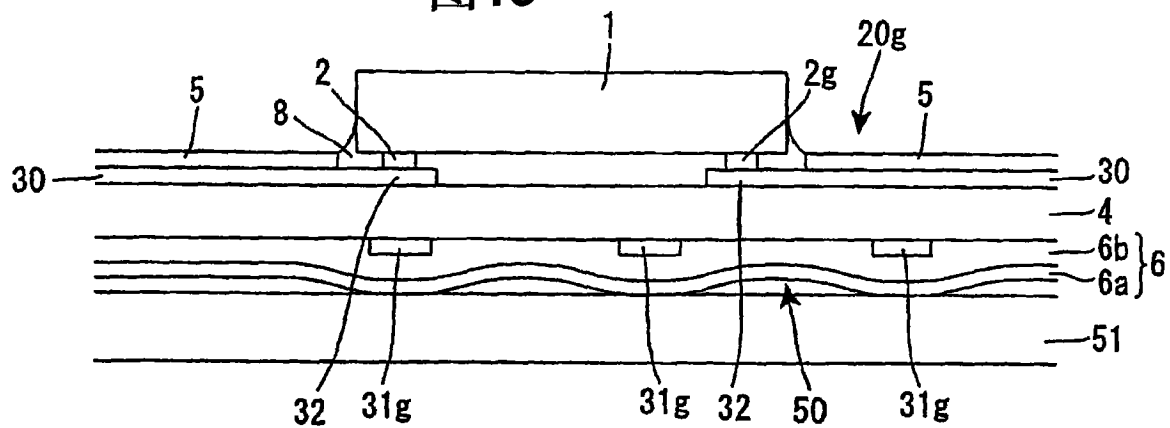


图14

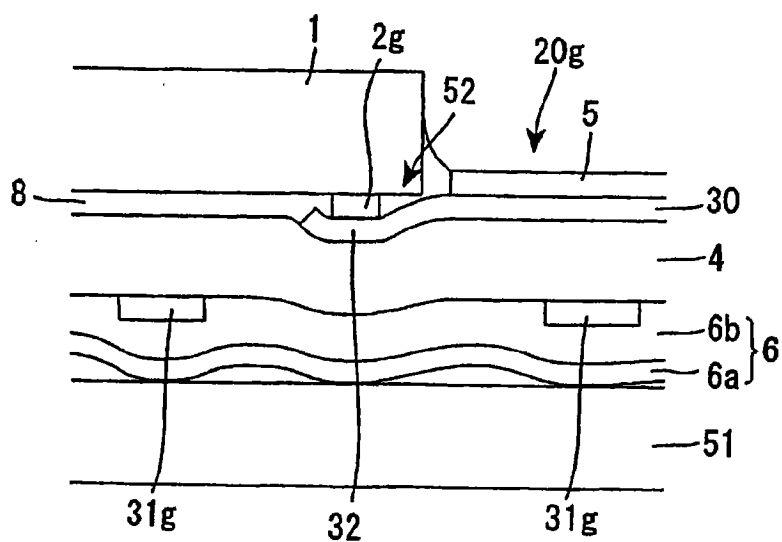
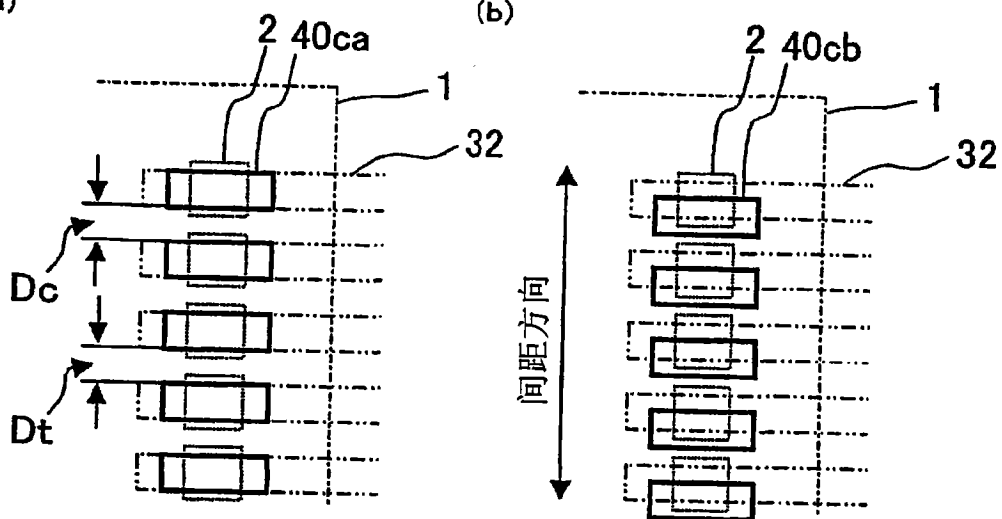


图15

(a)

(b)



(c)

(d)

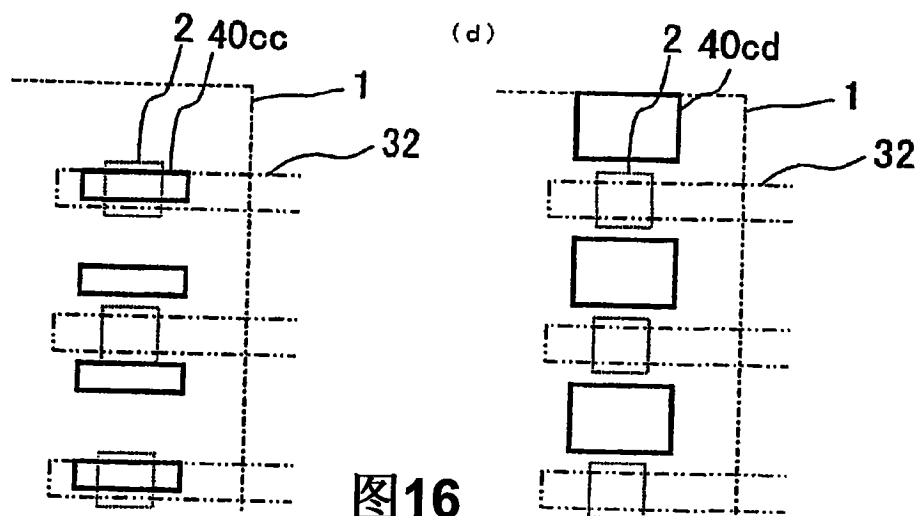


图16