

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 21/82

H01L 21/316



[12] 发明专利说明书

[21] ZL 专利号 99105527.6

[45] 授权公告日 2004 年 2 月 25 日

[11] 授权公告号 CN 1139979C

[22] 申请日 1999.4.13 [21] 申请号 99105527.6

[30] 优先权

[32] 1998.4.17 [33] US [31] 09/062264

[71] 专利权人 塞姆特里克斯公司

地址 美国科罗拉多

共同专利权人 日本电气株式会社

[72] 发明人 约瑟夫·D·库奇亚若 古谷晃

卡洛斯·A·帕斯德阿劳约

宫坂洋一

审查员 朱芳芳

[74] 专利代理机构 永新专利商标代理有限公司

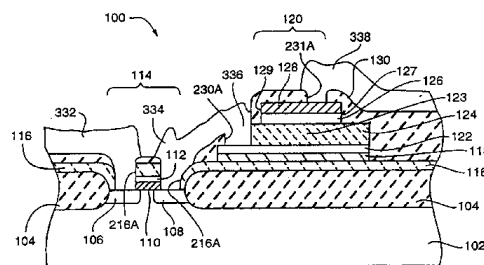
代理人 蹇 炜

权利要求书 3 页 说明书 19 页 附图 5 页

[54] 发明名称 对氢暴露具有低敏感度的铁电集成电路及其制造方法

[57] 摘要

在集成电路中的铁电薄膜(124)上面形成氢阻挡层(128)。氢阻挡层在铁电薄膜的受保护段(123)正上方,同时铁电薄膜的牺牲段(125)横向延伸超出氢阻挡层的边沿(129)。牺牲段吸收氢使之不能横向扩散到铁电薄膜的受保护段。它吸收氢之后,将牺牲段蚀刻掉以允许对它下面的电路层的电连接。铁电薄膜最好包括分层超晶格化合物。加入铈酸铋铌钽物质的标准母体溶液中的过量铋或铈有助于减少铁电性质的氢降级。



ISSN 1008-4274

- 1、一种制造集成电路的方法，包括下述步骤：提供基片（122）；在所述基片（122）上形成金属氧化物物质的薄膜（124），及在所述金属氧化物物质的薄膜（124）上面形成氢阻挡层（128），其特征在于所述金属氧化物物质薄膜（124）具有受保护的段（123）及牺牲段（125），以及所述氢阻挡层（128）在所述受保护的段（123）的正上方但不在所述牺牲段（125）的正上方。
- 2、按照权利要求 1 的方法，其特征进一步在于清除至少一部分所述牺牲段（125）的步骤。
- 3、按照权利要求 1 的方法，其特征进一步在于所述氢阻挡层（128）包括氮化钛。
- 4、按照权利要求 1、2 或 3 的方法，其特征进一步在于所述金属氧化物物质包括分层超晶格物质。
- 5、按照权利要求 4 的方法，其特征进一步在于所述分层超晶格物质包括元素锶、铋、钽与铌。
- 6、按照权利要求 5 的方法，其特征进一步在于所述分层超晶格物质所包含的元素铋与铌中的至少一种是过量的。
- 7、按照权利要求 6 的方法，其特征进一步在于在不高于 400℃ 的温度上在包含氢的气氛中加热所述集成电路不大于 30 分钟的时段的步骤，其中氢在所述气氛中的克分子百分数为 0.01 到 50%。
- 8、权利要求 1 中的制造集成电路的方法，其中所述提供基片（122）

的步骤包含形成底电极（122）的步骤及所述形成金属氧化物物质的薄膜的步骤包含在所述底电极（122）上形成金属氧化物物质的薄膜（124）；所述方法进一步包含在所述金属氧化物物质薄膜（124）上形成顶电极（126）的步骤；以及其中所述氢阻挡层是形成在所述顶电极上面的。

5 9、按照权利要求8的方法，其特征进一步在于清除至少一部分所述牺牲段（125）的步骤。

10、按照权利要求8的方法，其特征进一步在于所述氢阻挡层（128）包括氮化钛。

11、按照权利要求8、9或10的方法，其特征进一步在于所述金属氧化物物质包括分层超晶格物质。

12、按照权利要求11的方法，其特征进一步在于所述分层超晶格物质包括元素锶，铋、钽及铌。

13、按照权利要求12的方法，其特征进一步在于所述分层超晶格物质所包含的元素铋与铌中的至少一种是过量的。

15 14、按照权利要求13的方法，其特征进一步在于在不高于400℃的温度上在包含氢的气氛中加热所述集成电路部分不大于30分钟的时段的步骤，其中所述气氛中的氢的克分子百分数为0.01至50%。

15、一种集成电路，包括：基片（122）；金属氧化物物质的薄膜（124）；及位于所述金属氧化物物质的薄膜（124）上面的氢阻挡层（128）；其特征在于所述金属氧化物物质的薄膜（124）具有受保护的段（123）及牺牲段（125），以及所述氢阻挡层（128）在所述受保护段（123）的正上方但不直接在所述牺牲段（125）的正上方。

16、按照权利要求 15 的集成电路，其特征进一步在于所述金属氧化物物质包括分层超晶格物质。

对氢暴露具有低敏感度的铁电集成电路 及其制造方法

本发明一般涉及分层超晶格材料及 ABO_3 型金属氧化物的制造，更具体地涉及对氢暴露具有低敏感性的铁电集成电路与制造这种电路的方法。

铁电体化合物对用在非易失性集成电路存储器中拥有有利的特征。见 Miller 的美国专利号 5,046,043。诸如电容器等铁电器件在拥有诸如高残留极化、良好矫顽场、高抗疲劳性及低漏电流等希望的电子特征时作为非易失性存储器是有用的。已研究过诸如 PZT（钛锆酸铅）及 PLZT（钛锆酸镧铅）等含铅 ABO_3 型铁电体氧化物在集成电路中的实际使用。也已经研究过分层超晶格物质氧化物在集成电路中的使用。见 Watanabe 的美国专利号 5,434,102。分层超晶格物质化合物在铁电存储器中呈现比 PZT 及 PLZT 化合物高出数个数量级的优越特征。虽然已用分层超晶格化合物成功地制造出铁电存储器的样品，尚无用带有要求的电子特征的 ABO_3 型氧化物或分层超晶格物质化合物经济地及以商品化数量制造存储器的制造工艺。除了其它原因，缺少制造高质量铁电集成电路的经济的商业工艺的一种原因在于在氢退火期间，金属氧化物化合物容易受到氢的还原。氢退火是在 CMOS 集成电路存储器制造中的常用步骤，并导致某些重要的铁电体性质的降级。对于分层超晶格化合物尤其是这样，它们是特别容易被氢降级的复杂的分层氧化物。

集成电路中的典型铁电存储器器件包含半导体基片及与通常为铁电电容器的铁电器件电接触的金属氧化物半导体场效应晶体管

(MOSFET)。铁电电容器通常包含位于第一个底电极与第二个顶电极之间的铁电薄膜，电极通常包含铂。在电路的制造过程中，MOSFET 容易遭遇导致硅基片中缺陷的条件。例如，制造工艺通常包含诸如离子碾磨蚀刻及等离子蚀刻等高能步骤。缺陷也出现在通常在 500°C—900°C 范围内的相对高温上的铁电薄膜的结晶化热处理期间。结果，在半导体硅基片的单晶结构中生成无数缺陷，导致 MOSFET 的电子特征的恶化。

为了恢复 MOSFET/CMOS 的硅性质，制造工艺通常包含氢退火步骤，在其中通过利用氢的还原性质消除诸如依附结合物等缺陷。已开发各种技术来实行氢退火，诸如在环境条件中的 H₂ 气体热处理。传统上，氢处理是在 350°C 与 550°C 之间进行的，通常在 450°C 左右处理大约 30 分钟的时间段。此外，若干其它集成电路制造工艺将集成电路暴露在氢中，通常在升高的温度上，诸如沉积金属的 CVD 工艺及从硅烷或 TEOS 源生成二氧化硅。在包含氢的工艺中，氢扩散通过顶电极及电容器的侧面到铁电薄膜并还原包含在铁电材料中的氧化物。吸收的氢还原金属化铁电薄膜的表面。铁电薄膜对上方电极的粘合性被发生在界面上的化学变化降低。此外，上方电极被氧气、水及产生的氧化还原反应的其它产物抬高。作为这些效应的结果，降低了电容器的电子性质，并且在顶电极与铁电薄膜之间的界面上很可能发生剥落。这些问题在包含分层超晶格化合物的铁电存储器中是严重的因为这些氧化物化合物特别复杂及容易被氢还原降级。

本发明通过提供一种集成电路及降低氢的不利效应及保留金属氧化物元件的有利电子性质的制造集成电路中的金属氧化物元件的方法来解决上述问题。

本发明的一个方面为形成氢阻挡层来覆盖金属氧化物元件的受保护部分。

在较佳方法中，形成钛或硅的氮化物来覆盖金属氧化物元件的受保护

部分并作为氢阻挡层工作。

本发明的另一方面为构成带顶电极、金属氧化物薄膜与底电极的铁电电容器，使得下卧的金属氧化物层及底电极的一部分横向延伸超出顶电极的边。形成覆盖至少一部分顶电极及金属氧化物薄膜的受保护的段的氢阻挡层。金属氧化物薄膜包括牺牲段，它最好是在氢阻挡层正下方的金属氧化物薄膜部分。在完成了在其中发生氢对金属氧化物破坏的制造步骤之后，通过向下蚀刻到底电极便可清除金属氧化物薄膜的至少一部分牺牲段。在较佳实施例中，在同一构成图案过程中将氢阻挡层与顶电极层构成图案，形成自对准的顶电极与氢阻挡层。

本发明的另一方面为包括金属氧化物化合物的金属氧化物物质至少包含两种金属。

本发明的又一方面为金属氧化物物质的薄膜包含分层超晶格化合物。在本发明的一个实施例中，分层超晶格化合物包括铌酸锶铋钽。本发明的又一方面为形成具有包含化学元素铋、锶、铌与钽的分层超晶格化合物的铁电元件，其中将这些化学元素的相对量选择成使氢导致的电子性质降低最小。

本发明的又一方面为构成金属氧化物物质，其中至少一种组成金属是在化学计量上过量存在的以便在金属氧化物物质中构成独立的金属氧化物。

在一个实施例中，分层超晶格化合物包括铌酸锶铋钽，并且包含来自包含铋与铌的组的至少一种过量的金属。

本发明的又一方面为在不高于 400°C 的温度上进行铁电集成电路的氢热处理不超过 30 分钟的时段，这是在包含 0.01 至 50% 克分子百分数的氢的氢气氛中进行的。

在结合附图阅读时，从下面的描述中，本发明的许多其它特征、目的与优点将是清楚的。

图 1 为可用本发明的方法执行的集成电路的制造中的中间阶段的

剖视图，示出非易失性铁电存储器单元，其中的铁电层的牺牲部分横向延伸超出氢阻挡层的边沿；

图 2 为可用本发明的方法执行的集成电路制造中的另一中间阶段的剖视图，示出非易失性铁电存储器单元，其中该铁电层的延伸超出顶电极的一部分牺牲段已被蚀刻掉下到底电极；

图 3 为可用本发明的方法执行的集成电路制造中的另一中间阶段的剖视图，示出非易失性铁电存储器单元，其中该铁电层的延伸超出顶电极的一部分牺牲段已被蚀刻掉下到底电极，并已用接线层填充蚀刻孔；

图 7 后面的图 4 为展示按照本发明创造非易失性铁电存储器器件的工艺的最佳实施例的流程图；

图 5 为极大地放大的示例性晶片的顶视图，在其上面示出了氢阻挡层覆盖的薄膜电容器；

图 6 为通过线 6-6 所取的图 5 的一部分剖视图，示出薄膜电容器器件；

图 3 后面的图 7 描绘本发明的替代实施例，其中的氢阻挡层包括三个有区别的薄膜；

图 6 后面的图 8 为在三种不同退火温度下退火的铌酸锶铋钽中作为退火时间的函数描绘的在 5 伏上的残留极化 $2P_r$ 的曲线；

图 9 为对四种不同的氢退火时间作为电容器电极面积的函数描绘的在 5 伏上的正规化残留极化 $2P_r/[2P_r(1963 \mu m^2)]$ 的曲线。

1、概述

应理解描绘铁电电容器与集成电路器件的图 1-3、5-7 并不是意指实际集成电路器件的任何特定部分的实际平面或剖视图。在实际器件中，这些层不是这样规则的并且厚度可具有不同比例。实际器件中的各层通常是弯曲的并具有重叠的边。这些图只是用来尽可能更清楚与全面地描绘本发明的结构与工艺的理想化的图。并且这些图只表

示有可能利用本发明的方法制造的铁电器件的许多变型之一。图1描绘了包含与铁电电容器电连接的场效应晶体管形式的开关的铁电存储器。但也可想象利用本发明的方法来制造将该铁电元件包含在开关元件中的铁电 FET 存储器。在 McMillan 的美国专利号 5/23, 964 中描述了这种铁电 FET。类似地, 利用本发明的方法制造的其它集成电路可包含其它元件与物质成分。

注意图 1, 其中示出了可按照本发明的方法制造的示范性非易失性铁电存储器单元的剖视图。在 Mihara 的美国专利号 5, 466, 429 与 Yoshimori 的美国专利号 5,468,684 中描述了制造包含 MOSFET 与铁电电容器元件的集成电路的通用制造步骤。在其它对比文献中也描述了通用制造方法。因此, 这里只简单地识别图1 的电路的元件。

图 1 中, 在硅基片 102 的表面上形成场氧化物区 104。在基片 102 内互相分开形成源区 106 与漏区 108。在硅基片 102 上源与漏区 106 与 108 之间形成栅绝缘层 110。再者, 在栅绝缘层 110 上形成栅电极 112。这些源区 106、漏区 108、栅绝缘层 110 及栅电极 112 一起构成 MOSFET 114。在基片 102 与场氧化物区 104 上形成用 BPSG (硼掺杂的磷硅玻璃) 制成的第一夹层介电层 (ILD) 116。在一部分 ILD 116 上形成粘接层 118, 然后在粘接层 118 上形成铁电薄膜电容器 120。粘接层 118 由诸如钛等制成并通常具有 200 埃的厚度。铁电电容器 120 最好形成在可以是硅、砷化镓或其它半导体、或诸如玻璃或氧化镁 (MgO) 等绝缘体等传统晶片上。诸如钛等粘接层增强电极对电路的邻接下卧或上复层的粘接。

图 1 中, 铁电电容器 120 包含由铂制成的底电极 122, 其厚度为 2000 埃; 形成在底电极 122 上的铁电薄膜 124; 形成在铁电薄膜 124 上的由铂制成并具有厚度 2000 埃的顶电极 126; 以及最好形成在顶电极 126 上的并具有厚度 500—2000 埃的导电氢阻挡层 128。电容器的底与顶电极传统上包含铂。底电极最好包含非氧化的诸如铂、钯、银

与金等贵金属。除了贵金属，诸如铝、铝合金、铝硅、铝镍、镍合金、铜合金及铝铜等金属可用作铁电存储器的电极。氢阻挡层 128 可包含诸如氮化钛或氮化硅等单一的膜，或者可包含两层或两层以上的膜，例如，钛底膜、然后氮化钛膜后面跟着钛膜。图 3 后面的图 7 描绘本发明的替代实施例，其中的氢阻挡层 128 包括三层不同的薄膜 741、742 与 743，其中最好包括钛层 741、氮化钛层 742 及钛层 743。如果阻挡层 128 是由诸如氮化钛等导电材料制成且作为导电元件工作的，则它能与顶电极 126 自对齐形成。所谓自对齐是指在其中该阻挡层自动与顶电极对齐的工艺中形成而言。例如，如果顶电极 126 与氢阻挡层 128 是在同一光掩膜与蚀刻构图工艺中一起构图的，它们将是自对齐的。氢阻挡层 128 能用传统的阴极溅镀技术沉积。下面更详细地讨论铁电薄膜 124 的组成。

在 ILD 116 上形成由 NSG（不掺杂的硅玻璃）制成的第二夹层介电层（ILD）130。在层 130 中也能使用 PSG（磷硅玻璃）膜或 BPSG 膜。

诸如图 1 中的电容器等铁电元件的制造传统上包含有可能破坏集成电路的开关 114 与其它元件的氧化条件的步骤。构成铁电元件之后，通常执行电路的氢热处理以修复开关的氧化损坏。在这一氢处理以及其它高能步骤中，因为氢与铁电薄膜 124 所包含的氧化物起反应而铁电薄膜 124 的铁电性质容易受到降低。如果直接在铁电薄膜上没有氢阻挡层，大部分氢通过顶电极垂直地扩散到铁电薄膜中。但是一些扩散到铁电体中的氢从铁电薄膜的边沿横向扩散。

图 1 中，顶电极与氢阻挡层是形成为使得铁电薄膜 124、底电极 122 及粘接层 118 横向延伸超过顶电极 126 的外边沿 127 及超过氢阻挡层的外边沿 129。延伸超过氢阻挡层边沿 129 的铁电薄膜 124 的部分 125 是铁电薄膜 124 的牺牲段 125。在垂直方向上直接在氢阻挡层下面的铁电薄膜 124 的部分 123 是铁电薄膜 124 受保护的段 123。按

照本发明，牺牲段 125 在氢热处理期间吸收氢而在其它制造步骤中导致氢化或还原条件。所吸收的氢与牺牲部分 125 中的氧化物反应，并借此不能降低铁电薄膜 124 的其余受保护部分 123 中的希望的铁电性质。从而，牺牲段 125 作为氢“吸收剂”工作并保护铁电薄膜 124 的受保护部分 123。按照本发明的一个实施例，通常在氢处理后面的蚀刻步骤中，将覆盖一部分底电极的至少一部分牺牲段 125 向下清除到底电极。

图 2 中，开口 216a 有选择地开通通过 ILD 130 及 ILD 116 以暴露源区 106 及漏区 108。开口 231a 有选择地开通通过 ILD 130 以暴露导电的氢阻挡层 128。开口 230a 有选择地开通通过 ILD 130 以暴露铁电薄膜 124 的至少一部分牺牲段 125。在开口 230a 中，通过下到底电极 122 的表面的蚀刻工艺清除至少一部分牺牲段 125。

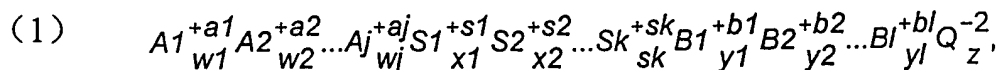
如图 3 中所示，形成源电极接线 332 及漏电极接线 334 来填充开口 216a。分别形成底电极接线 336 及顶电极接线 338 来填充 230a 及 231a。漏电极接线 334 电连接在底电极接线 336 上，并最好是同一接线元件。各该接线 332、334、336 与 338 由厚度大约为 3000 埃的 Al-Si-Cu (1% Si, 0.5% Cu) 制成。如果阻挡层 128 是不导电的，则必须清除至少一部分阻挡层 128 以便接线层 338 能与顶电极 126 进行电接触。如果阻挡层 128 是导电的，但导电率比顶电极 126 明显地小，则有可能希望清除至少一部分阻挡层以便接线层 338 能与顶电极 126 进行电接触。

铁电薄膜 124 的成分从适当的铁电物质组中选择，其中包含但不限于：诸如钛酸盐（如 BaTiO_3 、 SrTiO_3 、 PbTiO_3 (PT)、 PbZrTiO_3 (PZT)）等 ABO_3 型金属氧化物钙钛矿物；铌酸盐（如 KNbO_3 ）；及最好分层超晶格

化合物。

ABO₃ 金属氧化物是知名的铁电体组及高介电常数物质。见诸如 Franco Jona 与 G.Shirane, “铁电晶体”, Dover 出版公司, N.Y., 108 页。1996 年 5 月 21 日颁发的美国专利号 5,519,234 公开了诸如钽酸锶铋等分层超晶格化合物与最好的先有物质相比在铁电应用中具有卓越的性质, 并具有高介电常数与低漏电流。1995 年 7 月 18 日颁布的美国专利号 5,434,102 及 1995 年 11 月 21 日颁布的 5,468,648 描述将这些物质集成到实用集成电路中的工艺。

分层超晶格材料总的可用下述分子式概括:



其中 A1, A2...A_j 表示钙钛矿样结构中的 A 格点元素, 它们可以是诸如锶、钙、钡、铋、铅及其它元素; S1, S2...S_k 表示超晶格生成元素, 它通常是铋, 但也可能是诸如钷、钷、镧、铈、铈、铈及其它+3 价元素物质; B1, B2...B_l 表示钙钛矿样结构中的 B 格点元素, 它们可以是诸如钛、钽、钽、钽、钽、钽及其它元素; 而 Q 表示阴离子, 它通常是氧, 但也可以是其它元素, 诸如氟、氯及诸如氟氧化物、氯氧化物等这些元素的混合物。分子式 (1) 中的上标表示相应元素的价, 下标表示一克分子化合物中物质的克分子数, 或者以单位晶格表示, 该元素在单位晶格的平均原子数。下标可以是整数或分数。这便是分子式 (1) 包含单位晶格可在整个物质上变化的情况, 例如在 Sr_{0.75}Ba_{0.25}Bi₂Ta₂O₉ 中, 平均 75% 的 A 格点被锶原子占据及 25% A 格点被钡原子占据。如果在化合物中只有一个 A 格点元素, 则它用 “A1” 元素表示而 w₂...w_j 全等于零。如果在化合物中只有一个 B 格点元素, 则它用 “B1” 元素表示而 y₂...y_l 全等于零, 对于超晶格生成

元素也一样。通常的情况是一个 A 格点元素一个超晶格生成元素及一个或两个 B 格点元素，然而分子式 (1) 是以更一般的形式写出的，由于本发明指在包含格点与超晶格生成元素都能具有多种元素的情况。

z 值从下式中找到：

$$(2) \quad (a_1w_1+a_2w_2\dots+a_jw_j)+(s_2x_1+s_2x_2\dots+s_kx_k)+(b_1y_1+b_2y_2\dots+b_ly_l)=2z$$

分子式 (1) 包括 1996 年 5 月 21 日颁布的美国专利号 5,519,234 中所讨论的全部三种 Smolenskii 型化合物。分层超晶格物质并不包含能适合分子式 (1) 的每一种物质，而只是以不同的交替层自己自发形成结晶结构的物质。

词“基片”意指在其上形成集成电路的基层晶片 102 以及在其上沉积诸如 BPSG 层 116 等薄膜层的任何物体。在本公开中，“基片”应指在其上施加感兴趣的层的物体；例如，当我们提到诸如 122 的底电极时，基片包含在其上面形成电极 122 的层 118 与 116。

词“上面”、“上方”与“下方”这里指相对于硅基片 102 而言。这便是如果第二元件在第一元件“上面”，这意味着它距基片 102 较远，并且如果它在另一元件“下面”，则它比该另一元件更靠近 102。基片 102 的长尺度定义这里认为是“水平”平面的平面，而垂直于这一平面的方向则认为是“垂直”的。

名词“薄膜”在这里与它在集成电路技术中使用的一致。通常它指厚度小于微米的膜而言。这里公开的薄膜在所有情况中厚度都小于 0.5 微米。铁电薄膜 124 为 1000 埃至 3000 埃厚较好，最好是 1200 埃至 2500 埃厚。集成电路技术的这些薄膜不应与宏观电容器技术的分层电容器混淆，它们是用完全不同的工艺构成的，是与集成电路技术不一致的。

这里的名词“化学计量”可应用在诸如分层超晶格物质等物质的固体膜或构成物质的母体上。当将其应用在固体薄膜上时，它意指表示最终固

体薄膜中各元素的实际相对量的分子式而言。当应用在母体上时，它表示母体中金属的克分子比。“平衡的”化学计量分子式是其中正好有足够的各种元素来构成晶格的所有格点都占据的完整晶体结构的分子式，虽然在实际实践中在室温上晶体中总存在一些缺陷。例如， $\text{SrBi}_2\text{TaNbO}_9$ 与 $\text{SrBi}_2\text{Ta}_{1.44}\text{Nb}_{0.56}\text{O}_9$ 都是平均的化学计量分子式。反之，其中铋、铋、钽与铌的克分子比分别为 1、2.18、1.44 与 0.56 的铌酸铋铋钽的母体这里是用不平衡的“化学计量”分子式 $\text{SrBi}_{2.18}\text{Ta}_{1.44}\text{Nb}_{0.56}\text{O}_9$ 表示的，因为它包含超过构成完整的晶体物质所需的过量的铋。在本公开中金属元素的“过”量意指大于与存在的其它金属键合来制造希望的物质使所有原子晶格都占据且不剩下任何金属的量所需的量而言。然而，如本技术中所知的，因为氧化铋是高度挥发性的且按照本发明在制造电子器件中使用了大量的热，按照本发明的工艺制造的固体铁电层 124 中的铋的克分子比通常小于母体的化学计量分子式中的。然而按照本发明的工艺制造的铁电层 124 中的铋、钽与铌的克分子比非常接近或等于母体的化学计量分子式中给出的克分子比。见颁发给 Watanabe 等人的美国专利号 5,434,102。

根据 Watanabe 等人的 5,434,102 专利及工作，熟悉本技术的人员优选的制造分层超晶格物质的母体当前具有化学计量分子式 $\text{SrBi}_{2.18}\text{Ta}_{1.44}\text{Nb}_{0.56}\text{O}_9$ 。相信用这一分子式的母体将得出带有平衡的化学计量分子式 $\text{SrBi}_2\text{Ta}_{1.44}\text{Nb}_{0.56}\text{O}_9$ 的最终固体铌酸铋铋钽薄膜。即最终的薄膜并不包含过量的铋，因为母体中的过量的铋在制造工艺中作为氧化铋气体逃逸了。这一母体溶液包含对应于化学计量 $\text{SrBi}_{2.18}\text{Ta}_{1.44}\text{Nb}_{0.56}\text{O}_9$ 的化学母体的量。这一化学计量式在这里称作具有“标准”铋钽比的“标准”分子式。具有标准化学计量式的母体包含大约 9% 过量铋。即标准化学计算式中包含与母体中所有铋、钽与铌键合以构成晶体中所有原子格点都占据的分层超晶格化合物所需的更多的铋的量。本发明的一种特征在于带有过量金属

的最终分层超晶格化合物（即诸如铋与铌等至少一种金属的量在标准分子式中所示的量以上或超出）比用具有标准分子式的母体制造的物质对氢的降级更具抵抗能力。相关的特征是在分层超晶格物质中诸如铌等 B 格点元素的过量在防止由暴露在氢中引起的电子性质降级中是有效的。

图 7 后面的图 4 为在本发明中用来制造铁电存储器 100 的制造步骤的流程图。在步骤 412 中，提供半导体基片 102（图 3），在步骤 414 中在其上面构成开关 114。该开关通常是 MOSFET。在步骤 416 中，形成绝缘层 116 将该开关元件与要构成的铁电元件隔开。在步骤 418 中，形成底电极 122。电极最好用铂制成并溅镀沉积到形成厚度大约为 2000 埃的层，在较佳方法中，在沉积电极之前最好用阴极溅镀在这一步骤中形成用大约 200 埃的钛或氮化钛制成的粘结层 118。在步骤 420 中，制备构成所希望的铁电薄膜的分层超晶格化合物的化学母体。在步骤 422 中将铁电薄膜 124 施加在底电极上。在较佳方法中，铁电薄膜包含分层超晶格化合物。最好用诸如美国专利号 5,546,945 中所描述的旋涂或雾沉积法等液体沉积技术施加铁电薄膜。在最佳方法中，采用旋涂技术来形成薄膜。通常，从商品化的包含化学母体化合物的溶液制备最终母体溶液。最好在步骤 420 中将商品溶液中提供的各种母体的浓度调节成提供特定的制造或工作条件。例如，在用于分层超晶格薄膜的典型商品溶液中各种元素的化学计量可能是 $\text{SrBi}_{2.18}\text{Ta}_{1.44}\text{Nb}_{0.56}\text{O}_9$ 。然而，通常希望在这一溶液中加入额外的铌或铋以生成保护铁电化合物不受氢退火降级的额外氧化物。施加步骤 422 后面最好跟随处理步骤 424，其中最好包含在诸如快速热处理等升高的温度上的干燥步骤及结晶子步骤；处理步骤 424 可包含在施加步骤 422 中或之后的用紫外线辐射处理。必要时可重复步骤 422 与 424 以形成希望的厚度的膜。例如，在典型的旋涂过程中可施加并干燥母体的镀层。然后可施加并干燥另一母体镀层。然后在步骤 426 中在氧中退火处理过的膜以形成

得出的铁电薄膜 124。在制造电容器 120 中适当时也可包含通过诸如本技术中已知的离子研磨与抛光等工艺的构图步骤。例如，最好步骤 418 包含这一构图步骤而另一这种构图步骤则跟随步骤 426。在步骤 422—426 后面，在步骤 428 中形成顶电极 126。在较佳方法中，在步骤 430 中直接在电容器的顶电极及铁电薄膜的受保护段上而形成氢阻挡层 128。通常，氢阻挡层 128 为氮化钛，它阻止氢扩散到其覆盖的铁电体中并且还是导电的。还希望通过在阻挡层的溅镀沉积中在溅镀气氛中包含小量氧气而在阻挡层中加入小量的氧。得出的形成在阻挡层中的氧化物通过与不能存在在各种制造工艺步骤中的氢起反应而保护存储器器件中的铁电化合物。但是，氧化物的量充分地小使它不致明显地干扰阻挡层的导电性质。阻挡层形成步骤 430 后面最好跟随构图步骤 431，在其中将阻挡层 128 与顶电极 126 构成图案，最好以离子蚀刻工艺。在步骤 432 中，在选择成满意地消除硅基片中由氧化导致的缺陷及减小铁电化合物的氢降级的温度与退火时间上进行铁电存储器 100 的氢退火。氢退火步骤最好在大气压强下用气体混合物中的氢气进行，因为这比其它替代方法复杂性小。在步骤 434 中，进行氧恢复退火来恢复作为氢退火及其它导致还原条件的工艺步骤的结果的降级的铁电元件 120 的电子性质。然后在步骤 435 中沉积第二 ILD 层 130。在步骤 436 中，通过利用一种或数种干或湿蚀该方法分别通过 ILD 层 116 及 130 到开关 114（通常到 MOSFET 的源与漏区）、到牺牲段 125 及到氢阻挡层 128 制成孔 216a、230a 及 231a。作为替代，为了方便将氢气输送到电路的开关区，可在氢退火之前形成第二 ILD 层 130 及制造到达开关的孔。在步骤 438 中，将横向延伸超过顶电极 126 的边沿的铁电薄膜 124 的一部分牺牲段 125 不是充分导电的，则至少必须清除掉一部分氢阻挡层 128 以便能与顶电极 126 电连接。在下一步骤 440 中完成电路，它通常包含沉积接线层及其构图以形成接线 332、334、336 及 338，沉积钝化

层及封装。

铁电元件通常包括相对平坦的铁电物质的薄膜。用词“横向的”或“横向地”指称薄膜的平坦平面的方向。参见图 1-3、6，横向的方向便是水平方向。

这一说明书指出氢阻挡层是直接形成在铁电物质的薄膜上面的。“直接在上面”意指阻挡层至少在图 1-3 中的垂直方向上在一部分铁电薄膜上面。例如，在图 1 中，氢阻挡层 128 是直接铁电薄膜 124 的受保护段 123 上面的。从氢阻挡层 128 向下延伸的垂直线与受保护段 123 相交，因此，氢阻挡层 128 直接在受保护段 123 上面。但是氢阻挡层 128 并不直接在铁电薄膜 124 的周边牺牲段 125 上面，因为牺牲段 125 横向延伸超出氢阻挡层 128 的边沿 129。用词“直接在上面”并不意味阻挡层直接与铁电层接触。阻挡层可以也可以不接触铁电层。只要它是直接在一部分铁电层上面，它将保护该部分不受氢扩散。以类似的用词，受保护段 123 “直接”在氢阻挡层 128 “下面”，但牺牲段 125 不直接在氢阻挡层 128 下面。很清楚可相对于水平与垂直方向以不同的朝向制造铁电元件。例如，如果铁电薄膜是在垂直平面中，则“横向”可指称垂直方向，而“直接在上面”指称与薄膜的垂直平面正交的朝向。

实验揭示，与铁电膜的平面正交的方向上的扩散相比，氢通过铁电薄膜的横向扩散，即在平行于铁电薄膜的平面的方向上的扩散，是慢的。因此，确信在铁电层 124 的横向边沿上的一小部分铁电物质可作为可能在横向方向上穿透的任何氢的吸收剂工作及保护其余物质不受氢扩散。因此，本发明的主要特征为形成铁电薄膜 124，该薄膜包括“吸收”否则有可能导致在用氢阻挡覆盖的铁电体的其余部分中氢降级的氢的牺牲部分 125。通常，牺牲部分 125 与阻挡层的组合足以保护受保护部分 123 在传统的氢工艺中不受明显的降级。然而，取决于在制造工艺中各种氢化与还原步骤

中氢辐射的强度，采用附加的保护措施是有帮助的。为此，本发明的方法设想了采用各种其它步骤来保护存储器器件不受氢损坏。这些步骤可与牺牲段及氢阻挡层结合使用。

在本发明的较佳方法中，集成电路在氢热处理是在大气压强上在含有1—5%氢的氢氮混合气体中在温度200℃上进行10分钟。低温、短持续时间氢热处理的有利效果直到350℃的温度及30分钟持续时间都是明显的。本发明的氢热处理能在氢气体的体积百分比在0.01—50%的范围内的氢气氛中进行。这是因为氢在集成电路内的扩散是缓慢的、速率决定的步骤，它并不严重地取决于氢的环境浓度。

本发明的低温短持续时间氢退火方法在保护非易失性铁电电容器的电子特征中是有效的，电容器中的铁电薄膜包含从近似对应于通用分子式 $\text{SrBi}_{2.18}\text{Ta}_{2-x}\text{Nb}_x$ （其中 $0 \leq x \leq 2$ ）的成分的母体中制造的Bi分层超晶格物质。实验揭示，低温短持续时间氢热处理在保护从具有近似对应于通用化学计量分子式 $\text{SrBi}_2\text{Ta}_{1.44}\text{Nb}_{0.56}\text{O}_9$ 的成分的母体溶液（其中在母体中的克分子比Nb/Ta为大约0.4）中制造的超晶格化合物中最为有效。实验进一步揭示在母体中增加铋或铌的量到超过对应于分子式 $\text{SrBi}_{2.18}\text{Ta}_{1.44}\text{Nb}_{0.56}\text{O}_9$ 的相对量在保护希望的电子特征不受氢降级中是有效的。用氧恢复退火还能部分地或全部地反转铁电性质的氢降级而重新获得良好的电子特征。

其它工艺序列与步骤也可使用。例如，用于MOSFET接触接线的孔可在氢处理前开，同时通过绝缘层到达铁电元件的孔能在氢热处理步骤之后制造。

实例 1

研究了用氮化钛制造的氢阻挡层覆盖铌酸锶铋钽电容器的铂顶电极的效果。电容器是从来自Hughes航空器公司的产品号HAC10475—47的商品

化铌酸锶铋钽溶液制造的。该溶液包含对应于化学计量式 $\text{SrBi}_{2.18}\text{Ta}_{1.44}\text{Nb}_{0.56}\text{O}_9$ 的化学母体的量。这一化学计量式在本说明书中称作“标准”浓度。然而应理解，该分子式只表示商品化母体溶液中的各种化学物质的相对比。本实例中 0.2 克分子/立升溶液包含：钽 2 乙基己酸盐、铋 2 乙基己酸盐、锶 2 乙基己酸盐、铌 2 乙基己酸盐、2 乙基己酸盐及二甲苯。包含分层超晶体化合物的铁电电容器是以一般按照 Watanabe 的美国专利号 5, 434, 102 中所描述的方法从母体溶液中形成的。在氢处理之前及之后测定了电容器中的残留极化 ($2Pr$)、矫顽场 (E_c) 及漏电流。

氧化一系列 p 型 100 硅晶片基片 602 (图 6) 以形成硅氧化物层 604。在基片上溅镀厚度为 200 埃的钛粘接层 618, 然后在粘接层 618 上溅镀沉积厚度为 3000 埃的底铂电极 622。将它们 650°C 上在氧中退火 30 分钟, 并在 180°C 上在低真空中脱水 30 分钟。在 1500 转/分上在底电极 622 上沉积铌酸锶铋钽化合物的 0.2 克分子溶液旋涂层 30 秒钟。在 160°C 上将其热解 1 分钟, 提高到 260°C 4 分钟。重复旋涂与热解步骤的序列。用快速热处理结晶铁电涂层, 有时也称作快速热退火 (RTA), 在其中将晶片保持在 725°C 上 30 秒钟并且以 100°C/sec 的速率升温。这些步骤形成具有厚度 2100 ± 150 埃的铁电薄膜 624。给予晶片及沉积层在 800°C 上第一次退火 60 分钟。溅镀淀积铂以制成厚度 2000 埃的顶电极层, 随后光刻胶构图。离子蚀刻铂与铌酸锶铋钽层以形成电容器, 然后进行抛光以清除光刻胶掩膜, 此后在 800°C 上第二次氧退火 30 分钟。然后, 在各种沉积条件下在铌酸锶铋钽电容器上溅镀沉积大约 1800 埃厚的氮化钛薄膜。将电容器在 400°C 及大气压强上的流率 41/m 的 $\text{H}_2\text{-N}_2$ ($\text{H}_2 5\%$) 混合气体中氢退火 10、30 与 60 分钟。电容器的面积为 $7845 \mu\text{m}^2$ 。氢退火后, 用 60°C 的 $\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}$ (1: 3: 1) 溶液消除氮化钛膜。在真空炉中干燥电容器之后, 进行在 1 至 10 伏范围上的磁滞测定及 I-V 测试。

利用 5, 8 与 12 mTorr 气体压强上的氩气的氮化钛溅射靶并在 25、50 与 100 瓦功率、基压强 5×10^{-7} Torr 上, 在电容器的顶电极上沉积氮化钛膜 628。在保护铌酸锶铋钽电容器对抗降级中最有效的氮化钛膜是密度最高的膜, 即在 100 瓦与 5 mTorr 上生成的膜。这些膜具有每立方厘米 4.19 克 (g/cm^3) 的密度及大约每厘米 0.50 兆欧 ($\text{m}\Omega\text{cm}$) 的电阻。电容器侧面不涂阻挡层。

在 10、30 与 60 分钟氢退火之前及之后测定在 100 瓦与 5 mTorr 上溅镀的氮化钛层的样本的磁滞曲线。即使在 60 分钟退火之后的曲线也几乎与退火之前相同。在 10、30 与 60 分钟氢退火之前及之后在 5 伏上测定带有在 100 瓦与 5 mTorr 上溅镀的氮化钛层的电容器中的残留极化 2Pr。所有 H_2 退火的样本中的 2Pr 值只比 H_2 处理前的值降低大约 10%。在 10、30 与 60 分钟氢退火之前及之后测定其中的氮化钛层是在 100 瓦及 5 mTorr 上溅镀的电容器的漏电流。在所有经过氢退火的样本中在 3 伏上测定的漏电流近似相等。这一值只有大约 10^{-6}A/cm^2 。这些结果显示提供按照本发明方法的氮化物氢阻挡层的优点。它们还展示通过在铁电薄膜的垂直上方施加氢阻挡层能达到铁电薄膜对抗氢降级的希望的电子性质的显著保护。由于在大多数情况中, 铁电层下面的层是足够地厚以防止氢对铁电体的扩散的, 最重要的氢阻挡层是沉积在铁电薄膜直接上面的层之一中的阻挡层。阻挡层可以也可以不接触铁电层。只要它是直接在一部分铁电层上面, 它将保护该部分不受氢扩散。

另一方面, 这些结果与清楚地显示只用顶部阻挡层来保护铁电性质是不完整的。因此, 本发明的方法提供了形成带有吸收氢及防止氢进一步扩散到用氢阻挡层覆盖的铁电薄膜的受保护的段中的牺牲段的铁电薄膜。

实例 2

在温度 200° 、 250° 及 300°C 上在 H_2 气体中退火 10、30 与 60 分钟

之前及之后，考察了铌酸锶铋钽电容器的电子性质。从 Hughes 航空器公司，HAC10709-30 获得的母体溶液按照实例 1 中所用的过程再一次制备了铌酸锶铋钽电容器。

在电容器在氢气中退火之前，测定了各具有面积 $7854 \mu\text{m}^2$ 的 5 个电容器的电子性质。电容器中的漏电流在 5 伏上大约为 $10^{-7}\text{A}/\text{cm}^2$ 。在 5 伏上测定的残留极化 (2Pr) 大约为 $23 \mu\text{C}/\text{cm}^2$ 。在这些电容器之一上进行的疲劳测试中， 10^{10} 个周期之后 2Pr 值降低大约 5%。

然后在 200° 、 250° 及 300°C 上在环境条件下在 H_2-N_2 (H_2 1%) 混合物中在电容器上进行氢退火 10、30 与 60 分钟。

图 6 后面的图 8 为在 5 伏上作为在 200° 、 250° 及 300°C 上退火的电容器中的退火时间的函数的残留极化 2Pr 的曲线。图 8 显示在最低温度 200°C 上及最短持续时间 10 分钟上的氢热处理得出 2Pr 值的最小降低。

在 200°C 上退火 10 分钟的样本的电流密度在 5 伏上大约为 $10^{-7}\text{A}/\text{cm}^2$ ，等于退火前的值，并且用在存储器器件中是令人满意的。然后，在其它样本中的漏电流是令人不满意地高的。

将这些结果与实例 1 的结果比较，显示出采用氢阻挡层的效果，在实例 1 中氢热处理在 400°C 上进行 60 分钟。

还在不同表面面积的电容器中测定与比较了氢热处理在残留极化上的效应。残留极化是在表面面积从 1963 到 $196300 \mu\text{m}^2$ 的电容器中测定的。这些数据画出在图 9 的曲线中。图 9 中的垂直轴正规化到 $1963 \mu\text{m}^2$ 的 2Pr。这些数据显示在特定的实验条件下 2Pr 的降级并不强烈地依赖于铁电薄膜的横向面积。这并不意味着氢的横向扩散不明显或不存在。而是，它提示起始在铁电薄膜的边沿上的横向中的扩散的氢的运动是相对地慢的，并且由氢的横向扩散引起的铁电性质的降级局限在铁电薄膜的边沿上。

增加到标准母体溶液中及存在在铁电薄膜中的分层超晶格化合物中的额外的 Bi 或 Nb 保护铌酸锶铋钽电容器对抗氢退火的降级。这些额外的元素形成额外的氧化物并且它们可能通过消耗否则会还原铌酸锶铋钽氧化物的氢来阻止氢降级。用诸如钛、钽、钪、钨及锆等其它 B 格点物质的初步结果显示过量的其它 B 格点物质也能阻止暴露在氢中导致的降级。

如上面所讨论的,本发明的特征为提供覆盖铁电层的受保护段的氢阻挡层,同时铁电体的牺牲段吸收氢使它不能扩散到受保护的段中。对于某些集成电路器件,用附加的措施能达到对抗氢降级的更好保护。为了保持对氢的暴露是小的,应尽可能低温。短持续时间氢热处理。同时,通过利用带有诸如过量的氢化铋与/或过量的氧化铌等过量金属氧化物的母体便能获得良好的铁电性质。再者,在铁电层后面的集成电路层铺设中使用额外的氧,诸如在制造铁电层后面的绝缘层的铺设中,这种氧在后面的氢处理中作为氢的吸收剂工作,这种额外的氧的使用也能有效地单独使用或与上面的措施中一种或多种组合使用。以这一方式,本发明提供了能防止铁电元件与建立及完善集成电路的其它部分所必须的几乎任何对氢的暴露相结合的铁电元件的降级的工艺与/或结构。

已经描述了用于制造允许暴露在氢中并仍得到具有良好的电性质的铁电器件的铁电集成电路的方法与结构。应理解图中所示的及本发明书中所描述的特定实施例是为了示例的目的而不应认为是限定本发明,这将在下面的权利要求书中描述。此外,很明显熟悉本技术的人员现在可以对所描述的特定实施例作出许多使用与修改而不脱离本创造性概念。例如,现在已认识到提供铁电层的牺牲段为制造铁电存储器器件的重要工艺部分,能将这一方法与其它工艺结合来提供所描述的方法上的变化。也很明显,所陈述的步骤在某些情况中能以不同的次序执行。也可用等效的结构与工艺来替换所描述的各种结构与工艺。最后,应将本发明设想为包罗存

在所描述的制造工艺、电子器件及电子器件制造方法中的与/或它们所
拥有的各个及每一个新颖特征及新颖的特征的组合。

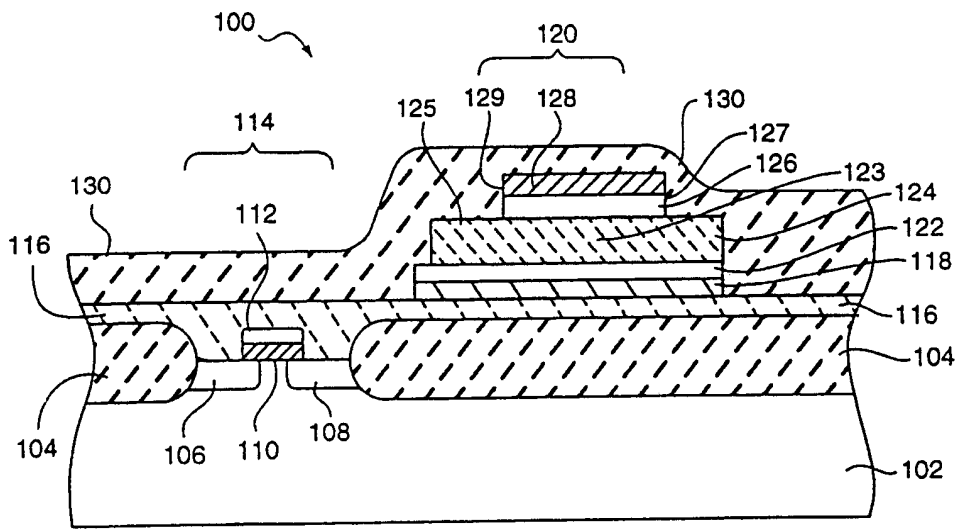


图1

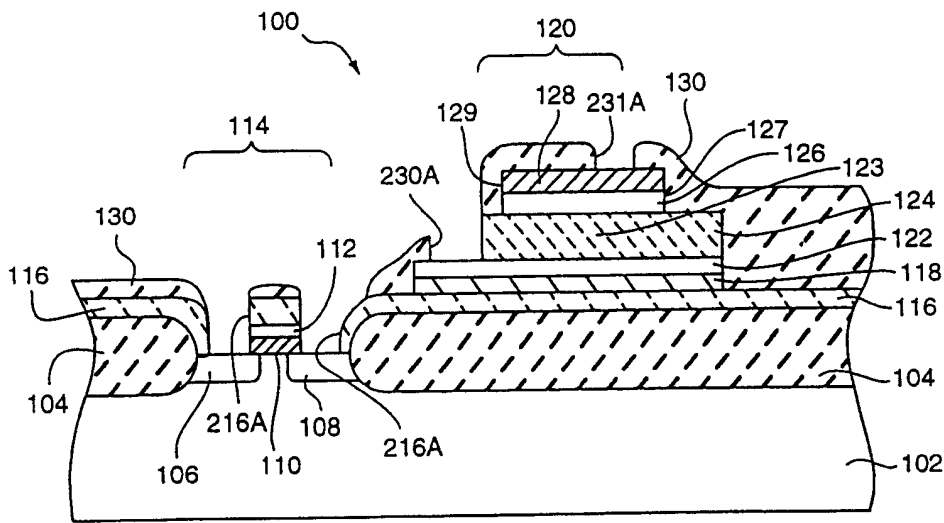


图2

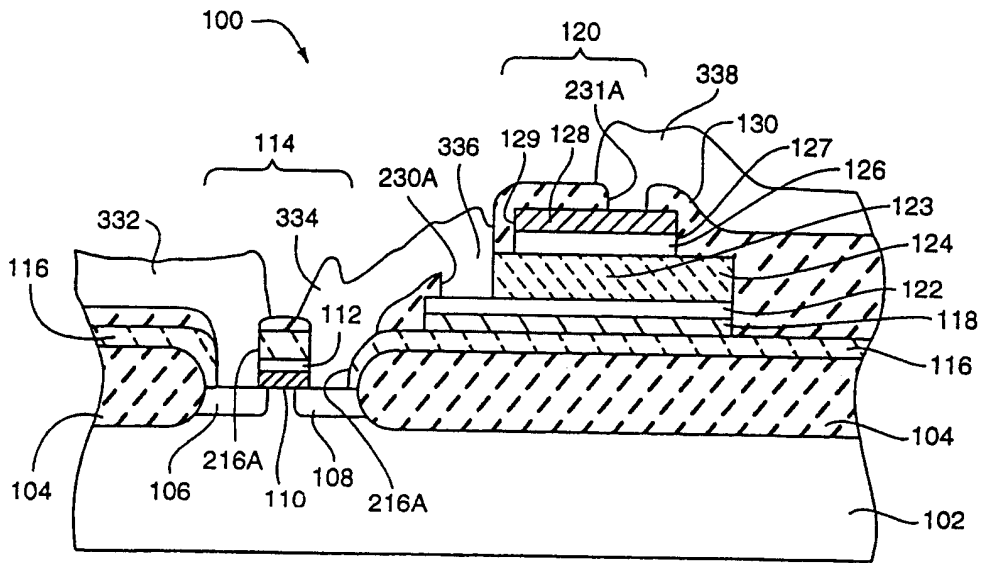


图3

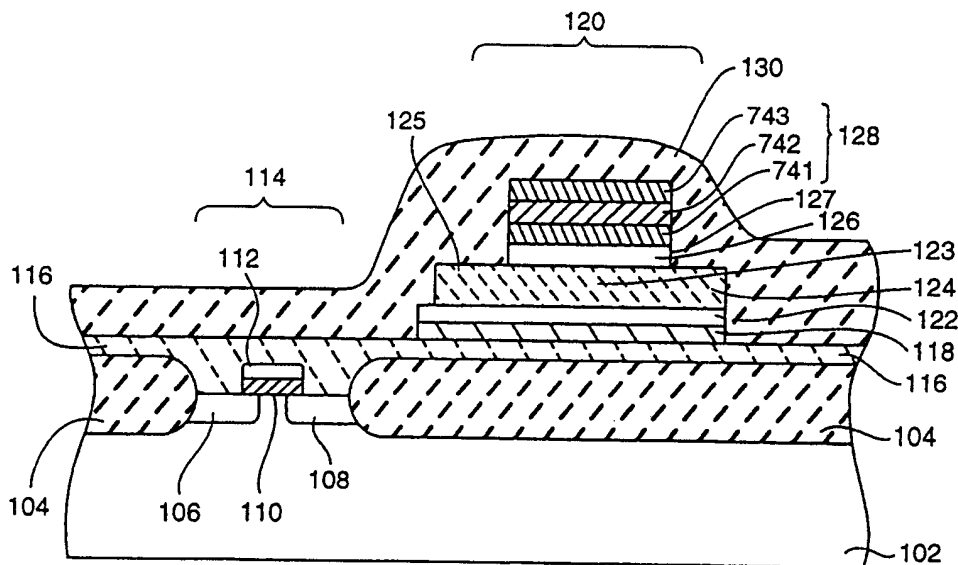


图7

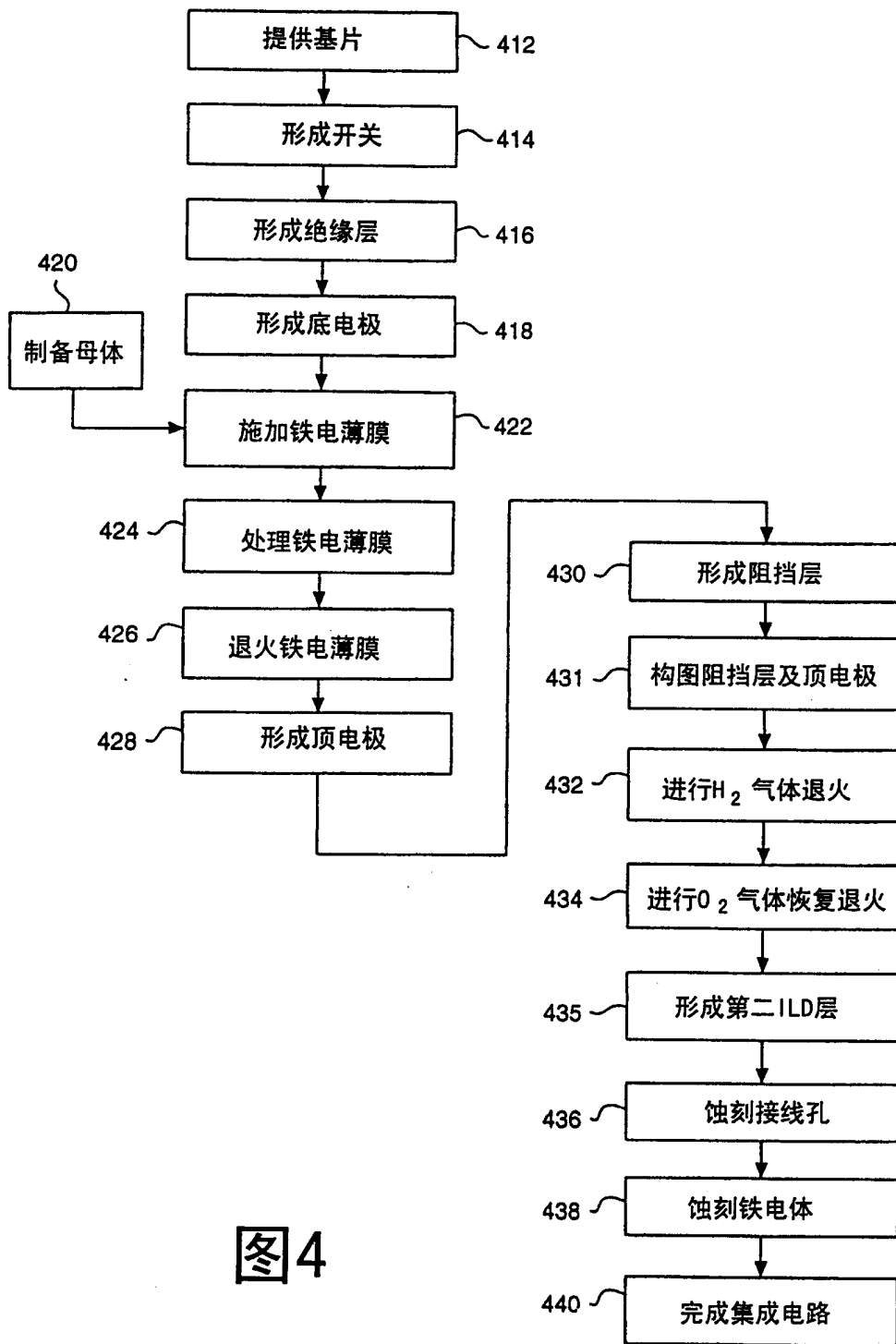


图4

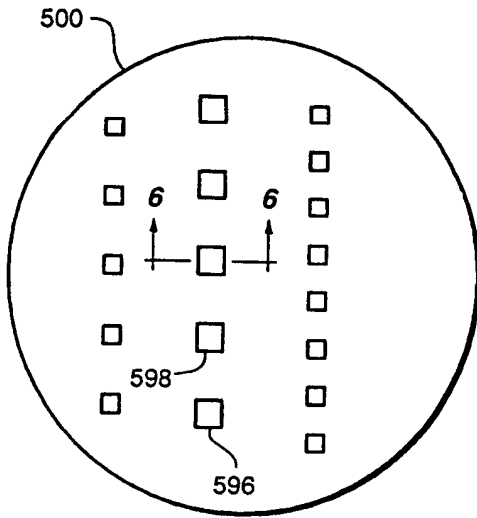


图5

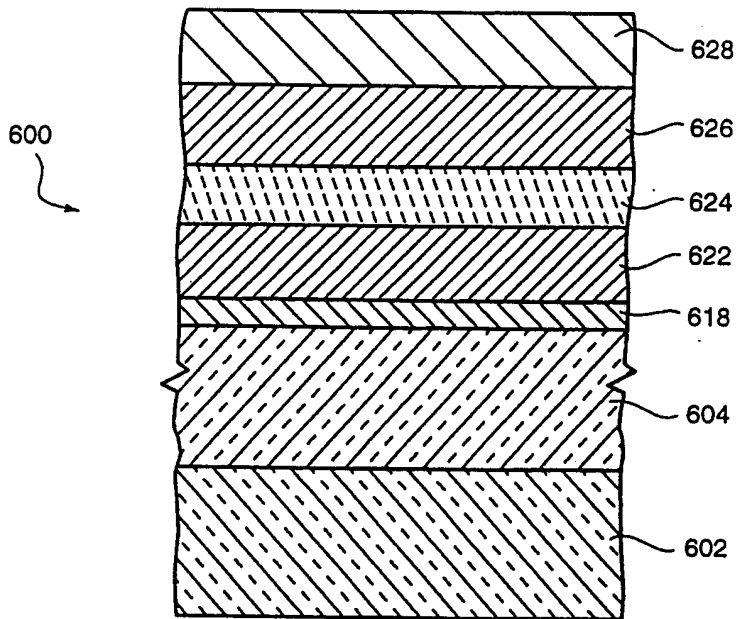


图6

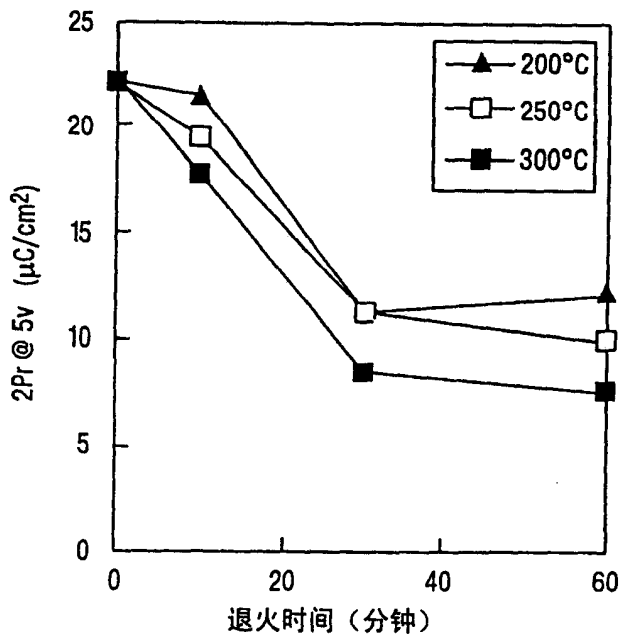


图8

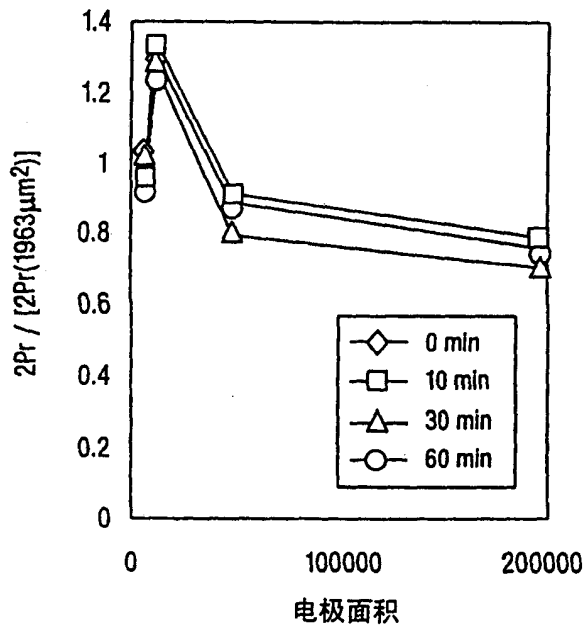


图9