

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro

(43) Internationales Veröffentlichungsdatum  
05. März 2020 (05.03.2020)



(10) Internationale Veröffentlichungsnummer  
**WO 2020/043540 A1**

(51) Internationale Patentklassifikation:

H03K 17/0812 (2006.01) H03K 17/04 (2006.01)  
H03K 17/0412 (2006.01)

(21) Internationales Aktenzeichen: PCT/EP2019/072200

(22) Internationales Anmeldedatum:  
20. August 2019 (20.08.2019)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:  
18191128.0 28. August 2018 (28.08.2018) EP

(71) Anmelder: **SIEMENS AKTIENGESELLSCHAFT** [DE/DE]; Werner-von-Siemens-Straße 1, 80333 München (DE).

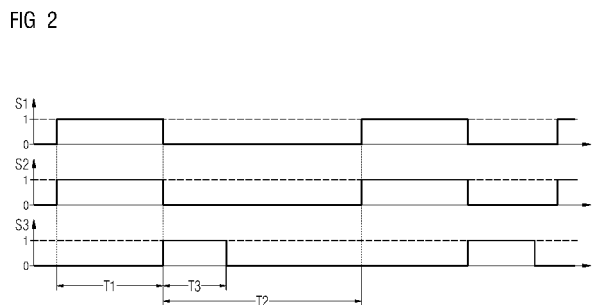
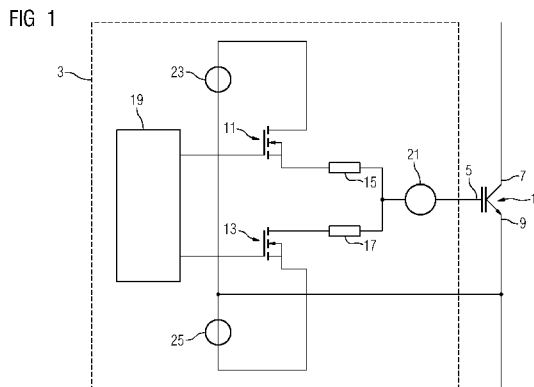
(72) Erfinder: **ECKEL, Hans-Günter**; Liskowstr. 38, 18059 Rostock (DE). **FUHRMANN, Jan**; Friedhofsweg 14, 18057 Rostock (DE). **KAYSER, Felix**; Kolumbusing 11, 18106 Rostock (DE). **TRAN, Quang Tien**; Albert-Einstein-Straße 28, 18059 Rostock (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

(54) Title: OPERATING A BIPOLAR TRANSISTOR HAVING AN INSULATED GATE ELECTRODE

(54) Bezeichnung: BETREIBEN EINES BIPOLARTRANSISTORS MIT ISOLIERTER GATE-ELEKTRODE



(57) Abstract: The invention relates to a method for operating an IGBT (1, 2), wherein a maximum stationary reverse bias required for operation of the IGBT (1, 2) is determined, a first removal charge is determined, the removal of which at the gate (5) of the IGBT (1, 2) causes an electric field strength that enables the IGBT (1, 2) to accept the maximum stationary reverse bias during stationary blocking, a second removal charge is determined, the removal of which at the gate (5) causes an electric field strength that leads to a dynamic avalanche, and, during switching off of the IGBT (1, 2), a removal charge greater than the first removal charge and less than the second removal charge is removed from the gate (5) during a charge removal duration (T3).

(57) Zusammenfassung: Die Erfindung betrifft ein Verfahren zum Betreiben eines IGBT (1, 2), wobei eine für einen Betrieb des IGBT (1, 2) erforderliche maximale stationäre Sperrspannung bestimmt wird, eine erste Entnahmeladung bestimmt wird, deren Entnahme am Gate (5) des IGBT (1, 2) eine elektrische Feldstärke bewirkt, die es ermöglicht, dass der IGBT (1, 2) beim stationären Sperren die maximale stationäre Sperrspannung aufnehmen kann, eine zweite Entnahmeladung bestimmt wird, deren Entnahme am Gate (5) eine elektrische Feldstärke bewirkt, die zu einem dynamischen Avalanche führt, und dem Gate (5) beim Ausschalten des IGBT (1, 2) während einer Ladungsentnahmedauer (T3) eine Entnahmeladung entnommen wird, die größer als die erste Entnahmeladung und kleiner als die zweite Entnahmeladung ist.



WO 2020/043540 A1

**Veröffentlicht:**

- mit internationalem Recherchenbericht (Artikel 21 Absatz 3)

## Beschreibung

Betreiben eines Bipolartransistors mit isolierter Gate-Elektrode

5

Die Erfindung betrifft ein Verfahren und einen Gate-Treiber zum Betreiben eines Bipolartransistors mit isolierter Gate-Elektrode (IGBT, englisch: insulated-gate bipolar transistor).

10

Bei dem Ausschalten eines IGBT treten in dem IGBT hohe elektrische Feldstärken auf, die zu dynamischer Avalanche führen können. Dies kann zum spontanen Ausfall oder zu einer langfristigen Degeneration des IGBT führen. Besonders ausgeprägt ist dieses Problem bei hohen Sperrspannungen im Bereich von 15 3,3 kV und darüber. Im bekannten Stand der Technik wird das Problem beispielsweise dadurch gelöst, dass die Schaltgeschwindigkeit des IGBT reduziert wird. Die Reduktion der Schaltgeschwindigkeit reduziert die Feldstärkebelastung des IGBT und kann daher dynamische Avalanche verhindern. Allerdings vergrößert eine Reduktion der Schaltgeschwindigkeit die Ausschaltverluste beim Ausschalten des IGBT.

20

DE 10 2013 223 135 B3 offenbart eine Schaltungsanordnung und ein Verfahren zum Ansteuern eines IGBT mit einem Treibersignal zum Laden oder Entladen des Gate des IGBT und einem Triggersignal. Das Triggersignal signalisiert einen ersten Zeitpunkt, der während eines Ausschaltvorganges des IGBT zeitlich im Bereich des Anstiegs der Kollektor-Emitterspannung des IGBT liegt. Mit dem Treibersignal wird zu oder nach dem ersten Zeitpunkt das Gate für einen definierten Zeitraum wieder aufgeladen, um transiente Avalanche-Oszillationen zu vermeiden.

30

JP 2002 153043 A offenbart eine Stromrichteranordnung mit einem Leistungshalbleiterschalter, bei dem in einem Strombereich mit Transistoren auf einen Gatewiderstand für die Ver-

35

längerung der Ausschaltbetriebszeit umgeschaltet wird, um ein transientes Avalanche-Phänomen zu unterdrücken.

Der Erfindung liegt die Aufgabe zugrunde, dynamischen Avalanche beim Ausschalten eines IGBT zu verhindern, ohne dabei die Schaltgeschwindigkeit des IGBT im Normalbetrieb zu reduzieren.

Die Aufgabe wird erfindungsgemäß durch ein Verfahren mit den Merkmalen des Anspruchs 1 und einen Gate-Treiber mit den Merkmalen des Anspruchs 6 gelöst.

Vorteilhafte Ausgestaltungen der Erfindung sind Gegenstand der abhängigen Ansprüche.

Bei dem erfindungsgemäßen Verfahren zum Betreiben eines IGBT werden zunächst eine für einen Betrieb des IGBT erforderliche maximale stationäre Sperrspannung, eine erste Entnahmeladung, deren Entnahme am Gate des IGBT eine elektrische Feldstärke bewirkt, die es ermöglicht, dass der IGBT beim stationären Sperren die maximale stationäre Sperrspannung aufnehmen kann, und eine zweite Entnahmeladung, deren Entnahme am Gate eine elektrische Feldstärke bewirkt, die zu einer dynamischen Avalanche führt, bestimmt. Dem Gate wird beim Ausschalten des IGBT während einer Ladungsentnahmedauer eine Entnahmeladung entnommen, die größer als die erste Entnahmeladung und kleiner als die zweite Entnahmeladung ist. Im Folgenden wird die erste Entnahmeladung daher auch als minimale Entnahmeladung bezeichnet und die zweite Entnahmeladung wird auch als maximale Entnahmeladung bezeichnet. Die erste Entnahmeladung und die zweite Entnahmeladung werden beispielsweise anhand von bekannten Eigenschaften des IGBT, die beispielsweise wenigstens teilweise einem Datenblatt des IGBT entnommen werden, und/oder experimentell durch Versuche bestimmt und vorgegeben.

Die Erfindung sieht also vor, beim Ausschalten des IGBT eine Ladungsmenge zu steuern, die dem Gate des IGBT entnommen

wird, um dynamischen Avalanche zu verhindern. Die Erfindung nutzt aus, dass die beim Ausschalten in dem IGBT auftretenden elektrischen Feldstärken von der Ladung abhängen, die dem Gate des IGBT beim Ausschalten entnommen wird. Die der Erfindung zugrunde liegende Idee ist, die dem Gate beim Ausschalten entnommene Ladungsmenge zu begrenzen, um dynamischen Avalanche zu verhindern. Dazu werden eine minimale Entnahmeladung, deren Entnahme am Gate die Aufnahme einer maximalen stationären Sperrspannung durch den IGBT ermöglicht, und eine maximale Entnahmeladung, deren Entnahme am Gate zu einem dynamischen Avalanche führt, bestimmt und dem Gate wird beim Ausschalten des IGBT eine Entnahmeladung entnommen, die zwischen der minimalen und der maximalen Entnahmeladung liegt. Dadurch wird beim Ausschalten des IGBT dynamischer Avalanche verhindert, ohne die Schaltgeschwindigkeit des IGBT im Nennbetrieb reduzieren zu müssen und dadurch die Ausschaltverluste beim Ausschalten des IGBT im Nennbetrieb zu erhöhen.

Die Entnahmeladung wird durch Anlegen einer Ausschaltspannung zwischen dem Gate und dem Emitter während der Ladungsentnahmedauer entnommen. Ferner wird während des Anlegens der Ausschaltspannung ein in dem Gate fließender Gatestrom gemessen, aus dem Gatestrom wird eine dem Gate entnommene Ladung ermittelt und ein Ende der Ladungsentnahmedauer wird dadurch definiert, dass die dem Gate entnommene Ladung die Entnahmeladung erreicht. Die Erfindung sieht also vor, die dem Gate beim Ausschalten des IGBT entnommene Ladung durch das Anlegen einer Gate-Emitter-Spannung während der Ladungsentnahmedauer zu steuern. Das Messen der dem Gate entnommenen Ladung ermöglicht die Begrenzung dieser Ladung auf die Entnahmeladung insbesondere auch dann, wenn der Gatestrom in dem Gate während der Ladungsentnahmedauer nicht konstant ist.

Bei einer Ausgestaltung der Erfindung wird die Entnahmeladung durch Erzeugen eines während der Ladungsentnahmedauer in dem Gate fließenden konstanten Gatestroms entnommen. Diese Ausgestaltung der Erfindung ermöglicht die Definition der Ladungsentnahmedauer als den Quotienten der Entnahmeladung und des

konstanten Gatestroms. Wenn der Gatestrom bekannt ist, wird dazu keine Messung des Gatestroms benötigt.

Bei einer weiteren Ausgestaltung der Erfindung wird ein  
5 Schwellenwert für die Gate-Emitter-Spannung des IGBT vorgegeben und die Entnahme von Ladung aus dem Gate wird abgebrochen, wenn die Gate-Emitter-Spannung den Schwellenwert erreicht. Diese Ausgestaltung der Erfindung verhindert, dass die Gate-Emitter-Spannung beim Ausschalten des IGBT zu niedrig  
10 wird und zu einer Beschädigung des IGBT führt.

Bei dem erfindungsgemäßen Verfahren zum Betreiben zweier zu einer Halbbrücke verschalteter IGBT wird jeder IGBT mit dem oben beschriebenen erfindungsgemäßen Verfahren oder einer  
15 seiner Ausgestaltungen betrieben. Die beiden IGBT werden abwechselnd für jeweils eine Einschaltdauer eingeschaltet, wobei je zwei aufeinander folgende Einschaltdauern durch eine Verriegelungsdauer, in der beide IGBT ausgeschaltet sind, voneinander getrennt sind. Die Ladungsentnahmedauer für jeden  
20 IGBT wird in zwei durch eine Entnahmepause voneinander getrennte Ladungsentnahmedauerteile aufgeteilt, wobei ein erster Ladungsentnahmedauerteil mit dem Ausschalten des IGBT beginnt und vor dem Einschalten des anderen IGBT endet und der zweite Ladungsentnahmedauerteil nach dem Ende des ersten Ladungsentnahmedauerteils und vor dem Einschalten des anderen  
25 IGBT beginnt und mit dem Einschalten des IGBT endet.

Das vorgenannte Verfahren berücksichtigt, dass es je nach dem Verhältnis zwischen der Millerkapazität und der Gate-Emitter-Kapazität in einem IGBT und der negativen treibenden Spannung der Ansteuerschaltung bei Anwendung des erfindungsgemäßen  
30 Verfahrens bei dem Ausschalten des IGBT dazu kommen kann, dass die Gate-Emitter-Spannung bereits die negative treibende Spannung erreicht hat, bevor die vorgesehene Entnahmeladung dem Gate entnommen werden konnte. Beim Einschalten des anderen IGBT nimmt der ausgeschaltete IGBT dann Spannung auf. Durch die Millerkapazität kann es daraufhin zu einem parasitären Einschalten des hochohmig angesteuerten, ausgeschalte-

ten IGBT kommen. Bei dem vorgenannten Verfahren wird dies dadurch vermieden, dass die Ladungsentnahme aus dem Gate unterbrochen wird und nach der Unterbrechung vor dem Ablauf der Verriegelungszeit, aber nach dem Ablauf eines regulären Ausschaltvorgangs wieder aufgenommen wird und das Gate auf diese Weise auf niedrigem Potential unterhalb der Thresholdspannung des IGBT gehalten wird.

Bei den vorgenannten erfindungsgemäßen Verfahren und deren Ausgestaltungen beträgt die Ladungsentnahmedauer beispielsweise zwischen einhundert Nanosekunden und zehn Mikrosekunden. Eine derartige Ladungsentnahmedauer ermöglicht in der Regel das Entnehmen einer Ladung aus dem Gate eines IGBT, die zwischen der minimalen und der maximalen Entnahmeladung liegt.

Ein erfindungsgemäßer Gate-Treiber für einen IGBT zur Durchführung des erfindungsgemäßen Verfahrens ist dazu ausgebildet, den IGBT abwechselnd für eine Einschaltdauer einzuschalten und für eine Ausschaltdauer auszuschalten und dem Gate des IGBT in jeder Ausschaltdauer die Entnahmeladung zu entnehmen.

Der Gate-Treiber umfasst einen ansteuerbaren Ausschalthalbleiterschalter, der zum Anlegen einer Ausschaltspannung zwischen dem Gate und dem Emitter des IGBT einschaltbar ist, einen zwischen den Ausschalthalbleiterschalter und das Gate geschalteten oder der Gate-Emitter-Strecke des IGBT nachgeschalteten Ausschaltwiderstand und eine Ansteuerlogik, die dazu ausgebildet ist, den Ausschalthalbleiterschalter für die Ladungsentnahmedauer einzuschalten. Der Gate-Treiber umfasst ferner eine Strommessvorrichtung zum Messen eines in dem Gate fließenden Gatestroms, wobei die Ansteuerlogik dazu ausgebildet ist, aus dem Gatestrom eine dem Gate entnommene Ladung zu ermitteln und ein Ende der Ladungsentnahmedauer dadurch zu definieren, dass die dem Gate entnommene Ladung die Entnahmeladung erreicht. Zusätzlich kann der Gate-Treiber eine zu dem Ausschalthalbleiterschalter und dem Ausschaltwiderstand

parallel geschaltete Reihenschaltung eines Zusatzausschalt-  
halbleiterschalters und eines Zusatzausschaltwiderstands auf-  
weisen, wobei der Zusatzausschaltwiderstand größer als der  
Ausschaltwiderstand ist und der Zusatzausschalthalbleiter-  
5 schalter zum Anlegen einer Zusatzausschaltspannung zwischen  
dem Gate und dem Emitter einschaltbar ist.

Ein erfindungsgemäßer Gate-Treiber ermöglicht die Ladungsent-  
nahme aus dem Gate eines IGBT mittels eines Ausschalthalb-  
10 leiterschalters und Ausschaltwiderstands sowie einer Ansteu-  
erlogik zum Ansteuern des Ausschalthalbleiterschalters, um  
den Ausschalthalbleiterschalter für die Ladungsentnahme aus  
dem Gate einzuschalten und zum Beenden der Ladungsentnahme  
auszuschalten. Eine den Gatestrom messende Strommessvorrich-  
15 tung ermöglicht die Bestimmung der dem Gate entnommenen La-  
dung durch Integration des Gatestroms über die Zeit und damit  
die Begrenzung der Ladungsentnahme auf die vorgesehene Ent-  
nahmeladung durch ein Beenden der Ladungsentnahme beim Errei-  
chen der Entnahmeladung. Durch eine parallel zu dem Aus-  
20 schalthalbleiterschalter und dem Ausschaltwiderstand geschal-  
tete Reihenschaltung eines Zusatzausschalthalbleiterschalters  
und eines Zusatzausschaltwiderstands, der größer als der Aus-  
schaltwiderstand ist, kann das Ausschaltverhalten des IGBT  
vorteilhaft stabilisiert werden, indem der Zusatzausschalt-  
25 halbleiterschalter während der Ausschaltdauer des IGBT einge-  
schaltet wird. Durch die Wahl eines ausreichend großen Zu-  
satzausschaltwiderstands kann dabei erreicht werden, dass dem  
Gate des IGBT durch das Einschalten des Zusatzausschalthalb-  
leiterschalters nur wenig zusätzliche Ladung entnommen wird,  
30 so dass dem Gate die Entnahmeladung überwiegend durch das  
Einschalten des Ausschalthalbleiterschalters entnommen wird.

Eine Ausgestaltung des erfindungsgemäßen Gate-Treibers sieht  
eine ansteuerbare Ausschaltstromquelle, die zum Erzeugen ei-  
35 nes konstanten Gatestroms in dem Gate einschaltbar ist, und  
eine Ansteuerlogik, die dazu ausgebildet ist, die Ausschalt-  
stromquelle für die Ladungsentnahmedauer einzuschalten, vor.  
Diese Ausgestaltung des erfindungsgemäßen Gate-Treibers er-

möglichst eine Definition der Ladungsentnahmedauer durch den Quotienten aus der Entnahmeladung und dem konstanten Gatestrom, so dass bei einem bekannten konstanten Gatestrom insbesondere keine Strommessvorrichtung zum Messen des Gatestroms erforderlich ist.

Die oben beschriebenen Eigenschaften, Merkmale und Vorteile dieser Erfindung sowie die Art und Weise, wie diese erreicht werden, werden klarer und deutlicher verständlich im Zusammenhang mit der folgenden Beschreibung von Ausführungsbeispielen, die im Zusammenhang mit den Zeichnungen näher erläutert werden. Dabei zeigen:

- FIG 1 einen Schaltplan eines IGBT und eines ersten Ausführungsbeispiels eines Gate-Treibers für einen IGBT,
- FIG 2 zeitliche Verläufe von Schaltzuständen des IGBT und des Gate-Treibers, die in Figur 1 gezeigt sind,
- FIG 3 einen Schaltplan eines IGBT und eines zweiten Ausführungsbeispiels eines Gate-Treibers für einen IGBT,
- FIG 4 zeitliche Verläufe von Schaltzuständen des IGBT und des Gate-Treibers, die in FIG 3 gezeigt sind,
- FIG 5 einen Schaltplan eines IGBT und eines dritten Ausführungsbeispiels eines Gate-Treibers für einen IGBT,
- FIG 6 einen Schaltplan einer Halbbrückenschaltung mit zwei IGBT und einem Gate-Treiber für jeden IGBT,
- FIG 7 zeitliche Verläufe von Schaltzuständen der IGBT und Gate-Treiber, die in FIG 6 gezeigt sind.

Einander entsprechende Teile sind in den Figuren mit denselben Bezugszeichen versehen.

FIG 1 zeigt einen Schaltplan eines IGBT 1 und eines ersten Ausführungsbeispiels eines Gate-Treibers 3 für einen IGBT 1.

Der IGBT 1 weist ein Gate 5, einen Kollektor 7 und einen Emitter 9 auf.

Der Gate-Treiber 3 weist einen Einschalthalbleiterschalter 11, einen Ausschalthalbleiterschalter 13, einen Einschaltwiderstand 15, einen Ausschaltwiderstand 17, eine Ansteuerlogik 19, eine optionale Strommessvorrichtung 21, eine Einschaltspannungsquelle 23 und eine Ausschaltspannungsquelle 25 auf.

Der Einschalthalbleiterschalter 11 ist über den Einschaltwiderstand 15 mit dem Gate 5 des IGBT 1 verbunden. Der Ausschalthalbleiterschalter 13 ist über den Ausschaltwiderstand 17 mit dem Gate 5 des IGBT 1 verbunden. Der Einschalthalbleiterschalter 11 und der Ausschalthalbleiterschalter 13 sind von der Ansteuerlogik 19 ansteuerbar. Der Einschalthalbleiterschalter 11, der Einschaltwiderstand 15, der Ausschalthalbleiterschalter 13 und der Ausschaltwiderstand 17 sind zu einer Halbbrücke mit einem Brückenweig, der mit dem Gate 5 des IGBT 1 verbunden ist, einem ersten Brückenarm, in dem der Einschalthalbleiterschalter 11 und der Einschaltwiderstand 15 angeordnet sind, und einem zweiten Brückenarm, in dem der Ausschalthalbleiterschalter 13 und der Ausschaltwiderstand 17 angeordnet sind, verschaltet. Die Strommessvorrichtung 21 ist in dem Brückenweig der Halbbrücke angeordnet.

Die Einschaltspannungsquelle 23 erzeugt eine Einschaltversorgungsspannung für den Einschalthalbleiterschalter 11. Die Ausschaltspannungsquelle 25 erzeugt eine Ausschaltversorgungsspannung für den Ausschalthalbleiterschalter 13.

In dem in FIG 1 dargestellten Ausführungsbeispiel sind der Einschalthalbleiterschalter 11 und der Ausschalthalbleiterschalter 13 jeweils als ein Metall-Oxid-Halbleiter-Feld-effekttransistor (MOSFET, englisch: metal-oxide-semiconductor field-effect transistor), genauer als ein normal sperrender n-Kanal-MOSFET, ausgebildet, dessen Gate-Anschluss mit der Ansteuerlogik 19 verbunden ist. Der Source-Anschluss des Einschalthalbleiterschalters 11 ist mit dem Einschaltwiderstand 15 verbunden. Der Drain-Anschluss des Ausschalthalbleiter-

schalters 13 ist mit dem Ausschaltwiderstand 17 verbunden. Ein erster Pol der Einschaltspannungsquelle 23 ist mit dem Drain-Anschluss des Einschalthalbleiterschalters 11 verbunden. Ein erster Pol der Ausschaltspannungsquelle 25 ist mit dem Source-Anschluss des Ausschalthalbleiterschalters 13 verbunden. Der zweite Pol der Einschaltspannungsquelle 23 und der zweite Pol der Ausschaltspannungsquelle 25 sind miteinander und mit dem Emitter 9 des IGBT 1 verbunden. Die zweiten Pole der Einschaltspannungsquelle 23 und der Ausschaltspannungsquelle 25 liegen daher auf einem gemeinsamen ersten elektrischen Potential. Der erste Pol der Einschaltspannungsquelle 23 liegt auf einem zweiten elektrischen Potential, das höher als das erste elektrische Potential ist. Der erste Pol der Ausschaltspannungsquelle 25 liegt auf einem dritten elektrischen Potential, das niedriger als das erste elektrische Potential ist. Die Einschaltversorgungsspannung ist daher positiv, die Ausschaltversorgungsspannung ist negativ.

FIG 2 illustriert das erfindungsgemäße Verfahren zum Betreiben eines IGBT 1 mit einem in FIG 1 gezeigten Gate-Treiber 3 anhand von Verläufen eines Schaltzustands S1 des IGBT 1, eines Schaltzustands S2 des Einschalthalbleiterschalters 11 und eines Schaltzustands S3 des Ausschalthalbleiterschalters 13 in Abhängigkeit von einer Zeit  $t$ . Jeder Schaltzustand S1, S2, S3 nimmt abwechselnd den Wert Eins, der einen Einschaltzustand bezeichnet, und den Wert Null, der einen Ausschaltzustand bezeichnet, an.

Bei dem Verfahren werden zunächst eine für einen Betrieb des IGBT 1 erforderliche maximale stationäre Sperrspannung, eine minimale Entnahmeladung, deren Entnahme am Gate 5 des IGBT 1 eine elektrische Feldstärke bewirkt, die es ermöglicht, dass der IGBT 1 beim stationären Sperren die maximale stationäre Sperrspannung aufnehmen kann, und eine maximale Entnahmeladung, deren Entnahme am Gate 5 eine elektrische Feldstärke bewirkt, die zu einem dynamischen Avalanche führt, bestimmt.

Der IGBT 1 wird abwechselnd für eine Einschaltdauer T1 eingeschaltet und für eine Ausschaltdauer T2 ausgeschaltet. Während jeder Einschaltdauer T1 wird der Einschalthalbleiterschalter 11 eingeschaltet und der Ausschalthalbleiterschalter 13 ausgeschaltet. Während jeder Ausschaltdauer T2 wird der Einschalthalbleiterschalter 11 ausgeschaltet und der Ausschalthalbleiterschalter 13 wird zunächst für eine Ladungsentnahmedauer T3 eingeschaltet und nach dem Ablauf der Ladungsentnahmedauer T3 ausgeschaltet. Die Ladungsentnahmedauer T3 wird dadurch definiert, dass dem Gate 5 des IGBT 1 während der Ladungsentnahmedauer T3 eine vorher bestimmte Entnahmeladung, die größer als die minimale Entnahmeladung und kleiner als die maximale Entnahmeladung ist, entnommen wird, das heißt der Ausschalthalbleiterschalter 13 wird ausgeschaltet, sobald die dem Gate 5 entnommene Ladung die Entnahmeladung erreicht. Dazu wird beispielsweise mit der Strommessvorrichtung 21 laufend ein in dem Gate fließender Gatestrom erfasst und mittels der Ansteuerlogik 19 aus dem erfassten Gatestrom die dem Gate entnommene Ladung ermittelt, indem der Gatestrom nach dem Einschalten des Ausschalthalbleiterschalters 13 über die Zeit integriert wird. Alternativ wird mit dem Ausschalthalbleiterschalter 13 zwischen dem Gate 5 und dem Emitter 9 über den Ausschaltwiderstand 17 eine Ausschaltspannung erzeugt, die einen konstanten Gatestrom erzeugt, und die Ladungsentnahmedauer T3 durch den Quotienten aus der Entnahmeladung und dem konstanten Gatestrom definiert.

FIG 3 zeigt einen Schaltplan eines IGBT 1 und eines zweiten Ausführungsbeispiels eines Gate-Treibers 3 für einen IGBT 1. Der Gate-Treiber 3 unterscheidet sich von dem in FIG 1 dargestellten Ausführungsbeispiel lediglich durch eine zu dem Ausschalthalbleiterschalter 13 und dem Ausschaltwiderstand 17 parallel geschaltete Reihenschaltung eines Zusatzausschalthalbleiterschalters 27 und eines Zusatzausschaltwiderstands 29. Dabei ist der Zusatzausschaltwiderstand 29 größer als der Ausschaltwiderstand 17. Der Zusatzausschalthalbleiterschalter 27 ist als ein normal sperrender n-Kanal-MOSFET ausgebil-

det. Der Gate-Anschluss des Zusatzausschalthalbleiterschalters 27 ist mit der Ansteuerlogik 19 verbunden, so dass der Zusatzausschalthalbleiterschalter 27 durch die Ansteuerlogik 19 ansteuerbar ist. Der Drain-Anschluss des Zusatzausschalthalbleiterschalters 27 ist über den Zusatzausschaltwiderstand 29 mit dem Gate 5 des IGBT 1 verbunden. Der Source-Anschluss des Zusatzausschalthalbleiterschalters 27 ist mit dem ersten Pol der Ausschaltspannungsquelle 25 verbunden.

10 FIG 4 illustriert das erfindungsgemäße Verfahren zum Betreiben eines IGBT 1 mit einem in Figur 3 gezeigten Gate-Treiber 3 anhand von zeitlichen Verläufen eines Schaltzustands S1 des IGBT 1, eines Schaltzustands S2 des Einschalthalbleiterschalters 11, eines Schaltzustands S3 des Ausschalthalbleiterschalters 13 und eines Schaltzustands S4 des Zusatzausschalthalbleiterschalters 27.

Wiederum werden eine für einen Betrieb des IGBT 1 erforderliche maximale stationäre Sperrspannung, eine minimale Entnahmeladung, deren Entnahme am Gate 5 des IGBT 1 eine elektrische Feldstärke bewirkt, die es ermöglicht, dass der IGBT 1 beim stationären Sperrern die maximale stationäre Sperrspannung aufnehmen kann, und eine maximale Entnahmeladung, deren Entnahme am Gate 5 eine elektrische Feldstärke bewirkt, die zu einem dynamischen Avalanche führt, bestimmt.

Der IGBT 1 wird abwechselnd für eine Einschaltdauer T1 eingeschaltet und für eine Ausschaltdauer T2 ausgeschaltet. Während jeder Einschaltdauer T1 wird der Einschalthalbleiterschalter 11 eingeschaltet und der Ausschalthalbleiterschalter 13 und der Zusatzausschalthalbleiterschalter 27 werden ausgeschaltet. Während jeder Ausschaltdauer T2 wird der Einschalthalbleiterschalter 11 ausgeschaltet, der Ausschalthalbleiterschalter 13 wird zunächst für eine Ladungsentnahmedauer T3 eingeschaltet und nach dem Ablauf der Ladungsentnahmedauer T3 ausgeschaltet und der Zusatzausschalthalbleiterschalter 27 wird eingeschaltet. Die Ladungsentnahmedauer T3 wird dadurch definiert, dass dem Gate 5 des IGBT 1 während

einer Ausschaltdauer T2 eine Entnahmeladung, die größer als die minimale Entnahmeladung und kleiner als die maximale Entnahmeladung ist, entnommen wird. Im Unterschied zu dem anhand von Figur 2 beschriebenen Ausführungsbeispiel des erfindungsgemäßen Verfahrens wird dem Gate 5 in diesem Fall durch das Einschalten des Zusatzausschalthalbleiterschalters 27 während der gesamten Ausschaltdauer T2 Ladung entnommen. Bei ausreichend großem Zusatzausschaltwiderstand 29 ist die dem Gate 5 nach dem Ausschalten des Ausschthalbleiterschalters 13 während der Ausschaltdauer T2 entnommene Ladung jedoch klein, so dass sie entweder ganz vernachlässigt werden kann, oder es wird der Ermittlung der Ladungsentnahmedauer T3 eine um diese Ladung reduzierte maximale Entnahmeladung zugrunde gelegt. Durch das Einschalten des Zusatzausschalthalbleiterschalters 27 während einer Ausschaltdauer T2 kann das Ausschaltverhalten des IGBT 1 vorteilhaft stabilisiert werden.

FIG 5 zeigt einen Schaltplan eines IGBT 1 und eines dritten Ausführungsbeispiels eines Gate-Treibers 3 für einen IGBT 1. Der Gate-Treiber 3 unterscheidet sich von dem in FIG 1 dargestellten Ausführungsbeispiel dadurch, dass er anstelle der Reihenschaltung des Ausschthalbleiterschalters 13 und des Ausschaltwiderstands 17 eine Ausschaltstromquelle 31 zum Erzeugen eines konstanten Gatestroms aufweist. Die Ausschaltstromquelle 31 wird analog zu dem Ausschthalbleiterschalter 13 in dem anhand von Figur 2 beschriebenen Ausführungsbeispiel des erfindungsgemäßen Verfahrens während jeder Ausschaltdauer T2 des IGBT 1 für eine Ladungsentnahmedauer T3 eingeschaltet. Die Ladungsentnahmedauer T3 wird durch den Quotienten aus der Entnahmeladung und dem konstanten Gatestrom definiert. Während der Einschaltdauer T1 des IGBT 1, in der der Einschthalbleiterschalter 11 eingeschaltet ist, und der restlichen Ausschaltdauer T2 wird die Ausschaltstromquelle 31 abgeschaltet. In dem in Figur 5 dargestellten Ausführungsbeispiel eines Gate-Treibers 3 ist die Ausschaltstromquelle 31 durch eine Reihenschaltung eines durch die Ansteuerlogik 19 ansteuerbaren Bipolartransistors 33 und eines Stromquellenwiderstands 35 realisiert. Andere Ausführungen

einer durch die Ansteuerlogik 19 ansteuerbaren Ausschaltstromquelle 31 sind jedoch auch möglich.

FIG 6 zeigt einen Schaltplan einer Halbbrückenschaltung mit  
5 zwei IGBT 1, 2, einem ersten Gate-Treiber 3 für einen ersten IGBT 1 und einem zweiten Gate-Treiber 4 für den zweiten IGBT 2. Jeder IGBT 1, 2 ist in einem Brückenarm einer Halbbrücke angeordnet. Die Brückenarme sind durch einen Kondensator 37 miteinander verbunden. Zu jedem IGBT 1, 2 ist eine  
10 Freilaufdiode 39, 40 parallel geschaltet. Jeder Gate-Treiber 3, 4 ist wie der Gate-Treiber 3 des in FIG 1 oder FIG 5 dargestellten Ausführungsbeispiels ausgebildet.

FIG 7 illustriert das erfindungsgemäße Verfahren zum Betreiben  
15 zweier gemäß FIG 6 zu einer Halbbrücke verschalteter IGBT 1, 2 anhand von zeitlichen Verläufen eines Schaltzustands S1 des ersten IGBT 1, eines Schaltzustands S2 des Einschalthalbleiterschalters 11 des ersten Gate-Treibers 3, eines Schaltzustands S3 des Ausschalthalbleiterschalters 13 des  
20 ersten Gate-Treibers 3, eines Schaltzustands S5 des zweiten IGBT 2, eines Schaltzustands S6 des Einschalthalbleiterschalters 11 des zweiten Gate-Treibers 4 und eines Schaltzustands S7 des Ausschalthalbleiterschalters 13 des zweiten Gate-Treibers 4.

25

Für jeden IGBT 1, 2 wird eine für dessen Betrieb erforderliche maximale stationäre Sperrspannung, eine minimale Entnahmeladung, deren Entnahme am Gate 5 des IGBT 1, 2 eine elektrische Feldstärke bewirkt, die es ermöglicht, dass der IGBT 1  
30 beim stationären Sperrern die maximale stationäre Sperrspannung aufnehmen kann, und eine maximale Entnahmeladung, deren Entnahme am Gate 5 eine elektrische Feldstärke bewirkt, die zu einem dynamischen Avalanche führt, bestimmt.

35 Die beiden IGBT 1, 2 werden abwechselnd für jeweils eine Einschaltdauer T1 eingeschaltet, wobei je zwei aufeinander folgende Einschaltdauern T1 durch eine Verriegelungsdauer T4

voneinander getrennt sind, in der beide IGBT 1, 2 ausgeschaltet sind.

5 Während jeder Ausschaltdauer T2 jedes IGBT 1, 2 wird dem Gate 5 des IGBT 1, 2 während einer Ladungsentnahmedauer T3 analog zu dem anhand von Figur 2 beschriebenen Verfahren eine Entnahmeladung entnommen, die größer als die für ihn bestimmte minimale Entnahmeladung und kleiner als die für ihn bestimmte maximale Entnahmeladung ist. Die Ladungsentnahmedauer T3 wird dabei jedoch in zwei durch eine Entnahmepause T5  
10 voneinander getrennte Ladungsentnahmedauerteile T31, T32 aufgeteilt, wobei ein erster Ladungsentnahmedauerteil T31 mit dem Ausschalten des IGBT 1, 2 beginnt und vor dem Einschalten des anderen IGBT 2, 1 endet und der zweite Ladungsentnahmedauerteil T32 nach dem Ende des ersten Ladungsentnahmedauerteils T31 und vor dem Einschalten des anderen IGBT 2, 1 beginnt und mit dem Einschalten des IGBT 1, 2 endet.  
15

20 Das anhand von FIG 7 beschriebene Verfahren kann analog zu dem anhand von FIG 4 beschriebenen Verfahren abgewandelt werden, wenn die Gate-Treiber 3, 4 jeweils wie der in FIG 3 dargestellte Gate-Treiber 3 ausgeführt sind.

25 Obwohl die Erfindung im Detail durch bevorzugte Ausführungsbeispiele näher illustriert und beschrieben wurde, so ist die Erfindung nicht durch die offenbarten Beispiele eingeschränkt und andere Variationen können vom Fachmann hieraus abgeleitet werden, ohne den Schutzzumfang der Erfindung zu verlassen.

30

## Patentansprüche

1. Verfahren zum Betreiben eines IGBT (1,2), wobei
  - eine für einen Betrieb des IGBT (1,2) erforderliche maximale stationäre Sperrspannung bestimmt wird, 5
  - eine erste Entnahmeladung bestimmt wird, deren Entnahme am Gate (5) des IGBT (1,2) eine elektrische Feldstärke bewirkt, die es ermöglicht, dass der IGBT (1,2) beim stationären Sperrspannen die maximale stationäre Sperrspannung aufnehmen kann, 10
  - eine zweite Entnahmeladung bestimmt wird, deren Entnahme am Gate (5) eine elektrische Feldstärke bewirkt, die zu einer dynamischen Avalanche führt, und
  - dem Gate (5) beim Ausschalten des IGBT (1,2) während einer Ladungsentnahmedauer ( $T_3$ ) eine Entnahmeladung entnommen wird, die größer als die erste Entnahmeladung und kleiner als die zweite Entnahmeladung ist, wobei 15
  - die Entnahmeladung durch Anlegen einer Ausschaltspannung zwischen dem Gate (5) und dem Emitter (9) des IGBT (1,2) während der Ladungsentnahmedauer ( $T_3$ ) entnommen wird und 20
  - während des Anlegens der Ausschaltspannung ein in dem Gate (5) fließender Gatestrom gemessen wird, aus dem Gatestrom eine dem Gate (5) entnommene Ladung ermittelt wird und ein Ende der Ladungsentnahmedauer ( $T_3$ ) dadurch definiert wird, dass die dem Gate (5) entnommene Ladung die 25 Entnahmeladung erreicht.
  
2. Verfahren nach Anspruch 1, wobei die Entnahmeladung durch Erzeugen eines während der Ladungsentnahmedauer ( $T_3$ ) in dem Gate (5) fließenden konstanten Gatestroms entnommen wird. 30
  
3. Verfahren nach einem der vorhergehenden Ansprüche, wobei ein Schwellenwert für die Gate-Emitter-Spannung des IGBT (1,2) vorgegeben wird und die Entnahme von Ladung aus dem Gate (5) abgebrochen wird, wenn die Gate-Emitter-Spannung den Schwellenwert erreicht. 35

4. Verfahren zum Betreiben zweier zu einer Halbbrücke verschalteter IGBT (1,2), wobei
- jeder IGBT (1,2) mit einem Verfahren nach einem der vorhergehenden Ansprüche betrieben wird,
- 5
- die beiden IGBT (1,2) abwechselnd für jeweils eine Einschaltdauer (T1) eingeschaltet werden, wobei je zwei aufeinander folgende Einschaltdauern (T1) durch eine Verriegelungsdauer (T4) voneinander getrennt sind, und
  - die Ladungsentnahmedauer (T3) für jeden IGBT (1,2) in zwei
- 10
- durch eine Entnahmepause (T5) voneinander getrennte Ladungsentnahmedauerteile (T31, T32) aufgeteilt wird, wobei ein erster Ladungsentnahmedauerteil (T31) mit dem Ausschalten des IGBT (1,2) beginnt und vor dem Einschalten des anderen IGBT (2,1) endet und der zweite Ladungsentnahmedauerteil (T32) nach dem Ende des ersten Ladungsentnahmedauerteils (T31) und vor dem Einschalten des anderen
- 15
- IGBT (2,1) beginnt und mit dem Einschalten des IGBT (1,2) endet.
- 20
5. Verfahren nach einem der vorhergehenden Ansprüche, wobei die Ladungsentnahmedauer (T3) zwischen einhundert Nanosekunden und zehn Mikrosekunden beträgt.
6. Gate-Treiber (3,4) für einen IGBT (1,2) zur Durchführung
- 25
- des Verfahrens nach einem der vorhergehenden Ansprüche, wobei der Gate-Treiber (3,4) dazu ausgebildet ist, den IGBT (1,2) abwechselnd für eine Einschaltdauer (T1) einzuschalten und für eine Ausschaltdauer (T2) auszuschalten und dem Gate (5) des IGBT (1,2) in jeder Ausschaltdauer (T2) die Entnahmeladung zu entnehmen, der Gate-Treiber (3,4) umfassend
- 30
- einen ansteuerbaren Ausschalthalbleiterschalter (13), der zum Anlegen einer Ausschaltspannung zwischen dem Gate (5) und dem Emitter (9) des IGBT (1,2) einschaltbar ist,
  - einen zwischen dem Ausschalthalbleiterschalter (13) und dem
- 35
- Gate (5) geschalteten oder der Gate-Emitter-Strecke des IGBT (1,2) nachgeschalteten Ausschaltwiderstand (17),

- eine Ansteuerlogik (19), die dazu ausgebildet ist, den Ausschalthalbleiterschalter (13) für die Ladungsentnahmedauer (T3) einzuschalten, und
- eine Strommessvorrichtung (21) zum Messen eines in dem Gate (5) fließenden Gatestroms, wobei
- die Ansteuerlogik (19) dazu ausgebildet ist, aus dem Gatestrom eine dem Gate (5) entnommene Ladung zu ermitteln und ein Ende der Ladungsentnahmedauer (T3) dadurch zu definieren, dass die dem Gate (5) entnommene Ladung die Entnahmeladung erreicht.

7. Gate-Treiber (3,4) nach Anspruch 6 mit einer zu dem Ausschalthalbleiterschalter (13) und dem Ausschaltwiderstand (17) parallel geschalteten Reihenschaltung eines Zusatzausschalthalbleiterschalters (27) und eines Zusatzausschaltwiderstands (29), wobei der Zusatzausschaltwiderstand (29) größer als der Ausschaltwiderstand (17) ist und der Zusatzausschalthalbleiterschalter (27) zum Anlegen einer Zusatzausschaltspannung zwischen dem Gate (5) und dem Emitter (9) einschaltbar ist.

8. Gate-Treiber (3,4) nach Anspruch 6 oder 7 mit einer ansteuerbaren Ausschaltstromquelle (31), die zum Erzeugen eines konstanten Gatestroms in dem Gate (5) einschaltbar ist, wobei die Ansteuerlogik (19) dazu ausgebildet ist, die Ausschaltstromquelle (31) für die Ladungsentnahmedauer (T3) einzuschalten.



FIG 2

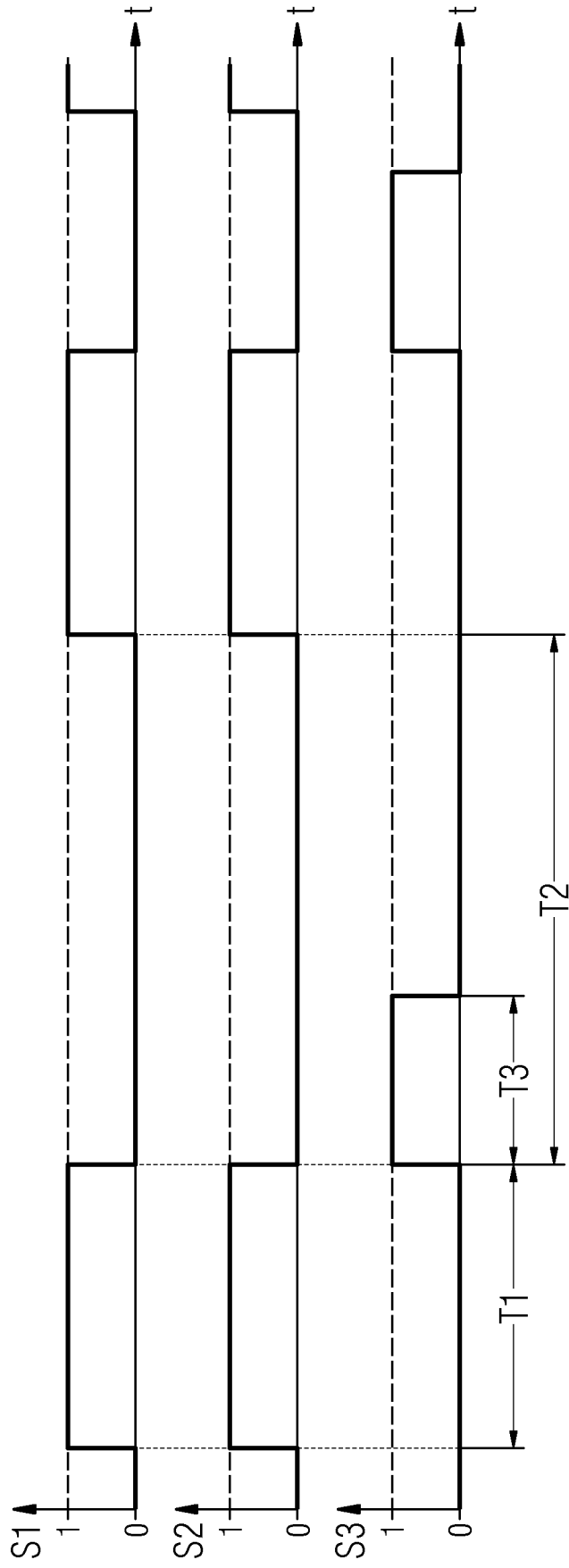
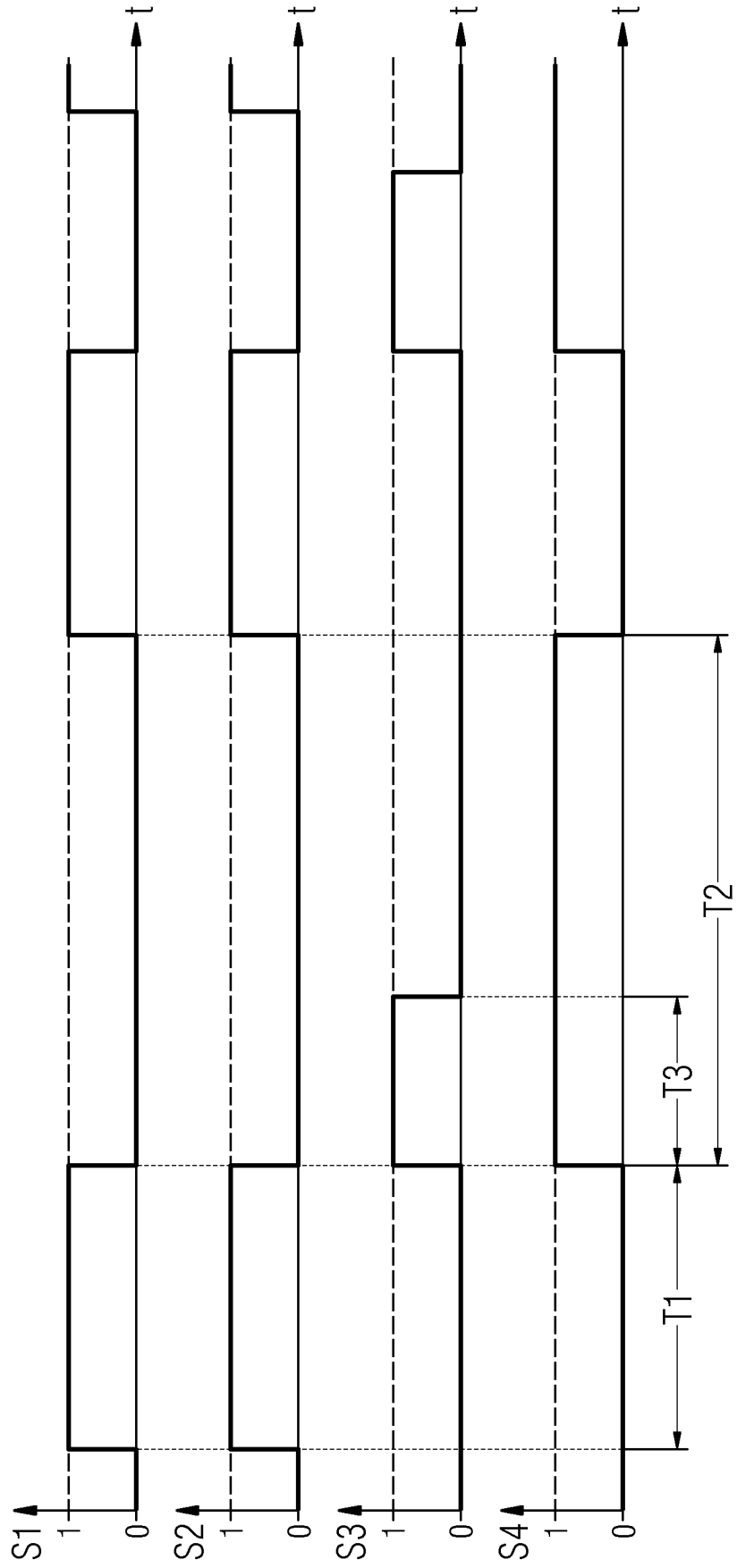




FIG 4



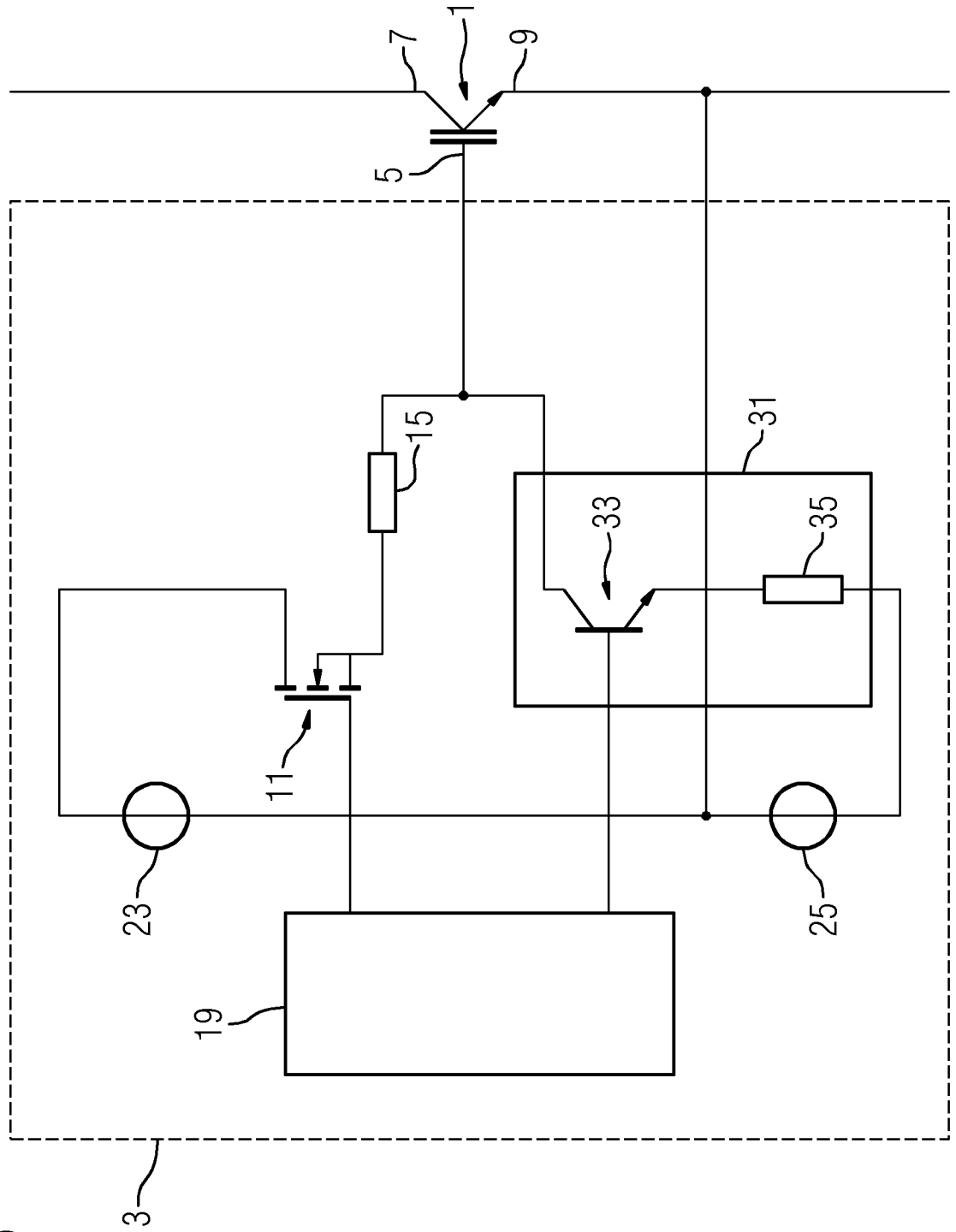


FIG 5

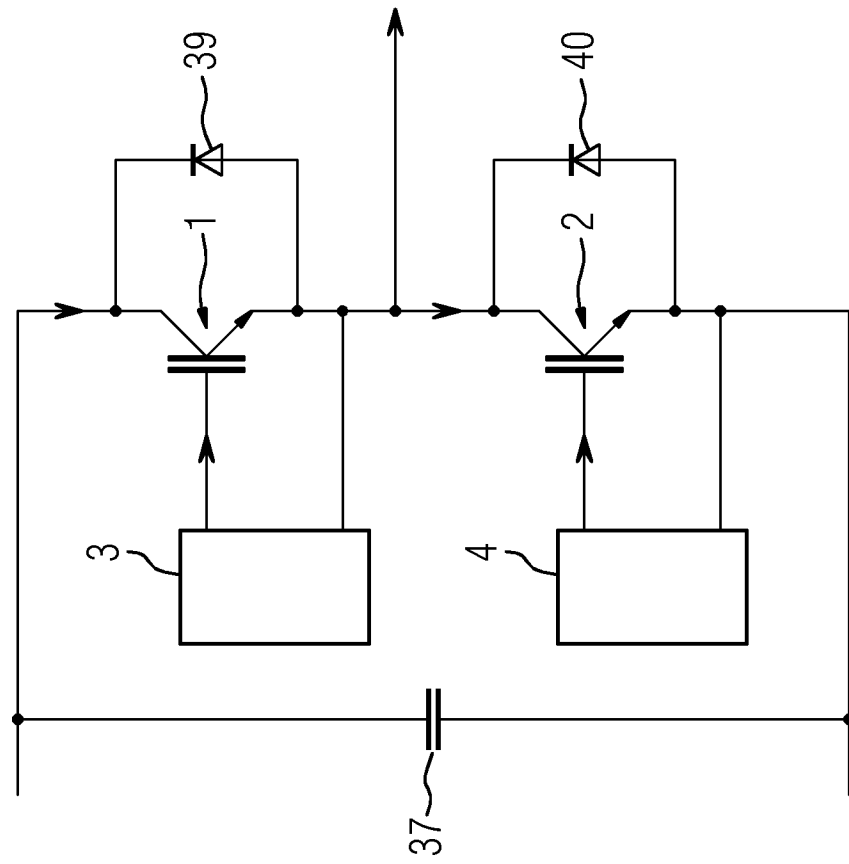


FIG 6

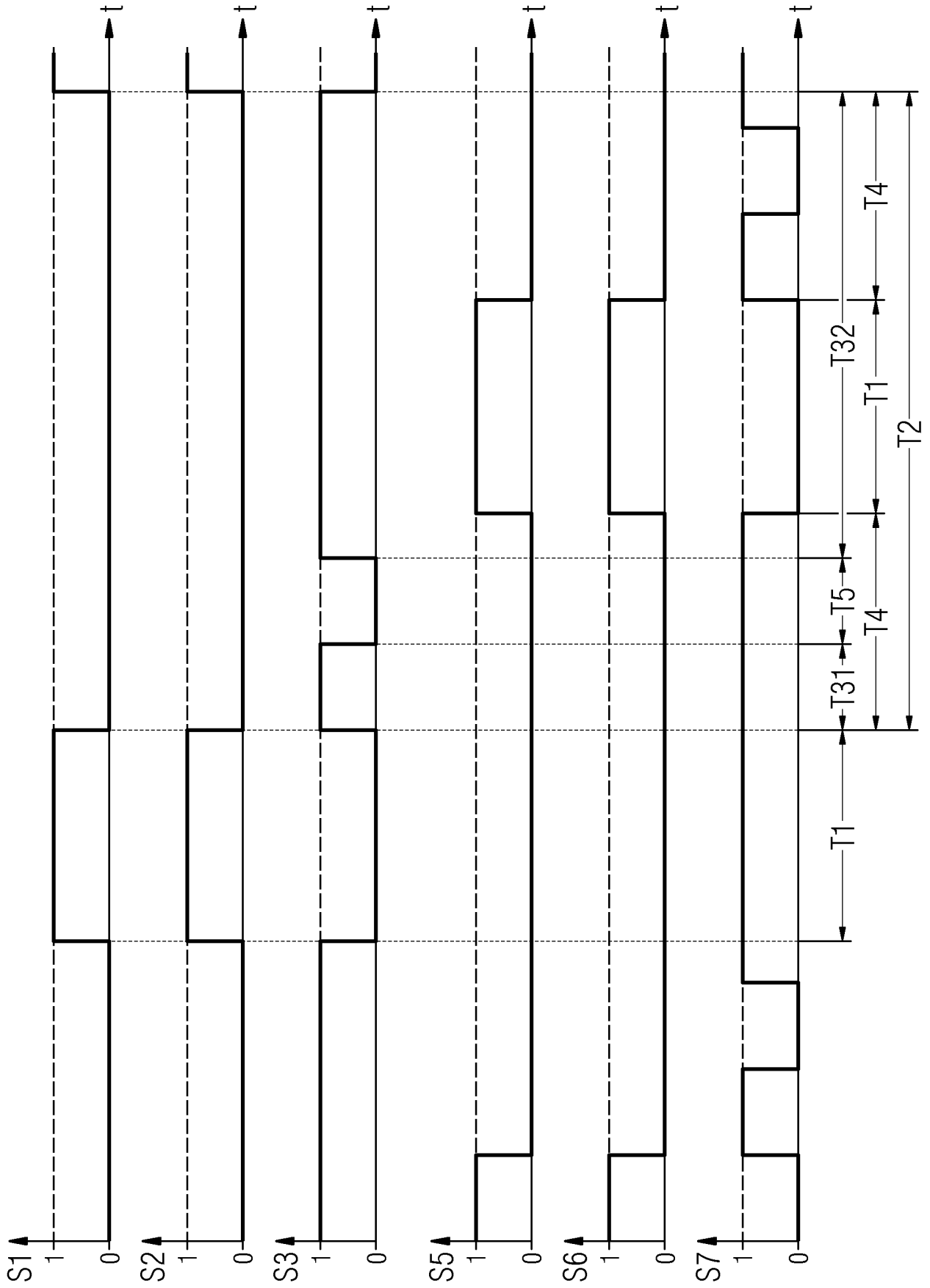


FIG 7

## INTERNATIONAL SEARCH REPORT

International application No.

**PCT/EP2019/072200**

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
<b>H03K 17/0812</b> (2006.01)i; <b>H03K 17/0412</b> (2006.01)i; <b>H03K 17/04</b> (2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) H03K; H02M		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal, WPI Data		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	DE 102013223135 B3 (INFINEON TECHNOLOGIES AG [DE]) 20 November 2014 (2014-11-20) paragraph [0021] paragraph [0029] - paragraph [0030]; figures 1(A), 3 paragraph [0039]	1-8
A	JP 2002153043 A (FUJI ELECTRIC CO LTD) 24 May 2002 (2002-05-24) paragraph [0004]; figures 1,2,3 paragraph [0007] paragraph [0011]	1-8
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search <b>07 November 2019</b>		Date of mailing of the international search report <b>15 November 2019</b>
Name and mailing address of the ISA/EP <b>European Patent Office p.b. 5818, Patentlaan 2, 2280 HV Rijswijk Netherlands</b> Telephone No. (+31-70)340-2040 Facsimile No. (+31-70)340-3016		Authorized officer <b>Fermentel, Thomas</b>  Telephone No.

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/EP2019/072200**

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
DE 102013223135 B3	20 November 2014	NONE	
JP 2002153043 A	24 May 2002	NONE	

# INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP2019/072200

<b>A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES</b> INV. H03K17/0812 H03K17/0412 H03K17/04 ADD.		
Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC		
<b>B. RECHERCHIERTE GEBIETE</b> Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole ) H03K H02M		
Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen		
Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe) EPO-Internal, WPI Data		
<b>C. ALS WESENTLICH ANGESEHENE UNTERLAGEN</b>		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	DE 10 2013 223135 B3 (INFINEON TECHNOLOGIES AG [DE]) 20. November 2014 (2014-11-20) Absatz [0021] Absatz [0029] - Absatz [0030]; Abbildungen 1(A), 3 Absatz [0039]	1-8
A	JP 2002 153043 A (FUJI ELECTRIC CO LTD) 24. Mai 2002 (2002-05-24) Absatz [0004]; Abbildungen 1,2,3 Absatz [0007] Absatz [0011]	1-8
<input type="checkbox"/> Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen <input checked="" type="checkbox"/> Siehe Anhang Patentfamilie		
* Besondere Kategorien von angegebenen Veröffentlichungen : "A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist "E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist "L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt) "O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht "P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist "T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist "X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden "Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist "&" Veröffentlichung, die Mitglied derselben Patentfamilie ist		
Datum des Abschlusses der internationalen Recherche 7. November 2019		Absenddatum des internationalen Recherchenberichts 15/11/2019
Name und Postanschrift der Internationalen Recherchenbehörde Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Bevollmächtigter Bediensteter Fermentel, Thomas

**INTERNATIONALER RECHERCHENBERICHT**

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2019/072200

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
DE 102013223135 B3	20-11-2014	KEINE	
JP 2002153043 A	24-05-2002	KEINE	