

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6063117号
(P6063117)

(45) 発行日 平成29年1月18日(2017.1.18)

(24) 登録日 平成28年12月22日(2016.12.22)

(51) Int.Cl.	F I				
HO 1 L 21/336 (2006.01)	HO 1 L	29/78	6 1 7 J		
HO 1 L 29/786 (2006.01)	HO 1 L	29/78	6 2 7 A		
HO 1 L 29/417 (2006.01)	HO 1 L	29/78	6 1 7 S		
HO 1 L 29/41 (2006.01)	HO 1 L	29/78	6 1 8 B		
HO 1 L 29/423 (2006.01)	HO 1 L	29/78	6 1 6 L		
請求項の数 1 (全 39 頁) 最終頁に続く					

(21) 出願番号 特願2011-247912 (P2011-247912)
 (22) 出願日 平成23年11月11日(2011.11.11)
 (65) 公開番号 特開2013-105852 (P2013-105852A)
 (43) 公開日 平成25年5月30日(2013.5.30)
 審査請求日 平成26年11月5日(2014.11.5)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 笹川 慎也
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 倉田 求
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 岩本 勉

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

絶縁表面上の酸化物半導体層と、
 前記酸化物半導体層上のゲート絶縁層と、
 前記ゲート絶縁層上に設けられ、前記酸化物半導体層と重なる領域を有する第1のゲート電極層と、
 前記ゲート絶縁層上に設けられ、前記第1のゲート電極層と接する領域を有する第2のゲート電極層と、
 前記第2のゲート電極層上の側壁絶縁層と、
 前記ゲート絶縁層上、前記第1のゲート電極層上、前記第2のゲート電極層上、及び前記側壁絶縁層上の絶縁層と、
 前記絶縁層上に設けられ、前記絶縁層及び前記ゲート絶縁層に設けられた第1の開口を介して、前記酸化物半導体層と接する領域を有するソース電極層と、
 前記絶縁層上に設けられ、前記絶縁層及び前記ゲート絶縁層に設けられた第2の開口を介して、前記酸化物半導体層と接する領域を有するドレイン電極層と、を有し、
 前記酸化物半導体層は、不純物元素を含む第1の領域と、前記不純物元素を含む第2の領域と、前記第1の領域と前記第2の領域との間のチャンネル形成領域と、を有し、
 前記第2のゲート電極層は、前記第1の領域と重なる領域と、前記第2の領域と重なる領域と、前記第1のゲート電極層の、チャンネル長方向における側面と接する領域と、を有し、

10

20

前記側壁絶縁層は、前記第2のゲート電極層を介して前記第1のゲート電極層の前記側面と対向する領域と、前記第2のゲート電極層を介して前記ゲート絶縁層の上面の一部と対向する領域と、を有し、

前記側壁絶縁層は、前記第2のゲート電極層の前記絶縁表面からの高さよりも、前記絶縁表面からの高さが大きい領域を有することを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、半導体装置及び該半導体装置の作製方法に関する。

【背景技術】

10

【0002】

絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタ（薄膜トランジスタ（TFET）ともいう）を構成する技術が注目されている。

【0003】

例えば、トランジスタの活性層として、インジウム（In）、ガリウム（Ga）、及び亜鉛（Zn）を含む非晶質酸化物を用いたトランジスタが開示されている（特許文献1参照）。

【先行技術文献】

【特許文献】

【0004】

20

【特許文献1】特開2006-165528号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

トランジスタの微細化に伴って、トランジスタの位置合わせ（アライメント）精度の向上が困難となり、位置合わせ精度の低下等の原因により微細化されたトランジスタの歩留まりが低いといった問題がある。そこで、本発明の一態様の半導体装置は、微細なトランジスタを歩留まりよく作製することを目的の一とする。

【0006】

また、半導体装置の高速応答、高速駆動の実現には、微細化されたトランジスタのオン特性の向上が望まれる。したがって、本発明の一態様の半導体装置は微細化されたトランジスタのオン特性を向上させて、半導体装置の高速応答、高速駆動を実現する構成を提供することを目的の一とする。また、本発明の一態様は該半導体装置の作製方法を提供することを目的の一とする。

30

【課題を解決するための手段】

【0007】

本発明の一態様の半導体装置は、一对の低抵抗領域及び該低抵抗領域に挟まれるチャネル形成領域を含む酸化物半導体層と、ゲート絶縁層を介してチャネル形成領域と重畳する第1のゲート電極層と、第1のゲート電極層のチャネル長方向の側面及びゲート絶縁層の上面と接し、低抵抗領域と重畳する第2のゲート電極層と、第2のゲート電極層上の、側端部を第2のゲート電極層の側端部と重畳する側壁絶縁層と、を有する。

40

【0008】

酸化物半導体層の低抵抗領域はソース電極層またはドレイン電極層と接し、ソース領域またはドレイン領域として機能する。ソース電極層またはドレイン電極層が、低抵抗領域において接するため、酸化物半導体層とソース電極層またはドレイン電極層とのコンタクト抵抗は低減され、オン電流値が向上する。ソース領域またはドレイン領域として機能する低抵抗領域と重畳するように第2のゲート電極層が設けられていることで、半導体装置のオン電流の低下を抑制することができる。

【0009】

第2のゲート電極層を第1のゲート電極層の側面及びゲート絶縁層の上面と接するように

50

形成することで、自己整合的に第2のゲート電極層と、ソース領域及びドレイン領域が重畳する領域（本明細書中において、Low領域と呼ぶこととする）が形成されるため、アライメント精度の自由度が向上され、微細なトランジスタを歩留まりよく作製することができる。

【0010】

したがって、本発明の一態様は絶縁表面上の、一对の低抵抗領域と、前記一对の低抵抗領域に挟まれるチャンネル形成領域と、を含む酸化半導体層と、酸化半導体層上のゲート絶縁層と、ゲート絶縁層上の、チャンネル形成領域と重畳する第1のゲート電極層と、低抵抗領域と重畳し、少なくとも第1のゲート電極層のチャンネル長方向の側面及びゲート絶縁層の上面と接する第2のゲート電極層と、第2のゲート電極層を介して第1のゲート電極のチャンネル長方向の側面及びゲート絶縁層の上面と対向し、第2のゲート電極層のチャンネル長方向の側端部と側端部が一致する側壁絶縁層と、ゲート絶縁層、第1のゲート電極層、第2のゲート電極層及び側壁絶縁層上の絶縁層と、絶縁層及びゲート絶縁層に設けられた開口を介して、低抵抗領域と接するソース電極層又はドレイン電極層と、を有する半導体装置である。

10

【0011】

なお、第2のゲート電極層及び側壁絶縁層の側端部とは、第2のゲート電極層及び側壁絶縁層のうち、第1のゲート電極層からチャンネル長方向に最も離れた部分のことを指す。

【0012】

なお、本明細書において2つの層の側端部が一致するとは、基板の上面と垂直な方向から見て、対象物の側面が、一部の領域において重畳することを意味する。ただし、厳密な一致を意味するわけではなく、マスクを用いたエッチングによって処理された対象物の側端部と、該マスクの側端部との一致の程度を含有する。

20

【0013】

また、該半導体層装置において、絶縁層、ソース電極層及びドレイン電極層は、化学的機械的研磨処理によって平坦化された表面を有することが好ましい。

【0014】

さらに、該半導体装置に、ソース電極層またはドレイン電極層上に接して設けられたソース配線層及びドレイン配線層を設け、ソース電極層及びドレイン電極層との間のチャンネル長方向の距離を、ソース配線層及びドレイン配線層との間の距離よりも小さくすることが好ましい。

30

【0015】

また本発明の一態様は、ゲート絶縁層の第1のゲート電極層と接する領域の膜厚は、ゲート絶縁層の第2のゲート電極層と接する領域の膜厚よりも大きい半導体装置である。さらに、ゲート絶縁層の第2のゲート電極層と接する領域の膜厚は、ゲート絶縁層の絶縁層と接する領域の膜厚よりも大きい半導体装置である。

【0016】

また、本発明の一態様は側壁絶縁層に酸化窒化シリコン膜を含むことが好ましい。

【0017】

また、本発明の別の態様は、絶縁表面上に酸化半導体層を形成し、酸化半導体層を覆うゲート絶縁層を形成し、ゲート絶縁層上に、酸化半導体層と重畳するゲート電極層を形成し、ゲート電極層をマスクとして、酸化半導体層に不純物元素を導入し、一对の低抵抗領域を自己整合的に形成し、ゲート絶縁層及びゲート電極層上に導電膜を形成し、第1の導電膜上にプラズマCVD法によって絶縁膜を形成し、絶縁膜をエッチングして、導電膜上の側壁絶縁層を形成し、導電膜に側壁絶縁層をマスクとしたエッチングを行い、第2のゲート電極層を形成し、ゲート絶縁層、第1のゲート電極層、側壁絶縁層、及び第2のゲート電極層上に絶縁層を形成し、絶縁層及び前記ゲート絶縁層に低抵抗領域に達する第1の開口及び第2の開口を形成し、開口に、低抵抗領域と接するソース電極層またはドレイン電極層を形成する半導体装置の作製方法である。

40

【0018】

50

また、本発明の一態様は、絶縁表面上に酸化物半導体層を形成し、酸化物半導体層を覆うゲート絶縁層を形成し、ゲート絶縁層上に、前記酸化物半導体層と重畳するゲート電極層を形成し、ゲート電極層をマスクとして、酸化物半導体層に不純物元素を導入し、自己整合的に第1の低抵抗領域及び第2の低抵抗領域を形成し、ゲート絶縁層及びゲート電極層上に第1の導電膜を形成し、第1の導電膜上に絶縁膜を形成し、絶縁膜をエッチングし、第1の導電膜上の側壁絶縁層を形成し、第1の導電膜に側壁絶縁層をマスクとしたエッチングを行い、第2のゲート電極層を形成し、ゲート絶縁層、第1のゲート電極層、側壁絶縁層、及び第2のゲート電極層上に絶縁層を形成し、第1のマスクを用いて、絶縁層及びゲート絶縁層をエッチングして、第1の低抵抗領域に達する第1の開口を形成し、第2のマスクを用いて、絶縁層及びゲート絶縁層をエッチングし、第2の低抵抗領域に達する第2の開口を形成し、第1の開口及び第2の開口を埋め込むように絶縁層上に第2の導電膜を形成し、第2の導電膜に研磨処理を行うことにより、絶縁層上に設けられた第2の導電膜を除去して、第1の開口または第2の開口にソース電極層またはドレイン電極層を形成し、ソース電極層またはドレイン電極層上に、ソース配線層またはドレイン配線層を形成する半導体装置の作製方法である。

10

【0019】

なお、本明細書等において「上」という用語は、構成要素の位置関係が「直上」であることを限定するものではない。例えば、「絶縁層上のゲート電極層」の表現であれば、絶縁層とゲート電極層との間に他の構成要素を含むものを除外しない。また、「下」という用語に関しても同様である。

20

【0020】

また、本明細書等において「電極層」や「配線層」という用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極層」は「配線層」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極層」や「配線層」という用語は、複数の「電極層」や「配線層」が一体となって形成されている場合なども含む。

【0021】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」という用語は、入れ替えて用いることができるものとする。

30

【0022】

また、本明細書等において、チャネル長方向とは、チャネル形成領域において電流が流れる方向のことであり、ソース領域（またはソース電極）からドレイン領域（またはドレイン電極）へと向かう方向、またはその反対の方向のことを指す。

【0023】

なお、本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。

【0024】

例えば、「何らかの電氣的作用を有するもの」には、電極や配線などが含まれる。

40

【発明の効果】**【0025】**

本発明の一態様の半導体装置は微細化されたトランジスタのオン特性を向上させることができる。また、該半導体装置を歩留まり良く作製できる。

【図面の簡単な説明】**【0026】**

【図1】本発明の一態様の半導体装置の上面図及び断面図。

【図2】本発明の一態様の半導体装置の作製方法を説明する図。

【図3】本発明の一態様の半導体装置の作製方法を説明する図。

【図4】本発明の一態様の半導体装置の作製方法を説明する図。

50

- 【図5】本発明の一態様の半導体装置の断面図。
 【図6】本発明の一態様の半導体装置の上面図及び断面図。
 【図7】本発明の一態様の半導体装置の作製方法を説明する図。
 【図8】本発明の一態様の半導体装置の作製方法を説明する図。
 【図9】半導体装置の一形態を示す断面図、上面図及び回路図。
 【図10】半導体装置の一形態を示す回路図及び斜視図。
 【図11】半導体装置の一形態を示す断面図及び上面図。
 【図12】半導体装置の一形態を示す上面図及び断面図。
 【図13】半導体装置の一形態を示す回路図。
 【図14】半導体装置の一形態を示すブロック図。
 【図15】半導体装置の一形態を示すブロック図。
 【図16】半導体装置の一形態を示すブロック図。
 【図17】実施例試料1の断面STEM写真及び断面模式図。
 【図18】実施例試料2の断面STEM写真。
 【発明を実施するための形態】

【0027】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態及び詳細を様々に変更しうることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0028】

以下に説明する実施の形態において、同じものを指す符号は異なる図面間で共通して用いる場合がある。なお、図面において示す構成要素、すなわち層や領域等の厚さ、幅、相対的な位置関係等は、実施の形態において説明する上で明確性のため、誇張して示される場合がある。

【0029】

(実施の形態1)

本実施の形態では、本発明の一態様の半導体装置の基本的な構成及び作製方法について図面を用いて説明する。図1に本発明の一態様の半導体装置を示す。図1(A)は本発明の一態様であるトランジスタの上面図を示しており、図1(B)は図1(A)の一点鎖線A1-A2における断面図である。

【0030】

トランジスタ420を含む半導体装置は、基板400上に下地絶縁層436と、下地絶縁層436上の低抵抗領域404a、低抵抗領域404b及び低抵抗領域404aと低抵抗領域404bに挟まれたチャンネル形成領域403を含む酸化物半導体層409と、酸化物半導体層409上のゲート絶縁層402と、ゲート絶縁層402上の第1のゲート電極層401と、少なくとも第1のゲート電極層401のチャンネル長方向の側面と接する第2のゲート電極層412と、第2のゲート電極層412上の側壁絶縁層413と、ゲート絶縁層402、第2のゲート電極層412、側壁絶縁層413上の絶縁層415と、絶縁層415及びゲート絶縁層402に設けられた開口を介して、酸化物半導体層409の低抵抗領域404a及び低抵抗領域404bとそれぞれ接するソース電極層405a及びドレイン電極層405bとを有する。

【0031】

側壁絶縁層413は、第2のゲート電極層412を介して第1のゲート電極層401のチャンネル長方向の側面及び前記ゲート絶縁層の上面と対向し、第2のゲート電極層412のチャンネル長方向の側端部と、側壁絶縁層413のチャンネル長方向の側端部はそれぞれ一致する。

【0032】

酸化物半導体層409の低抵抗領域404a及び低抵抗領域404bは、ソース電極層405a及びドレイン電極層405bとそれぞれ接し、トランジスタ420のソース領域及

10

20

30

40

50

びドレイン領域として機能する。低抵抗領域404a及び低抵抗領域404bにおいて酸化物半導体層409とソース電極層405a及びドレイン電極層405bとが接するため、ソース電極層405a及びドレイン電極層405bと酸化物半導体層409とのコンタクト抵抗が低減されている。

【0033】

第2のゲート電極層412は、低抵抗領域404a及び低抵抗領域404bとゲート絶縁層402を介して重畳する。トランジスタ420は、第2のゲート電極層412と、ソース領域またはドレイン領域として機能する低抵抗領域404a及び低抵抗領域404bがそれぞれ重畳する領域(Lov領域)を有するため、オン電流の低下を抑制することができる。

10

【0034】

続いて、図1に示すトランジスタ420の作製方法の一例について図2乃至図4を用いて説明する。

【0035】

まず、基板400上に下地絶縁層436を形成する。

【0036】

使用できる基板に大きな制限はないが、少なくとも、後の熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板、セラミック基板、石英基板、サファイア基板などを用いることができる。

20

【0037】

また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI基板、また、これらの基板上に半導体素子が設けられたものなどを用いることができる。

【0038】

下地絶縁層436は、スパッタリング法、MBE(Molecular Beam Epitaxy)法、CVD(Chemical Vapor Deposition)、パルスレーザ堆積法(Pulsed Laser Deposition:PCVD法)、ALD(Atomic Layer Deposition)法等を適宜用いることができる。なお、下地絶縁層436をスパッタリング法を用いて形成すると、水素等の不純物元素低減することができる。

30

【0039】

下地絶縁層436としては、酸化シリコン、酸化ガリウム、酸化アルミニウム、酸化窒化シリコン、窒化酸化シリコン、酸化ハフニウム、または酸化タンタルなどの酸化物絶縁層を用いることが好ましい。また、これらの化合物を単層構造または2層以上の積層構造で形成して用いることができる。積層構造とする際、例えば、基板と接する下地絶縁層にCVD法によって形成した酸化シリコン膜を用い、酸化物半導体層409と接する下地絶縁層にスパッタリング法によって形成した酸化シリコン膜を用いる構成としてもよい。酸化物絶縁層と接する絶縁層を、水素濃度が低減された酸化物絶縁層とすることで、酸化物半導体層409に水素の拡散を抑制する他に、酸化物半導体層409の酸素欠陥に下地絶縁層436となる酸化物絶縁層から酸素が供給されるため、トランジスタ420の電気特性を良好にすることができる。

40

【0040】

なお、ここで酸化窒化シリコンとは、その組成において窒素よりも酸素の含有量が多いものを示し、例として、少なくとも酸素が50原子%以上70原子%以下、窒素が0.5原子%以上15原子%以下、シリコンが25原子%以上35原子%以下の範囲に含まれるものをいう。但し、上記範囲は、ラザフォード後方散乱法(RBS:Rutherford Backscattering Spectrometry)や、水素前方散乱法(HFS:Hydrogen Forward Scattering)を用いて測定した場合のものである。また、構成元素の含有比率は、その合計が100原子%を超えない値を

50

とる。

【0041】

下地絶縁層436は、酸化物半導体層409と接するため、層中(バルク中)に少なくとも化学量論的組成比を超える量の酸素が存在することが好ましい。例えば、下地絶縁層435として、酸化シリコン層を用いる場合には、 $\text{SiO}_{(2+x)}$ (ただし、 $x > 0$)とする。

【0042】

続いて、下地絶縁層436上に酸化物半導体膜を形成する。酸化物半導体膜は、スパッタリング法、蒸着法、パルスレーザ堆積法、PLD法、ALD法、またはMBE法などを用いて成膜することができる。なお、基板400と酸化物半導体層の絶縁性を確保できるようであれば、下地絶縁層は設けなくともよい。

10

【0043】

酸化物半導体膜上にレジストマスクを設けて、酸化物半導体膜を島状にエッチングした後、レジストマスクを除去して酸化物半導体層409を形成する(図2(A)参照)。

【0044】

酸化物半導体層409に用いる酸化物半導体としては、少なくともインジウム(In)、あるいは亜鉛(Zn)を含むことが好ましい。特にInとZnを含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを低減するためのスタビライザーとして、それらに加えてガリウム(Ga)を有することが好ましい。スタビライザーとしては他にも、スズ(Sn)、ハフニウム(Hf)、アルミニウム(Al)を有す

20

【0045】

また、他のスタビライザーとして、ランタノイドであるランタン(La)、セリウム(Ce)、プラセオジウム(Pr)、ネオジウム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)、ガドリニウム(Gd)、セリウム(Ce)、ジルコニウム(Zr)のいずれか一種あるいは複数種を有してもよい。

【0046】

例えば、酸化物半導体として、単元系金属の酸化物である酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物であるIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、三元系金属の酸化物であるIn-Ga-Zn系酸化物、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、四元系金属の酸化物であるIn-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。

30

40

【0047】

なお、ここでは、例えば、In-Ga-Zn系酸化物とは、InとGaとZnを主成分として有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属が入っていてもよい。

【0048】

また、酸化物半導体として、 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$ 、且つ、 m は整数でない)で表記される材料を用いてもよい。なお、Mは、Ga、Fe、Mn及びCoから選ばれた

50

一の金属元素または複数の金属元素を示す。また、酸化物半導体として、 In_2SnO_5 (ZnO)_n ($n > 0$ 、且つ、 n は整数)で表記される材料を用いてもよい。

【0049】

例えば、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ ($= 1/3 : 1/3 : 1/3$)あるいは $\text{In} : \text{Ga} : \text{Zn} = 2 : 2 : 1$ ($= 2/5 : 2/5 : 1/5$)の原子比の $\text{In} - \text{Ga} - \text{Zn}$ 系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$ ($= 1/3 : 1/3 : 1/3$)、 $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 3$ ($= 1/3 : 1/6 : 1/2$)あるいは $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 5$ ($= 1/4 : 1/8 : 5/8$)の原子比の $\text{In} - \text{Sn} - \text{Zn}$ 系酸化物やその組成の近傍の酸化物を用いるとよい。

【0050】

なお、例えば、 In 、 Ga 、 Zn の原子数比が $\text{In} : \text{Ga} : \text{Zn} = a : b : c$ ($a + b + c = 1$)である酸化物の組成が、原子数比が $\text{In} : \text{Ga} : \text{Zn} = A : B : C$ ($A + B + C = 1$)の酸化物の組成の r だけ近傍であるとは、 a 、 b 、 c が、 $(a - A)^2 + (b - B)^2 + (c - C)^2 < r^2$ を満たすことをいう。 r としては、例えば、0.05とすればよい。他の酸化物でも同様である。

【0051】

しかし、これらに限られず、必要とする半導体特性(移動度、しきい値、ばらつき等)に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア濃度や不純物元素度、欠陥密度、金属元素と酸素の原子数比、原子間結合距離、密度等を適切なものとするのが好ましい。

【0052】

例えば、 $\text{In} - \text{Sn} - \text{Zn}$ 系酸化物では比較的容易に高い移動度が得られる。しかしながら、 $\text{In} - \text{Ga} - \text{Zn}$ 系酸化物でも、バルク内欠陥密度を下げるにより移動度を上げることができる。

【0053】

なお、酸化物半導体膜は、非晶質構造であってもよいし、結晶構造を有していてもよい。非晶質構造の一種である好ましい一態様として、CAAC酸化物半導体(CAAC-Oxide Semiconductor)膜がある。CAAC-Oxide Semiconductor膜は、完全な単結晶ではなく、完全な非晶質でもない。CAAC-Oxide Semiconductor膜は、結晶-非晶質混相構造の酸化物半導体膜である。結晶の大きさは数nmから数十nm程度と見積られるが、透過型電子顕微鏡(TEM: Transmission Electron Microscope)による観察では、CAAC-Oxide Semiconductor膜に含まれる非晶質とCAACとの境界は必ずしも明確ではない。また、CAAC-Oxide Semiconductor膜には結晶粒界(グレインバウンダリーともいう。)は確認されない。CAAC-Oxide Semiconductor膜が結晶粒界を有さないため、結晶粒界に起因する電子移動度の低下が起こりにくい。

【0054】

なお、CAAC-Oxide Semiconductor膜において、膜中における結晶領域の分布は均一でなくてもよい。例えば、CAAC-Oxide Semiconductor膜の表面側から結晶成長した場合、CAAC-Oxide Semiconductor膜の表面の近傍は結晶の占める割合が高くなり、被形成面の近傍は非晶質の占める割合が高くなることがある。

【0055】

CAACにおける結晶部分の c 軸は、CAAC-Oxide Semiconductor膜の被形成面または表面に垂直な方向を向くため、CAAC-Oxide Semiconductor膜の形状(被形成面の断面形状または表面の断面形状)によって、 c 軸が向く方向が異なることがある。なお、CAACにおける結晶部分の c 軸が向く方向は、CAAC-Oxide Semiconductor膜が形成されたときの被形成面または表面に略垂直な方向となる。CAACは、成膜と同時にまたは成膜後に加熱処理などの結晶化処理を行うことで形成される。

【0056】

CAAC-Oxide Semiconductor膜を用いることで、可視光や紫外光の照射によるトランジスタの電気特性

10

20

30

40

50

の変動が低減されるため、信頼性の高いトランジスタを得ることができる。

【0057】

なお、酸化物半導体膜を構成する酸素の一部は窒素で置換されてもよい。

【0058】

なお、一例として、酸化物半導体層をIn-Zn系金属酸化物により形成する場合には、ターゲットの組成比を原子数比で、 $In/Zn = 1 \sim 100$ 、好ましくは $In/Zn = 1 \sim 20$ 、さらに好ましくは $In/Zn = 1 \sim 10$ とする。Znの原子数比を好ましい範囲とすることで、電界効果移動度を向上させることができる。ここで、酸素を過剰に含ませるために、金属酸化物の原子数比 $In:Zn:O = X:Y:Z$ を、 $Z > 1.5X + Y$ とすることが好ましい。

10

【0059】

酸化物半導体層としてIn-Ga-Zn系酸化物をスパッタリング法で成膜する場合、好ましくは、原子数比が $In:Ga:Zn = 1:1:1$ 、 $4:2:3$ 、 $3:1:2$ 、 $1:1:2$ 、 $2:1:3$ 、または $3:1:4$ で示されるIn-Ga-Zn-Oターゲットを用いる。前述の原子数比を有するIn-Ga-Zn-Oターゲットを用いて酸化物半導体膜を成膜することで、多結晶またはCAAC-O膜が形成されやすくなる。

【0060】

また、酸化物半導体層としてIn-Sn-Zn系酸化物をスパッタリング法で成膜する場合、好ましくは、原子数比が $In:Sn:Zn = 1:1:1$ 、 $2:1:3$ 、 $1:2:2$ 、または $20:45:35$ で示されるIn-Sn-Zn-Oターゲットを用いる。前述の原子数比を有するIn-Sn-Zn-Oターゲットを用いて酸化物半導体層を成膜することで、多結晶またはCAACが形成されやすくなる。

20

【0061】

なお、ここで、ターゲットの充填率は90%以上100%以下、好ましくは95%以上99.9%以下であるとよい。ターゲットの充填率を高くすることで、形成される酸化物半導体層を緻密なものとすることができる。

【0062】

なお、酸化物半導体層に適用することができる金属酸化物は、エネルギーギャップが2eV以上、好ましくは2.5eV以上、さらに好ましくは、3eV以上であるとよい。このように、バンドギャップの広い金属酸化物を用いると、トランジスタのオフ電流を低減することができる。

30

【0063】

なお、酸化物半導体層のアルカリ金属及びアルカリ土類金属は少なくすることが好ましく、これらの濃度は、好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以上、さらに好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下とする。アルカリ金属及びアルカリ土類金属は、酸化物半導体と結合するとその一部がキャリアを生成し、トランジスタのオフ電流を増大させる原因となるからである。

【0064】

酸化物半導体層409の厚さは、1nm以上100nm以下、好ましくは1nm以上20nm以下とする。

40

【0065】

酸化物半導体層409は、好ましくはスパッタリング法により、基板加熱温度を100以上600以下、好ましくは150以上550以下、さらに好ましくは200以上500以下とし、酸素ガス雰囲気中で成膜する。成膜時の基板加熱温度が高いほど得られる酸化物半導体層409の不純物元素度は低くなる。また、酸化物半導体層409中の原子配列が整い、高密度化され、多結晶またはCAAC-O膜が形成されやすくなる。

【0066】

さらに、酸素ガス雰囲気下で成膜することでも、希ガスなどの余分な原子が含まれないため、多結晶またはCAACが形成されやすくなる。ただし、酸素ガスと希ガスの混合雰囲気としてもよく、その場合は酸素ガスの割合は30体積%以上、好ましくは50体積%以

50

上、さらに好ましくは80体積%以上とする。なお、酸化物半導体膜の成膜に用いるアルゴン及び酸素は、水、水素などが含まれないことが好ましい。例えば、アルゴンの純度を9N（露点-121、水0.1ppb、水素0.5ppb）、酸素の純度を8N（露点-112、水1ppb、水素1ppb）とすることが好ましい。

【0067】

本実施の形態では、アルゴンと酸素の流量比が2：1の雰囲気下において、スパッタリング法を用い、原子数比がIn：Ga：Zn=3：1：2であるIGZOを10nm成膜する。

【0068】

アモルファス状態の酸化物半導体は、比較的容易に平坦な表面を得ることができるため、これを用いたトランジスタは動作時のキャリア（電子）の界面散乱を低減でき、比較的容易に、比較的高い移動度を得ることができる。

10

【0069】

また、結晶性を有する酸化物半導体では、よりバルク内欠陥を低減することができ、表面の平坦性を高めればアモルファス状態の酸化物半導体以上の移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成することが好ましく、具体的には、平均面粗さ（Ra）が1nm以下、好ましくは0.3nm以下、より好ましくは0.1nm以下の表面上に形成するとよい。

【0070】

なお、Raは、JIS B601で定義されている中心線平均粗さを面に対して適用できるように三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」と表現でき、以下の式にて定義される。

20

【0071】

【数1】

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

【0072】

なお、上記において、 S_0 は、測定面（座標 (x_1, y_1) (x_1, y_2) (x_2, y_1) (x_2, y_2) で表される4点によって囲まれる長方形の領域）の面積を指し、 Z_0 は測定面の平均高さを指す。Raは原子間力顕微鏡（AFM：Atomic Force Microscope）にて評価可能である。なお、測定面とは、全測定データの示す面であり、三つのパラメータ（X、Y、Z）から成り立っており、 $Z = F(X, Y)$ によって表記される。

30

【0073】

また、基準面は、指定面の平均の高さにおける、XY平面と平行な面である。つまり、指定面の高さの平均値を Z_0 とすると、基準面の高さも Z_0 で表される。

【0074】

このように、酸化物半導体層のチャンネルが形成される領域において、下地絶縁層の平均面粗さを0.3nm以下とするためには、平坦化処理を行えばよい。平坦化処理は酸化物半導体膜の形成前に行えばよい。

40

【0075】

例えば、下地絶縁層436の形成後に研磨処理（例えば、化学的機械的研磨（Chemical Mechanical Polishing：CMP）処理）や、エッチングを行うことで下地絶縁層436の表面を平坦化してもよい。研磨処理またはエッチングは複数回行ってよく、これらを組み合わせて行ってもよい。組み合わせて行う場合、工程順は特に限定されない。

【0076】

平坦化処理として、ドライエッチングなどを行う場合、エッチングガスとしては、塩素、

50

塩化ボロン、塩化シリコンまたは四塩化炭素などの塩素系ガス、四フッ化炭素、フッ化硫黄またはフッ化窒素などのフッ素系ガスなどを用いればよい。

【0077】

また、酸化物半導体層に含まれる水素は、極力少ないことが好ましい。この水素は、水素原子の他、水素分子、水、水酸基、またはその他の水素化合物として含まれる場合もある。そのため、酸化物半導体層に含まれる過剰な水素（水や水酸基を含む）を除去（脱水化または脱水素化）するための熱処理を行うことが好ましい。熱処理の温度は300以上700以下、または基板の歪み点未満とする。熱処理は減圧下または窒素雰囲気下などで行うことができる。また、熱処理は酸化物半導体膜の形成後、島状に加工する前に行ってもよいし、島状に加工した後に行ってもよい。さらに、脱水化、脱水素化のための熱処理は複数回行ってよく、他の加熱処理と兼ねてもよい。

10

【0078】

熱処理は、減圧雰囲気または不活性雰囲気で熱処理を行った後、温度を保持しつつ酸化性雰囲気に切り替えてさらに熱処理を行うと好ましい。これは減圧雰囲気または不活性雰囲気で熱処理を行うと、酸化物半導体層中の不純物（例えば、水素等）濃度を低減することができるが、同時に酸素欠損も生じてしまう恐れがあり、このとき生じた酸素欠損を、酸化性雰囲気での熱処理により低減することができる。

【0079】

酸化物半導体層409は、熱処理を行うことで、膜中の水素等の不純物元素を極めて少なくすることが可能となる。その結果、トランジスタの電界効果移動度を理想的な電界効果移動度近くまで高めることが可能となる。

20

【0080】

なお、酸化物半導体層409には化学量論比に対し、酸素を過剰に含ませることが好ましい。酸素を過剰に含ませると、形成される酸化物半導体層409の酸素欠損によるキャリアの生成を抑制することができる。酸素を過剰に含ませるためには、成膜時に酸素が多く含まれるような条件で成膜してもよいし、酸化物半導体膜の形成後に酸素（少なくとも酸素ラジカル、酸素原子、酸素イオン、のいずれかを含む）を導入して膜中に酸素を過剰に含ませてもよい。酸素の導入方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法、プラズマ処理などを用いることができる。

30

【0081】

なお、下地絶縁層436として酸化物絶縁層を用いた場合、酸化物絶縁層上に酸化物半導体層が設けられた状態で加熱することによって、酸化物半導体層に酸素を供給することができ、酸化物半導体層の酸素欠陥を低減し、半導体特性を良好にすることができる。酸化物半導体層及び酸化物絶縁層を少なくとも一部が接した状態で加熱工程を行うことによって、酸化物半導体層への酸素の供給を行ってもよい。なお、加熱処理は酸化物半導体膜を島状に加工する前に行ってもよいし、島状に加工した後に行ってもよい。ただし、島状に加工するよりも前に加熱処理を行うことで、下地絶縁層から外部に放出される酸素の量が少なくなり、より多くの酸素を酸化物半導体層に供給できるため好ましい。

【0082】

続いて、酸化物半導体層409上にゲート絶縁層402を形成する（図2（B）参照）。

40

【0083】

ゲート絶縁層402の材料として酸化ハフニウム、酸化イットリウム、ハフニウムシリケート（ HfSi_xO_y 、 $x > 0$ 、 $y > 0$ ）、窒素が添加されたハフニウムシリケート（ HfSi_xO_y 、 $x > 0$ 、 $y > 0$ ）、ハフニウムアルミネート（ HfAl_xO_y 、 $x > 0$ 、 $y > 0$ ）、酸化ランタン、などのHigh-k材料を用いることでゲートリーク電流を低減できる。さらに、ゲート絶縁層402は、単層構造としてもよいし、積層構造としてもよい。

【0084】

ゲート絶縁層402の膜厚は、1nm以上20nm以下とし、スパッタリング法、MBE

50

法、CVD法、PLD法、ALD法等を適宜用いることができる。また、ゲート絶縁層402は、スパッタリングターゲット表面に対し、略垂直に複数の基板表面がセットされた状態で成膜を行うスパッタ装置、いわゆるCPスパッタ装置(Columnar Plasma Sputtering system)を用いて成膜してもよい。

【0085】

また、ゲート絶縁層402は、下地絶縁層436と同様に酸化物半導体層409と接するため、層中(バルク中)に少なくとも化学量論的組成比を超える量の酸素が存在することが好ましい。特に、ゲート絶縁層として酸化アルミニウムを用いることで、酸化アルミニウムからの酸素の導入に加え、酸化物半導体層に水素等の不純物が侵入することを防ぐため好ましい。

【0086】

なお、ゲート絶縁層402の被覆性を向上させるために、酸化物半導体層409上面にも平坦化処理を行ってもよい。特にゲート絶縁層402として膜厚の小さい絶縁層を用いる場合、酸化物半導体層409の表面は平坦性が良好であることが好ましい。

【0087】

次に、ゲート絶縁層402上に、酸化物半導体層409と重畳して、第1のゲート電極層401となる導電膜を形成し、該導電膜をエッチングして、第1のゲート電極層401を形成する(図2(C)参照)。

【0088】

第1のゲート電極層401は、プラズマCVD法またはスパッタリング法等により、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて形成することができる。また、第1のゲート電極層401としてリン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜、ニッケルシリサイドなどのシリサイド膜を用いてもよい。さらに、インジウムスズ酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウムスズ酸化物、インジウム亜鉛酸化物、酸化シリコンを添加したインジウムスズ酸化物などの導電性材料を適用することもできる。また、上記導電性材料と、上記金属材料の積層構造とすることもできる。

【0089】

また、ゲート絶縁層402と接する第1のゲート電極層401の一層として、窒素を含む金属酸化物、具体的には窒素を含むIn-Ga-Zn-O膜や、窒素を含むIn-Sn-O膜や、窒素を含むIn-Ga-O膜や、窒素を含むIn-Zn-O膜や、窒素を含むSn-O膜や、窒素を含むIn-O膜や、金属窒化膜(窒化インジウム、窒化スズ、窒化タンタルなど)を用いることができる。これらの膜は5eV、または5.5eV以上の仕事関数を有し、第1のゲート電極として用いた場合、トランジスタの電気特性の閾値電圧をプラスにすることができ、いわゆるノーマリオフのスイッチング素子を実現できる。

【0090】

なお、ゲート電極層401は、ゲート絶縁層402上に設けられた導電膜をマスクを用いて加工することによって形成することができる。ここで、加工に用いるマスクは、フォトリソグラフィ法などによって形成されたマスクに、スリミング処理を行って、より微細なパターンを有するマスクとすることもできる。

【0091】

スリミング処理としては、例えば、ラジカル状態の酸素(酸素ラジカル)などを用いるアッシング処理を適用することができる。ただし、スリミング処理はフォトリソグラフィ法などによって形成されたマスクをより微細なパターンに加工できる処理であれば、アッシング処理等に限定する必要はない。また、スリミング処理によって形成されるマスクによってトランジスタのチャンネル長(L)が決定されることになるため、当該スリミング処理としては制御性の良好な処理を適用することができる。

【0092】

スリミング処理の結果、フォトリソグラフィ法などによって形成されたマスクを、露光装置の解像限界以下、好ましくは1/2以下、より好ましくは1/3以下の線幅で微細化することが可能である。例えば、線幅は、30nm以上200nm以下、好ましくは50nm以上350nm以下とすることができる。これにより、トランジスタのさらなる微細化を達成することができる。

【0093】

続いて、第1のゲート電極層401をマスクとして、酸化物半導体層409に不純物元素421を導入し、酸化物半導体層409の第1のゲート電極層401と重畳しない領域に自己整合的に低抵抗領域404a及び低抵抗領域404bを形成する(図2(D)参照)。なお、不純物元素421が導入されない領域はチャンネル形成領域403となる。

10

【0094】

したがって、酸化物半導体層409には、第1のゲート電極層401と重畳するチャンネル形成領域403と、チャンネル形成領域403を挟んで、チャンネル形成領域403よりも抵抗が低い低抵抗領域404a及び低抵抗領域404bが形成される。不純物元素421の導入方法としては、イオン注入法、イオンドーピング法、プラズマイメージイオンインプランテーション法などを用いることができる。

【0095】

導入する不純物元素は、リン、ホウ素、窒素、ヒ素、アルゴン、アルミニウム、またはこれらを含む分子イオンなどを用いることができる。これらの元素のドーズ量は、 $1 \times 10^{13} \sim 5 \times 10^{16} \text{ ions/cm}^2$ とするのが好ましい。また、不純物元素としてリンを導入する場合、加速電圧を0.5~80kVとするのが好ましい。

20

【0096】

本実施の形態では、不純物元素としてリンを導入する。

【0097】

なお、酸化物半導体層409に不純物元素を導入する処理は、複数回行って良い。酸化物半導体層409に不純物元素を導入する処理を複数回行う場合、不純物元素は複数回すべてにおいて同じであってもよいし、1回の処理毎に変えてもよい。

【0098】

不純物元素が導入され、抵抗が低減された低抵抗領域404a及び低抵抗領域404bを含む酸化物半導体層を有することにより、酸化物半導体層409とソース電極層405a及びドレイン電極層405bとのコンタクト抵抗が小さくなる。そのため、ソース電極層405a及びドレイン電極層405b近傍の電界が緩和され、トランジスタ420はオン特性が高く、高速動作、高速応答が可能な電気特性に優れた半導体装置とすることができる。

30

【0099】

なお、不純物元素の導入によって、酸化物半導体層の結晶構造が変わる場合がある。したがって、本実施の形態の半導体装置は領域によって結晶性が異なる酸化物半導体層を用いてもよい。例えば、チャンネル形成領域403は低抵抗領域404a及び低抵抗領域404bよりも高い結晶性を有していてもよい。具体的には、チャンネル形成領域403の酸化物半導体はCAAC-Os膜とし、低抵抗領域404a及び低抵抗領域404bは非晶質構造とすることもできる。

40

【0100】

次に、第1のゲート電極層401及びゲート絶縁層402上に、第2のゲート電極層412となる導電膜411と、側壁絶縁層413となる絶縁膜414を積層して形成する。

【0101】

導電膜411は、第1のゲート電極層401と同様の材料を用い、スパッタリング法によって形成する。導電膜411膜厚は、第1のゲート電極層との被覆性(ステップカバレッジ)を考慮して、10nm以上50nm以下とすることが好ましい。

【0102】

絶縁膜414は、ゲート絶縁層402と同様の材料、方法を用いて形成することができる

50

。絶縁膜414は、第1のゲート電極層401及び導電膜411を十分覆いきれる程度の膜厚とすればよい。また、第2のゲート電極層との被覆性を考慮して、被覆性の高い膜を成膜できる方法を用いることが好ましい。例えば、CVD法によって形成した酸化窒化シリコン膜等を用いることが好ましい。

【0103】

続いて、絶縁膜414に対して異方性エッチングを行い、導電膜411を露出させる。エッチングによって導電膜411が露出した段階では、第1のゲート電極層401及び導電膜411の側壁部には絶縁膜414が残留する(図3(B)参照)。したがって、この段階でエッチングを止めることで、マスクを用いずに自己整合的に側壁絶縁層413を形成することができる。マスクを用いずに、側壁絶縁層413を作製することによって、マスク数を削減し、作製コストを低減することができる。

10

【0104】

続いて、側壁絶縁層413をマスクとして、導電膜411にエッチングを行い、第2のゲート電極層412を形成する(図3(C)参照)。第2のゲート電極層412は、低抵抗領域404a及び低抵抗領域404bと重畳して、Lov領域を形成する。

【0105】

第2のゲート電極層412の形成において、側壁絶縁層413をマスクとしたエッチングを行うため、マスク数を削減し、作製コストを低減することができる。

【0106】

また、低抵抗領域404a及び低抵抗領域404bは、第1のゲート電極層をマスクとした不純物元素の導入によって、自己整合的に形成されている。そのため、第1のゲート電極層401と接して設けられた導電膜411を用いて第2のゲート電極層412を形成することにより、自己整合的に第2のゲート電極層412と低抵抗領域404a及び低抵抗領域404bとが重畳するLov領域が形成される。したがって、Lov領域の形成において、レジストマスク等を用いた微細な位置合わせが必要なく、オン特性に優れた微細なトランジスタを歩留まりよく作製することができる。

20

【0107】

なお、図3(C)では、側壁絶縁層413の高さが、第2のゲート電極層412の高さよりも高い場合について示したが、図5(A)に示すトランジスタ430のように、側壁絶縁層413の高さと、第2のゲート電極層412の高さが一致する場合もある。また、図5(B)に示すトランジスタ440のように、側壁絶縁層413の高さが第2のゲート電極層412の高さより低い場合もある。なお、ここでいう高さとは、基板上面からの距離のことを指す。

30

【0108】

続いて、ゲート絶縁層402、第2のゲート電極層412及び側壁絶縁層413上に絶縁層415を形成する(図4(A)参照)。

【0109】

絶縁層415は、ゲート絶縁層402と同様の材料及び方法を用いて形成することができる。絶縁層415はトランジスタ420により生じる凹凸を平坦化できる膜厚で形成する。絶縁層415は単層でも、異なる絶縁層の積層でも構わない。

40

【0110】

絶縁層415として、緻密性の高い無機絶縁層(代表的には酸化アルミニウム膜等)を用いると、トランジスタ420の保護絶縁膜として機能する。

【0111】

また、酸化アルミニウム膜を用いる場合、酸化アルミニウム膜を成膜した後、熱処理を行ってもよい。酸化アルミニウム膜は、酸化物半導体層への水(水素を含む)の侵入防止機能及び酸化物半導体層からの酸素の脱離防止機能を有する。よって、酸化物半導体層409、またはそれに接する絶縁層が酸素過剰領域を有していると、酸化アルミニウム膜を設けた状態で熱処理を行うことによって、酸化物半導体層の膜中、または絶縁層と酸化物半導体層の界面において、少なくとも1ヶ所、該膜の化学量論比を超える酸素が存在する領

50

域（酸素過剰領域とも表記する）を設けることができる。

【0112】

次に、絶縁層415及びゲート絶縁層402を貫通し、少なくとも低抵抗領域404a及び低抵抗領域404bに達する開口455a及び開口455bを設ける（図4（B）参照）。開口の形成はマスクなどを用いた選択的なエッチングにより行われる。エッチングはドライエッチングでも、ウェットエッチングでもよく、双方を組み合わせると開口を形成してもよい。また、該開口は低抵抗領域404a及び低抵抗領域404bに達すればよく、形状は特に限定されない。但し、図4（B）に示すようにテーパ状にすることによって、後に形成されるソース電極層及びドレイン電極層を断切れなく形成でき、好適である。

【0113】

続いて、開口455a、開口455b及び絶縁層415上に導電材料を用いて、ソース電極層405a及びドレイン電極層405bを形成する（図4（C）参照）。ソース電極層405a及びドレイン電極層405bには上述した第1のゲート電極層401に用いた材料と同様の材料を用いることができる。

【0114】

以上の工程でトランジスタ420を作製することができる。

【0115】

なお、図示しないが、トランジスタ420上に、さらに絶縁層を設けてもよい。絶縁層としては、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、酸化窒化アルミニウム膜、酸化ハフニウム膜、又は酸化ガリウム膜、窒化シリコン膜、窒化アルミニウム膜、窒化酸化シリコン膜、窒化酸化アルミニウム膜などの無機絶縁膜の単層又は積層を用いることができる。

【0116】

絶縁層の形成後、さらに加熱工程を行ってもよい。例えば、大気中、100 以上200 以下、1時間以上30時間以下での加熱工程を行ってもよい。この加熱工程は一定の加熱温度を保持して加熱してもよいし、室温から、100 以上200 以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回繰り返して行ってもよい。

【0117】

また、トランジスタ420起因の表面凹凸を低減するために、平坦化絶縁膜を形成してもよい。平坦化絶縁膜としては、ポリイミド、アクリル、ベンゾシクロブテン等の有機材料を用いることができる。また、上記有機材料の他に、低誘電材料（low-k材料）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁膜を形成してもよい。

【0118】

また、本実施の形態に示す半導体装置のゲート絶縁層402は、第1のゲート電極層401のエッチングによって、ゲート絶縁層402もエッチングされて膜厚が減少（いわゆる膜減り）することがある。さらに、第2のゲート電極層412を形成する際のエッチングによっても、ゲート絶縁層402がエッチングされて膜減りを起こす場合がある。したがって、図5（C）に示すトランジスタ450のように、ゲート絶縁層が膜厚の異なる複数の領域を含む場合がある。トランジスタ450のゲート絶縁層502は、第2のゲート電極層412と接する領域において、第1のゲート電極層401のエッチングによってエッチングされ膜厚が減少している。さらに、絶縁層415と接する領域において、第1のゲート電極層401のエッチングと、第2のゲート電極層412との2回のエッチングによってエッチングされ膜厚が減少している。

【0119】

なお、図5（C）に示すトランジスタ450のゲート絶縁層502は、第1のゲート電極層のエッチング及び第2のゲート電極のエッチングの2回にエッチングによって、膜厚が減少しているが、第1のゲート電極層を形成する際のエッチングによって膜厚が減少しても、第2のゲート電極層のエッチングにおいては膜厚が減少しない場合もある。また、反対に、第1のゲート電極層のエッチングにおいては、ゲート絶縁層の膜厚は減少せず、第

10

20

30

40

50

2のゲート電極層の膜厚によってのみ、ゲート絶縁層の膜厚が減少する場合もある。

【0120】

本実施の形態に示した半導体装置は、第1のゲート電極層401のチャネル長方向の側面に接する第2のゲート電極層412を有する。第2のゲート電極層412は、ソース領域またはドレイン領域として機能する低抵抗領域404a及び低抵抗領域404bと重畳し、L_{ov}領域を形成するため、トランジスタのオン電流の低下を抑制することができる。

【0121】

さらに、本実施の形態の半導体装置は、ゲート電極層をマスクとした不純物元素の導入により、自己整合的にチャネル形成領域と低抵抗領域と、を形成している。そのため、第1のゲート電極層の側面に接する第2のゲート電極層412は自己整合的に低抵抗領域と重畳する。したがって、L_{ov}領域の形成において、微細な位置合わせの必要がなく、微細化されたトランジスタを歩留まりよく作製することができる。

10

【0122】

また、第2のゲート電極層412は、側壁絶縁層413をマスクとしたエッチングによって形成されるため、マスク数を低減し、作製コストを低減することができる。

【0123】

また、本実施の形態の半導体装置が有するトランジスタのL_{ov}領域の幅は、第2のゲート電極層の幅によって決定される。第2のゲート電極層は、側壁絶縁層をマスクとして用いたエッチングによって作製されるため、第2のゲート電極層の幅は、側壁絶縁層の幅によって決定される。側壁絶縁層は、絶縁層を異方性エッチングすることで自己整合的に形成されるため、露光装置の露光限界や、マスク等の幅に影響されずに作製することができる。したがって、本発明の一態様のトランジスタは、微細なトランジスタの第1のゲート電極層の側面にL_{ov}領域を形成することができる。したがって、微細なトランジスタのオン特性を向上させることができる。

20

【0124】

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

【0125】

(実施の形態2)

本実施の形態では、実施の形態1とは異なる本発明の一態様について説明する。なお、本実施の形態では、実施の形態1と異なる点について説明し、実施の形態1と等しい部分については、説明を省略する。

30

【0126】

図6に本発明の一態様の半導体装置を示す。図6(A)は本発明の一態様が有するトランジスタ520の上面図を示しており、図6(B)は図6(A)の一点鎖線B1-B2における断面図である。

【0127】

トランジスタ520を含む半導体装置は、基板400上に下地絶縁層436と、下地絶縁層436上の低抵抗領域404a、低抵抗領域404b及び低抵抗領域404a、低抵抗領域404bに挟まれたチャネル形成領域403を含む酸化半導体層409と、酸化半導体層409上のゲート絶縁層402と、ゲート絶縁層402上の第1のゲート電極層401と、第1のゲート電極層401の側面に設けられた第2のゲート電極層412と、第2のゲート電極層412上の側壁絶縁層413と、ゲート絶縁層402、第2のゲート電極層412、及び側壁絶縁層413上の絶縁層415と、絶縁層415及びゲート絶縁層402に設けられた開口を介して、酸化半導体層409の低抵抗領域404a及び低抵抗領域404bとそれぞれ接するソース電極層505a及びドレイン電極層505bと、ソース電極層505a及びドレイン電極層505bとそれぞれ電氣的に接続するソース配線層567a及びドレイン配線層567bと、を有する。

40

【0128】

側壁絶縁層413は、第2のゲート電極層412を介して第1のゲート電極層401のチャネル長方向の側面及びゲート絶縁層の上面と対向し、第2のゲート電極層412のチャ

50

ネル長方向の側端部と、側壁絶縁層 4 1 3 の側端部はそれぞれ一致する。

【 0 1 2 9 】

トランジスタ 5 2 0 は、実施の形態 1 に示したトランジスタ 4 2 0 と同様に、ソース領域またはドレイン領域として機能する低抵抗領域 4 0 4 a 及び低抵抗領域 4 0 4 b が第 2 のゲート電極層 4 1 2 と重畳する領域を有する。L o v 領域を有することで、トランジスタ 5 2 0 のオン電流の低下を抑制することができる。

【 0 1 3 0 】

トランジスタ 5 2 0 は、実施の形態 1 に示すトランジスタと比較して、ゲート電極層と、ソース電極層及びドレイン電極層とのチャンネル長方向の距離を短くすることができる構成となっている。したがって、より微細な構造のトランジスタとすることができるとともに、ソース電極層とドレイン電極層との間の抵抗が低減された、オン特性に優れたトランジスタとすることができる。

10

【 0 1 3 1 】

トランジスタ 5 2 0 がより微細化を達成できる構成であることについて、トランジスタ 5 2 0 の作製方法によって説明する。

【 0 1 3 2 】

トランジスタ 5 2 0 は、基板 4 0 0、酸化物半導体層 4 0 9、ゲート絶縁層 4 0 2、第 1 のゲート電極層 4 0 1、第 2 のゲート電極層 4 1 2、側壁絶縁層 4 1 3 及び絶縁層 4 1 5 については、実施の形態 1 に示すトランジスタと同様の方法を用いて作製することができる(図 7 (A) 参照)。

20

【 0 1 3 3 】

絶縁層 4 1 5 を形成した後、絶縁層 4 1 5 上にマスク 5 5 0 を形成し、マスク 5 5 0 を用いて絶縁層 4 1 5 及びゲート絶縁層 4 0 2 をエッチングして、酸化物半導体層 4 0 9 に達する開口 5 5 5 a を形成する(図 7 (B) 参照)。

【 0 1 3 4 】

マスク 5 5 0 は、フォトリソグラフィなどの材料を用い、フォトリソグラフィ法などによって形成することができる。マスク 5 5 0 形成時の露光には、波長が数 nm ~ 数 1 0 nm と短い超紫外線(Extreme Ultraviolet)を用いるのが望ましい。超紫外線による露光は、解像度が高く焦点深度も大きい。したがって、微細なパターンを有するマスク 5 5 0 を形成することができる。

30

【 0 1 3 5 】

なお、十分に微細なパターンのマスク 5 5 0 を形成できるのであれば、インクジェット法などの他の方法を用いてマスク 5 5 0 を形成してもよい。この場合には、マスク 5 5 0 の材料として、フォトリソグラフィなどの感光性を有する材料を用いる必要はない。

【 0 1 3 6 】

マスク 5 5 0 を除去した後、開口 5 5 5 a 及びゲート絶縁層 4 0 2 上にマスク 5 5 2 を形成する。マスク 5 5 2 は、マスク 5 5 0 と同様に形成することができる。そしてマスク 5 5 2 を用いて絶縁層 4 1 5 及びゲート絶縁層 4 0 2 をエッチングして、酸化物半導体層 4 0 9 に達する開口 5 5 5 b を形成する(図 7 (C) 参照)。これによって、絶縁層 4 1 5 及びゲート絶縁層 4 0 2 に、第 1 のゲート電極層 4 0 1 を挟んで、一对の開口が形成されることとなる。

40

【 0 1 3 7 】

開口 5 5 5 a 及び開口 5 5 5 b には後の工程において、ソース電極層及びドレイン電極層が形成される。開口 5 5 5 a 及び開口 5 5 5 b を一度のエッチングによって形成する場合、開口 5 5 5 a 及び開口 5 5 5 b とのチャンネル長方向の最小加工寸法は、マスクの形成に用いる露光装置の解像限界に制約される。したがって、開口 5 5 5 a と開口 5 5 5 b との距離を十分に小さくすることが難しく、トランジスタの微細化を図ることが困難である。

【 0 1 3 8 】

しかし、本実施の形態で示すトランジスタ 5 2 0 は、開口 5 5 5 a と開口 5 5 5 b をそれぞれ別のマスクを用いた別のエッチングによって形成するため、露光装置の解像限界に依

50

存せず、ソース電極層とドレイン電極層との位置を決定することができる。したがって、ソース電極層とゲート電極層との距離及びゲート電極層とゲート電極層との距離を縮小することができる、オン特性に優れたトランジスタを作製することができる。

【0139】

次いで、開口555a及び開口555bを埋め込むように、絶縁層415上に導電膜505を形成する(図8(A)参照)。導電膜505は、ソース電極層505a及びドレイン電極層505bとなる導電膜である。導電膜505には、実施の形態1に示した、ソース電極層及びドレイン電極層に用いた材料と同様の材料を用いることができる。

【0140】

次に、導電膜505に対してCMP処理を行う(図8(B)参照)。絶縁層415上(少なくとも第1のゲート電極層401と重畳する領域)に設けられた導電膜505を除去するように、導電膜505に対してCMP処理を行うことで、導電膜505を分断して、開口555a及び開口555bに埋め込まれたソース電極層505a及びドレイン電極層505bを形成することができる。本実施の形態では、導電膜505に対して、絶縁層415の上面が露出する条件でCMP処理を行うことにより、ソース電極層505a及びドレイン電極層505bを形成する。なお、CMP処理の条件によっては絶縁層415の上面も研磨される場合がある。

【0141】

なお、CMP処理は、1回のみ行ってもよいし、複数回行ってもよい。複数回に分けてCMP処理を行う場合は、高い研磨レートの一次研磨を行った後、低い研磨レートの仕上げ処理を行うのが好ましい。このように研磨レートの異なる研磨を組み合わせることによって、ソース電極層505a、ドレイン電極層505b、絶縁層415の表面の平坦性をより向上させることができる。

【0142】

なお、本実施の形態では、絶縁層415と重畳する領域の導電膜505の除去にCMP処理を用いたが、他の研磨(切削、研削)処理を用いてもよい。または、CMP処理等の研磨処理と、エッチング(ドライエッチング、ウェットエッチング)処理や、プラズマ処理などを組み合わせてもよい。例えば、CMP処理後、ドライエッチングやプラズマ処理(逆スパッタリングなど)を行い、処理表面の平坦性向上を図ってもよい。研磨処理に、エッチング、プラズマ処理などを組み合わせて行う場合、工程順は特に限定されず、導電膜505の材料、膜厚、及び表面の凹凸状態に合わせて適宜設定すればよい。

【0143】

上述したように、ソース電極層505aまたはドレイン電極層505bは、ゲート絶縁層402及び絶縁層415に設けられた開口に埋め込むように設けられる。したがって、トランジスタ520において、ソース電極層505aと酸化物半導体層409が接する領域と、ゲート電極層との間の距離は、開口555aの端部と第2のゲート電極層412との幅によって決定される。同様に、トランジスタ520において、ドレイン電極層505bと酸化物半導体層409が接する領域と、ゲート電極層との距離は開口555bの端部と第2のゲート電極層412の幅によって決定される。

【0144】

本実施の形態に示すトランジスタ520は、開口555aと開口555bそれぞれ、マスクを用いた別のエッチングによって形成しているため、開口555a及び開口555bとの間の距離を十分小さくすることができ、ソース電極層505aと酸化物半導体層409が接する領域とゲート電極層との距離と、ドレイン電極層505bと酸化物半導体層が接する領域と、ゲート電極層との距離を十分小さくすることができる。

【0145】

また、ソース電極層505a及びドレイン電極層505bを形成するために、レジストマスク等を用いたエッチングを用いないため、ソース電極層505a及びドレイン電極層505bのチャンネル長方向の幅が微細化されている場合でも精密な加工を正確に行うことができる。よって、半導体装置の作製工程において、形状や特性のばらつきが少ない微細な

10

20

30

40

50

構造を有するトランジスタ520を歩留まりよく作製することができる。

【0146】

次いで、ソース電極層505a、ドレイン電極層505b及び絶縁層415上にソース配線層567a及びドレイン配線層567bとなる導電膜を形成し、該導電膜をエッチングしてソース配線層567a及びドレイン配線層567bを形成する。ソース配線層567a及びドレイン配線層567bは実施の形態1で述べた第1のゲート電極層401と同様の材料、方法を用いて形成することができる。

【0147】

ソース電極層505a及びドレイン電極層505bとの間のチャンネル長方向の距離は、露光装置の解像限界に依存せずに微細に加工することが可能である。一方、ソース配線層567a及びドレイン配線層567bは、フォトリソグラフィ法によって形成したマスクを用いて加工されるため、その間の距離は、ソース電極層505a及びドレイン電極層505bの間の距離よりも大きくなる。トランジスタ520の微細化のためには、ソース配線層567a及びドレイン配線層567bとの間の距離を、露光装置の解像限界に合わせて設定するのが好ましい。

【0148】

以上の工程によって、トランジスタ520が形成される。

【0149】

本実施の形態に示した半導体装置は、第1のゲート電極層401のチャンネル長方向の側面に接する第2のゲート電極層412を有する。第2のゲート電極層412は、ソース領域またはドレイン領域として機能する低抵抗領域404a及び低抵抗領域404bと重畳し、Lov領域を形成するため、トランジスタのオン電流の低下を抑制することができる。

【0150】

さらに、本実施の形態の半導体装置は、ゲート電極層をマスクとした不純物元素の導入により、自己整合的にチャンネル形成領域と低抵抗領域と、を形成している。そのため、第1のゲート電極層の側面に接する第2のゲート電極層412は自己整合的に低抵抗領域と重畳する。したがって、Lov領域の形成において、微細な位置合わせの必要がなく、微細化されたトランジスタを歩留まりよく作製することができる。

【0151】

本実施の形態に示した半導体装置は、ソース電極層505aを設けるための開口555aと、ドレイン電極層505bを設けるための開口555bとを、それぞれマスクを用いた別のエッチングによって形成するため、開口555a及び開口555bとの間の距離が、露光装置の解像限界によって制限されず、ソース電極層505aとドレイン電極層505bとの間の距離を十分に縮小した、微細なトランジスタを作製することができる。

【0152】

ソース電極層505a及びドレイン電極層505bとの間の距離が縮まることで、ソース電極層505aと酸化物半導体層409とが接する領域とゲート電極層との間の距離及びドレイン電極層505bと酸化物半導体層409とが接する領域とゲート電極層との間の距離が縮まるため、トランジスタのソース電極層及びドレイン電極層にかかる電圧が大きくなり、ソースドレイン間の抵抗を低減することができ、オン特性に優れたトランジスタを提供することができる。

【0153】

さらに、ソース電極層505a及びドレイン電極層505bの形成において、レジストマスク等を用いたエッチングを行わないため、ソース電極層505aとドレイン電極層505bとの間の距離が十分に微細化されている場合でも、精密な加工を正確に行うことができる。よって、半導体装置の作製工程において、形状や特性のばらつきの少ない微細な構造を有するトランジスタを歩留まりよく作製することができる。

【0154】

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

【0155】

10

20

30

40

50

(実施の形態3)

本実施の形態では、実施の形態1及び実施の形態2に示すトランジスタを使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置の一例を、図面を用いて説明する。なお、本実施の形態の半導体装置は、トランジスタ162として実施の形態1及び実施の形態2に記載のトランジスタを適用して構成される。トランジスタ162としては、実施の形態1及び実施の形態2で示すトランジスタのいずれの構造も適用することができる。

【0156】

図9は、半導体装置の構成の一例である。図9(A)に半導体装置の断面図を、図9(B)に半導体装置の平面図を、図9(C)に半導体装置の回路図をそれぞれ示す。ここで、図9(A)は、図9(B)のC1-C2、及びD1-D2における断面に相当する。なお、図9(A)においては、図の明瞭化のため、図9(B)に示す半導体装置の一部の構成要素を省略している。

10

【0157】

図9(A)及び図9(B)に示す半導体装置は、下部に第1の半導体材料を用いたトランジスタ160を有し、上部に第2の半導体材料を用いたトランジスタ162を有するものである。トランジスタ162は、実施の形態1及び実施の形態2で示した構成と同一の構成とすることができる。

【0158】

ここで、第1の半導体材料と第2の半導体材料は異なる禁制帯幅を持つ材料とすることが望ましい。例えば、第1の半導体材料を酸化物半導体以外の半導体材料(シリコンなど)とし、第2の半導体材料を酸化物半導体とすることができる。酸化物半導体以外の材料を用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。

20

【0159】

なお、上記トランジスタは、いずれもnチャネル型トランジスタであるものとして説明するが、pチャネル型トランジスタを用いることができるのはいうまでもない。また、開示する発明の技術的な本質は、情報を保持するために酸化物半導体をトランジスタ162に用いる点にあるから、半導体装置に用いられる材料や半導体装置の構造など、半導体装置の具体的な構成をここで示すものに限定する必要はない。

30

【0160】

図9(A)におけるトランジスタ160は、半導体材料(例えば、シリコンなど)を含む基板100に設けられたチャネル形成領域116と、チャネル形成領域116を挟むように設けられた不純物元素領域120と、不純物元素領域120に接する金属化合物領域124と、チャネル形成領域116上に設けられたゲート絶縁層108と、ゲート絶縁層108上に設けられたゲート電極層110と、を有する。なお、図において、明示的にはソース電極層やドレイン電極層を有しない場合があるが、便宜上、このような状態を含めてトランジスタと呼ぶ場合がある。また、この場合、トランジスタの接続関係を説明するために、ソース領域やドレイン領域を含めてソース電極層やドレイン電極層と表現することがある。つまり、本明細書において、ソース電極層との記載には、ソース領域が含まれる。

40

【0161】

基板100上にはトランジスタ160を囲むように素子分離絶縁層106が設けられており、トランジスタ160を覆うように絶縁層130が設けられている。なお、高集積化を実現するためには、図9(A)に示すようにトランジスタ160が側壁絶縁層を有しない構成とすることが望ましい。一方で、トランジスタ160の特性を重視する場合には、ゲート電極層110の側面に側壁絶縁層を設け、不純物元素度が異なる領域を含む不純物元素領域120としてもよい。

【0162】

絶縁層130上面において、酸化物半導体層144形成領域に、平坦化処理を行うことが

50

好ましい。本実施の形態では、研磨処理（例えばCMP処理）により十分に平坦化した（好ましくは、絶縁層130の上面の平均面粗さは0.15nm以下）絶縁層130上に酸化物半導体層144を形成する。

【0163】

図9(A)に示すトランジスタ162は、酸化物半導体をチャネル形成領域に用いたトランジスタである。ここで、トランジスタ162に含まれる酸化物半導体層144は、高純度化されたものであることが望ましい。高純度化された酸化物半導体を用いることで、極めて優れたオフ特性のトランジスタ162を得ることができる。図9(A)のトランジスタ162は、実施の形態1に示したトランジスタを適用したが、実施の形態2に示したトランジスタを適用することもできる。

10

【0164】

トランジスタ162は、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、或いは、リフレッシュ動作の頻度が極めて少ない半導体記憶装置とすることが可能となるため、消費電力を十分に低減することができる。

【0165】

トランジスタ162は、作製工程において、側壁絶縁層137をマスクとしたエッチングによって第2のゲート電極層136を形成する。さらに、側壁絶縁層137は、マスクを用いないエッチングによって自己整合的に形成するため、マスクの位置合わせ精度等に影響されずに、微細な構造のトランジスタを作製することができる。

20

【0166】

また、酸化物半導体層144には、不純物元素を導入する処理が行われており、ゲート電極層148bをマスクとして、酸化物半導体層に不純物元素を導入する処理を行うことにより酸化物半導体層に自己整合的に低抵抗領域144a、低抵抗領域144b及びチャネル形成領域144cを形成する。

【0167】

低抵抗領域144a及び低抵抗領域144bは、チャネル形成領域144cよりも不純物元素度が高くなっている。不純物元素度を高くすることによって酸化物半導体層中のキャリア密度が増加し、ゲート電極層110及び電極層153と酸化物半導体層144の間のコンタクト抵抗が低くなるため、配線層と酸化物半導体層の間で良好なオーミックコンタクトをとることができ、オン電流や移動度が向上し、高速応答が可能となる。また、低抵抗化された領域において、オーミックコンタクトをとることができるため、ショットキー接合と比較して熱的にも安定な動作が可能となる。

30

【0168】

ゲート電極層110と酸化物半導体層144は接し、ゲート電極層110、酸化物半導体層144、ゲート絶縁層146及び導電層148aとによって容量素子164が構成されている。すなわち、ゲート電極層110は、容量素子164の一方の電極として機能し、導電層148aは、容量素子164の他方の電極として機能する。なお、容量が不要の場合には、容量素子164を設けない構成とすることもできる。また、容量素子164は、別途、トランジスタ162の上方に設けてもよい。

40

【0169】

トランジスタ162及び容量素子164の上には絶縁層150が設けられている。そして、絶縁層150上には、トランジスタ162と他のトランジスタを接続するための配線157が設けられている。配線157は、絶縁層150に設けられた開口に設けられた電極層153を介して低抵抗領域144bと接続している。

【0170】

図9(A)及び図9(B)において、トランジスタ160と、トランジスタ162とは、少なくとも一部が重畳するように設けられており、トランジスタ160のソース領域またはドレイン領域と酸化物半導体層144の一部が重畳するように設けられているのが好ましい。また、トランジスタ162及び容量素子164が、トランジスタ160の少なくと

50

も一部と重畳するように設けられている。このような平面レイアウトを採用することにより、半導体装置の占有面積の低減を図ることができるため、高集積化を図ることができる。

【0171】

次に、図9(A)及び図9(B)に対応する回路構成の一例を図9(C)に示す。

【0172】

図9(C)において、第1の配線(1st Line)とトランジスタ160のソース電極層とは、電氣的に接続され、第2の配線(2nd Line)とトランジスタ160のドレイン電極層とは、電氣的に接続されている。また、第3の配線(3rd Line)とトランジスタ162のソース電極層またはドレイン電極層の一方とは、電氣的に接続され、第4の配線(4th Line)と、トランジスタ162のゲート電極層とは、電氣的に接続されている。そして、トランジスタ160のゲート電極層と、トランジスタ162のソース電極層またはドレイン電極層の一方は、容量素子164の電極の他方と電氣的に接続され、第5の配線(5th Line)と、容量素子164の電極の他方は電氣的に接続されている。

10

【0173】

図9(C)に示す半導体装置では、トランジスタ160のゲート電極層の電位が保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【0174】

情報の書き込み及び保持について説明する。まず、第4の配線の電位を、トランジスタ162がオン状態となる電位にして、トランジスタ162をオン状態とする。これにより、第3の配線の電位が、トランジスタ160のゲート電極層、及び容量素子164に与えられる。すなわち、トランジスタ160のゲート電極層には、所定の電荷が与えられる(書き込み)。ここでは、異なる二つの電位レベルを与える電荷(以下Lowレベル電荷、Highレベル電荷という)のいずれかが与えられるものとする。その後、第4の配線の電位を、トランジスタ162がオフ状態となる電位にして、トランジスタ162をオフ状態とすることにより、トランジスタ160のゲート電極層に与えられた電荷が保持される(保持)。

20

【0175】

トランジスタ162のオフ電流は極めて小さいため、トランジスタ160のゲート電極層の電荷は長時間にわたって保持される。

30

【0176】

次に情報の読み出しについて説明する。第1の配線に所定の電位(定電位)を与えた状態で、第5の配線に適切な電位(読み出し電位)を与えると、トランジスタ160のゲート電極層に保持された電荷量に応じて、第2の配線は異なる電位をとる。一般に、トランジスタ160をnチャネル型とすると、トランジスタ160のゲート電極層にHighレベル電荷が与えられている場合の見かけのしきい値 V_{th_H} は、トランジスタ160のゲート電極層にLowレベル電荷が与えられている場合の見かけのしきい値 V_{th_L} より低くなるためである。ここで、見かけのしきい値電圧とは、トランジスタ160を「オン状態」とするために必要な第5の配線の電位をいうものとする。したがって、第5の配線の電位を V_{th_H} と V_{th_L} の中間の電位 V_0 とすることにより、トランジスタ160のゲート電極層に与えられた電荷を判別できる。例えば、書き込みにおいて、Highレベル電荷が与えられていた場合には、第5の配線の電位が $V_0 (> V_{th_H})$ となれば、トランジスタ160は「オン状態」となる。Lowレベル電荷が与えられていた場合には、第5の配線の電位が $V_0 (< V_{th_L})$ となっても、トランジスタ160は「オフ状態」のままである。このため、第2の配線の電位を見ることで、保持されている情報を読み出すことができる。

40

【0177】

なお、メモリセルをアレイ状に配置して用いる場合、所望のメモリセルの情報のみを読み

50

出せることが必要になる。このように情報を読み出さない場合には、ゲート電極層の状態にかかわらずトランジスタ160が「オフ状態」となるような電位、つまり、 V_{th_H} より小さい電位を第5の配線に与えればよい。または、ゲート電極層の状態にかかわらずトランジスタ160が「オン状態」となるような電位、つまり、 V_{th_L} より大きい電位を第5の配線に与えればよい。

【0178】

本実施の形態に示す半導体装置では、チャンネル形成領域に酸化物半導体を用いたオフ電流の極めて小さいトランジスタを適用することで、極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい）であっても、長期にわたって記憶内容を保持することが可能である。

10

【0179】

また、本実施の形態に示す半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁層の劣化といった問題が全く生じない。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。

20

【0180】

本実施の形態で示すトランジスタ162は、第1のゲート電極層のチャンネル長方向の側面に接する第2のゲート電極層を有する。第2のゲート電極層は、ソース領域またはドレイン領域として機能する低抵抗領域と重畳し、 L_{ov} 領域を形成するため、トランジスタのオン電流の低下を抑制することができる。

【0181】

したがって、トランジスタ162はオン特性が高く、高速動作、高速応答が可能である。また、微細化も達成できる。よって、該トランジスタを用いることで高性能及び高信頼性の半導体装置を提供することができる。

【0182】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

30

【0183】

（実施の形態4）

本実施の形態においては、実施の形態1及び実施の形態2に示すトランジスタを使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置について、実施の形態3に示した構成と異なる構成について、図10乃至図12を用いて説明を行う。なお、本実施の形態の半導体装置は、トランジスタ162として実施の形態1及び実施の形態2に記載のトランジスタを適用して構成される。トランジスタ162としては、実施の形態1及び実施の形態2で示すトランジスタのいずれの構造も適用することができる。

40

【0184】

図10(A)は、半導体装置の回路構成の一例を示し、図10(B)は半導体装置の一例を示す概念図である。まず、図10(A)に示す半導体装置について説明を行い、続けて図10(B)に示す半導体装置について、以下説明を行う。

【0185】

図10(A)に示す半導体装置において、ビット線BLとトランジスタ162のソース電極層またはドレイン電極層とは電氣的に接続され、ワード線WLとトランジスタ162のゲート電極層とは電氣的に接続され、トランジスタ162のソース電極層またはドレイン電極層と容量素子254の第1の端子とは電氣的に接続されている。

50

【 0 1 8 6 】

酸化物半導体を用いたトランジスタ 1 6 2 は、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ 1 6 2 をオフ状態とすることで、容量素子 2 5 4 の第 1 の端子の電位（あるいは、容量素子 2 5 4 に蓄積された電荷）を極めて長時間にわたって保持することが可能である。

【 0 1 8 7 】

次に、図 1 0 (A) に示す半導体装置（メモリセル 2 5 0 ）に、情報の書き込み及び保持を行う場合について説明する。

【 0 1 8 8 】

まず、ワード線 W L の電位を、トランジスタ 1 6 2 がオン状態となる電位として、トランジスタ 1 6 2 をオン状態とする。これにより、ビット線 B L の電位が、容量素子 2 5 4 の第 1 の端子に与えられる（書き込み）。その後、ワード線 W L の電位を、トランジスタ 1 6 2 がオフ状態となる電位として、トランジスタ 1 6 2 をオフ状態とすることにより、容量素子 2 5 4 の第 1 の端子の電位が保持される（保持）。

【 0 1 8 9 】

トランジスタ 1 6 2 のオフ電流は極めて小さいから、容量素子 2 5 4 の第 1 の端子の電位（あるいは容量素子に蓄積された電荷）は長時間にわたって保持することができる。

【 0 1 9 0 】

次に、情報の読み出しについて説明する。トランジスタ 1 6 2 がオン状態となると、浮遊状態であるビット線 B L と容量素子 2 5 4 とが導通し、ビット線 B L と容量素子 2 5 4 の間で電荷が再分配される。その結果、ビット線 B L の電位が変化する。ビット線 B L の電位の変化量は、容量素子 2 5 4 の第 1 の端子の電位（あるいは容量素子 2 5 4 に蓄積された電荷）によって、異なる値をとる。

【 0 1 9 1 】

例えば、容量素子 2 5 4 の第 1 の端子の電位を V 、容量素子 2 5 4 の容量を C 、ビット線 B L が有する容量成分（以下、ビット線容量とも呼ぶ）を C_B 、電荷が再分配される前のビット線 B L の電位を V_{B0} とすると、電荷が再分配された後のビット線 B L の電位は、 $(C_B \times V_{B0} + C \times V) / (C_B + C)$ となる。従って、メモリセル 2 5 0 の状態として、容量素子 2 5 4 の第 1 の端子の電位が V_1 と V_0 ($V_1 > V_0$) の 2 状態をとるとすると、電位 V_1 を保持している場合のビット線 B L の電位 ($= C_B \times V_{B0} + C \times V_1$) / $(C_B + C)$ は、電位 V_0 を保持している場合のビット線 B L の電位 ($= C_B \times V_{B0} + C \times V_0$) / $(C_B + C)$ よりも高くなるのがわかる。

【 0 1 9 2 】

そして、ビット線 B L の電位を所定の電位と比較することで、情報を読み出すことができる。

【 0 1 9 3 】

このように、図 1 0 (A) に示す半導体装置は、トランジスタ 1 6 2 のオフ電流が極めて小さいという特徴から、容量素子 2 5 4 に蓄積された電荷は長時間にわたって保持することができる。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することが可能である。

【 0 1 9 4 】

次に、図 1 0 (B) に示す半導体装置について、説明を行う。

【 0 1 9 5 】

図 1 0 (B) に示す半導体装置は、上部に記憶回路として図 1 0 (A) に示したメモリセル 2 5 0 を複数有するメモリセルアレイ 2 5 1 a 及びメモリセルアレイ 2 5 1 b を有し、下部に、メモリセルアレイ 2 5 1 (メモリセルアレイ 2 5 1 a 及びメモリセルアレイ 2 5 1 b) を動作させるために必要な周辺回路 2 5 3 を有する。なお、周辺回路 2 5 3 は、メモリセルアレイ 2 5 1 と電気的に接続されている。

10

20

30

40

50

【0196】

図10(B)に示した構成とすることにより、周辺回路253をメモリセルアレイ251(メモリセルアレイ251a及びメモリセルアレイ251b)の直下に設けることができるため半導体装置の小型化を図ることができる。

【0197】

周辺回路253に設けられるトランジスタは、トランジスタ162とは異なる半導体材料を用いるのがより好ましい。例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができ、単結晶半導体を用いることが好ましい。他に、有機半導体材料などを用いてもよい。このような半導体材料を用いたトランジスタは、十分な高速動作が可能である。したがって、前記トランジスタにより、高速動作が要求される各種回路(論理回路、駆動回路など)を好適に実現することが可能である。

10

【0198】

なお、図10(B)に示した半導体装置では、2つのメモリセルアレイ251(メモリセルアレイ251aと、メモリセルアレイ251b)が積層された構成を例示したが、積層するメモリセルの数はこれに限定されない。3つ以上のメモリセルを積層する構成としても良い。

【0199】

次に、図10に示したメモリセル250に適用できる半導体装置の具体的な構成について図11を用いて説明する。図11(B)は半導体装置の上面図を示し、図11(A)は図11(B)の一点鎖線E1-E2、F1-F2における断面を示す。なお、図11(A)においては、図の明瞭化のため、図11(B)に示す半導体装置の一部の構成要素を省略している。

20

【0200】

図11に示すメモリセルは、酸化物半導体にチャネルが形成されるトランジスタ162と、容量素子254とを有する。なお、トランジスタ162の構成は、図8に示す半導体装置が有するトランジスタ162と同様であるため、その詳細な説明は省略する。

【0201】

図11において容量素子254は、酸化物半導体層144、ゲート絶縁層146、絶縁層150及び導電層157aで構成されている。導電層157aは、トランジスタ162のソース電極層またはドレイン電極層として機能する電極層153と接する導電層157bと同工程で作製されている。

30

【0202】

導電層157a及び導電層157b上には絶縁層135が設けられ、絶縁層135上にはトランジスタ162と他のトランジスタとを接続する配線159が設けられている。

【0203】

図12に、図11とは異なる構成の本実施の形態の半導体装置について示す。

【0204】

図12(A)は、半導体装置の上面図、図12(B)は半導体装置の断面図である。ここで、図12(B)は、図12(A)のG1-G2における断面に相当する。なお、図12(A)においては、図の明瞭化のため、図12(B)に示す半導体装置の一部の構成要素を省略している。

40

【0205】

図12に示すメモリセルは、酸化物半導体層にチャネルが形成されるトランジスタ162と、容量素子254とを有する。なお、トランジスタ162の構成は図8に示すトランジスタ162と同様であるため、詳細な説明は省略する。

【0206】

図12(A)(B)において、容量素子254は、導電層192、絶縁層193、導電層194で構成され、絶縁膜196中に形成されている。なお、絶縁層193は誘電率の高い絶縁材料を用いることが好ましい。容量素子254とトランジスタ162とは、絶縁層

50

135、絶縁層150、及び絶縁層195に形成されたトランジスタ162の低抵抗領域144bに達する電極層142aを介して電氣的に接続されている。

【0207】

酸化物半導体層144は、ゲート電極層148をマスクとして不純物元素を導入することで、ゲート電極層148と重畳しない領域において、自己整合的に低抵抗領域を形成する。ソース電極層またはドレイン電極層として機能する電極層142a及び電極層142bは、酸化物半導体層144の低抵抗領域と接しトランジスタ162のソース領域及びドレイン領域として機能するため、酸化物半導体層144とソース電極層及びドレイン電極層とのコンタクト抵抗は低減される。

【0208】

図11、図12に示すように、トランジスタ162、容量素子164を重畳するように密に積層して設けることで、より半導体装置の占有面積の低減を図ることができるため、高集積化を図ることができる。

【0209】

以上のように、上部に多層に形成された複数のメモリセルは、酸化物半導体を用いたトランジスタにより形成されている。高純度化され、真性化された酸化物半導体を用いたトランジスタは、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。

【0210】

このように、酸化物半導体以外の材料を用いたトランジスタ（換言すると、十分な高速動作が可能なトランジスタ）を用いた周辺回路と、酸化物半導体を用いたトランジスタ（より広義には、十分にオフ電流が小さいトランジスタ）を用いた記憶回路とを一体に備えることで、これまでにない特徴を有する半導体装置を実現することができる。また、周辺回路と記憶回路を積層構造とすることにより、半導体装置の集積化を図ることができる。

【0211】

本実施の形態で示すトランジスタ162は、第1のゲート電極層のチャネル長方向の側面に接する第2のゲート電極層を有する。第2のゲート電極層は、ソース領域またはドレイン領域として機能する低抵抗領域と重畳し、Low領域を形成するため、トランジスタのオン電流の低下を抑制することができる。

【0212】

上記のようなトランジスタは、オン特性が高く、高速動作、高速応答が可能である。また、微細化も達成できる。よって、該トランジスタを用いることで高性能及び高信頼性の半導体装置を提供することができる。

【0213】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0214】

（実施の形態5）

本実施の形態では、先の実施の形態で示した半導体装置を携帯電話、スマートフォン、電子書籍などの携帯機器に応用した場合の例を図13乃至図16を用いて説明する。

【0215】

携帯電話、スマートフォン、電子書籍などの携帯機器においては、画像データの一時記憶などにSRAMまたはDRAMが使用されている。SRAMまたはDRAMが使用される理由としてはフラッシュメモリでは応答が遅く、画像処理には不向きであるためである。一方で、SRAMまたはDRAMを画像データの一時記憶に用いた場合、以下の特徴がある。

【0216】

通常のSRAMは、図13(A)に示すように1つのメモリセルがトランジスタ801～806の6個のトランジスタで構成されており、それをXデコーダ807、Yデコーダ

10

20

30

40

50

ー 8 0 8 にて駆動している。トランジスタ 8 0 3 とトランジスタ 8 0 5、トランジスタ 8 0 4 とトランジスタ 8 0 6 はインバータを構成し、高速駆動を可能としている。しかし 1 つのメモリセルが 6 トランジスタで構成されているため、セル面積が大きいという欠点がある。デザインルールの最小寸法を F としたときに S R A M のメモリセル面積は通常 $100 \sim 150 F^2$ である。このため S R A M はビットあたりの単価が各種メモリの中で最も高い。

【 0 2 1 7 】

それに対して、D R A M はメモリセルが図 1 3 (B) に示すようにトランジスタ 8 1 1、保持容量 8 1 2 によって構成され、それを X デコーダー 8 1 3、Y デコーダー 8 1 4 にて駆動している。1 つのセルが 1 トランジスタ 1 容量の構成になっており、面積が小さい。D R A M のメモリセル面積は通常 $10 F^2$ 以下である。ただし、D R A M は常にリフレッシュが必要であり、書き換えを行わない場合でも電力を消費する。

10

【 0 2 1 8 】

しかし、先の実施の形態で説明した半導体装置のメモリセル面積は、 $10 F^2$ 前後であり、且つ頻繁なリフレッシュは不要である。したがって、メモリセル面積が縮小され、且つ消費電力を低減することができる。

【 0 2 1 9 】

図 1 4 に携帯機器のブロック図を示す。図 1 4 に示す携帯機器は R F 回路 9 0 1、アナログベースバンド回路 9 0 2、デジタルベースバンド回路 9 0 3、バッテリー 9 0 4、電源回路 9 0 5、アプリケーションプロセッサ 9 0 6、フラッシュメモリ 9 1 0、ディスプレイコントローラ 9 1 1、メモリ回路 9 1 2、ディスプレイ 9 1 3、タッチセンサ 9 1 9、音声回路 9 1 7、キーボード 9 1 8 などより構成されている。ディスプレイ 9 1 3 は表示部 9 1 4、ソースドライバ 9 1 5、ゲートドライバ 9 1 6 によって構成されている。アプリケーションプロセッサ 9 0 6 は C P U 9 0 7、D S P 9 0 8、インターフェイス (I F) 9 0 9 を有している。一般にメモリ回路 9 1 2 は S R A M または D R A M で構成されており、この部分に先の実施の形態で説明した半導体装置を採用することによって、情報の書き込み及び読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された携帯機器を提供することができる。

20

【 0 2 2 0 】

図 1 5 に、ディスプレイのメモリ回路 9 5 0 に先の実施の形態で説明した半導体装置を使用した例を示す。図 1 5 に示すメモリ回路 9 5 0 は、メモリ 9 5 2、メモリ 9 5 3、スイッチ 9 5 4、スイッチ 9 5 5 及びメモリコントローラ 9 5 1 により構成されている。また、メモリ回路は、画像データ (入力画像データ) からの信号線、メモリ 9 5 2 及びメモリ 9 5 3 に記憶されたデータ (記憶画像データ) を読み出し、及び制御を行うディスプレイコントローラ 9 5 6 と、ディスプレイコントローラ 9 5 6 からの信号により表示するディスプレイ 9 5 7 が接続されている。

30

【 0 2 2 1 】

まず、ある画像データがアプリケーションプロセッサ (図示しない) によって、形成される (入力画像データ A)。入力画像データ A は、スイッチ 9 5 4 を介してメモリ 9 5 2 に記憶される。そしてメモリ 9 5 2 に記憶された画像データ (記憶画像データ A) は、スイッチ 9 5 5、及びディスプレイコントローラ 9 5 6 を介してディスプレイ 9 5 7 に送られ、表示される。

40

【 0 2 2 2 】

入力画像データ A に変更が無い場合、記憶画像データ A は、通常 $30 \sim 60 \text{ Hz}$ 程度の周期でメモリ 9 5 2 からスイッチ 9 5 5 を介して、ディスプレイコントローラ 9 5 6 から読み出される。

【 0 2 2 3 】

次に、例えばユーザーが画面を書き換える操作をしたとき (すなわち、入力画像データ A に変更が有る場合)、アプリケーションプロセッサは新たな画像データ (入力画像データ B) を形成する。入力画像データ B はスイッチ 9 5 4 を介してメモリ 9 5 3 に記憶される

50

。この間も定期的にメモリ952からスイッチ955を介して記憶画像データAは読み出されている。メモリ953に新たな画像データ(記憶画像データB)が記憶し終わると、ディスプレイ957の次のフレームより、記憶画像データBは読み出され、スイッチ955、及びディスプレイコントローラ956を介して、ディスプレイ957に記憶画像データBが送られ、表示がおこなわれる。この読み出しはさらに次に新たな画像データがメモリ952に記憶されるまで継続される。

【0224】

このようにメモリ952及びメモリ953は交互に画像データの書き込みと、画像データの読み出しを行うことによって、ディスプレイ957の表示をおこなう。なお、メモリ952及びメモリ953はそれぞれ別のメモリには限定されず、1つのメモリを分割して使用してもよい。先の実施の形態で説明した半導体装置をメモリ952及びメモリ953に採用することによって、情報の書き込み及び読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。

10

【0225】

図16に電子書籍のブロック図を示す。図16はバッテリー1001、電源回路1002、マイクロプロセッサ1003、フラッシュメモリ1004、音声回路1005、キーボード1006、メモリ回路1007、タッチパネル1008、ディスプレイ1009、ディスプレイコントローラ1010によって構成される。

【0226】

ここでは、図16のメモリ回路1007に先の実施の形態で説明した半導体装置を使用することができる。メモリ回路1007は書籍の内容を一時的に保持する機能を持つ。例えば、ユーザーがハイライト機能を使用する場合、メモリ回路1007は、ユーザーが指定した箇所の情報を記憶し、保持する。なおハイライト機能とは、ユーザーが電子書籍を読んでいるときに、特定の箇所にマーキング、例えば、表示の色を変える、アンダーラインを引く、文字を太くする、文字の書体を変えるなどによってマーキングして周囲との違いを示すことである。メモリ回路1007は短期的な情報の記憶に用い、長期的な情報の保存にはフラッシュメモリ1004に、メモリ回路1007が保持しているデータをコピーしてもよい。このような場合においても、先の実施の形態で説明した半導体装置を採用することによって、情報の書き込み及び読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力を十分に低減することができる。

20

30

【0227】

以上のように、本実施の形態に示す携帯機器には、先の実施の形態に係る半導体装置が搭載されている。このため、読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力を低減した携帯機器が実現される。

【0228】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【実施例1】

【0229】

本実施例では、本発明の一態様の半導体装置の作製方法を適用して導電膜を加工し、実施の形態1に示すゲート電極層のような構成の導電膜が形成されることを確認した。図17(A)は、実施例試料1の断面STEM(走査透過電子顕微鏡)での観察写真であり、図17(B)は、図17(A)の断面模式図である。明瞭化のため、図17(B)に、図1に示すトランジスタ420と同様の符号を付した。

40

【0230】

実施例試料1の作製方法について示す。

【0231】

初めに、シリコン基板上に膜厚300nmの酸化シリコン膜を形成した。酸化シリコン膜は、酸素(酸素50sccm)雰囲気下において、圧力0.4Pa、電源電力(電源出力)1.5kWを印加し、ガラス基板とターゲットとの間の距離を60mm、基板温度10

50

0 の条件によるスパッタリング法によって成膜した。

【0232】

酸化シリコン膜表面を研磨処理後、 $In : Ga : Zn = 3 : 1 : 2$ (原子数比)の酸化物ターゲットを用いたスパッタリング法により、膜厚 30 nm のIGZO膜を形成した。成膜条件は、アルゴン及び酸素(アルゴン:酸素= $30\text{ sccm} : 15\text{ sccm}$)混合雰囲気下、圧力 0.4 Pa 、電源電力 0.5 kW 、基板温度 300 とした。

【0233】

次に、IGZO膜を、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法により、三塩化硼素及び塩素($BCl_3 : Cl_2 = 60\text{ sccm} : 20\text{ sccm}$)雰囲気下、電源電力 450 W 、バイアス電力 100 W 、圧力 1.9 Pa においてエッチングして島状に加工した。

10

【0234】

続いて、酸化シリコン膜及びIGZO膜上に第1の酸化窒化シリコン膜をCVD法によって 20 nm の膜厚で形成した。

【0235】

第1の酸化窒化シリコン膜上に、スパッタリング法により膜厚 30 nm の窒化タンタル膜を、アルゴン及び窒素($Ar : N_2 = 50\text{ sccm} : 10\text{ sccm}$)混合雰囲気下、圧力 0.6 Pa 、電源電力 1 kW において成膜し、さらに、膜厚 135 nm の第1のタングステン膜をアルゴン($Ar = 100\text{ sccm}$)雰囲気下、圧力 2.0 Pa 、電源電力 4 kW で成膜して、積層した。

20

【0236】

続いて、第1のタングステン膜をICPエッチング法により、塩素、四弗化炭素及び酸素($Cl_2 : CF_4 : O_2 = 45\text{ sccm} : 55\text{ sccm} : 55\text{ sccm}$)雰囲気下、電源電力 3 kW 、バイアス電力 110 W 、圧力 0.67 Pa においてエッチングし、窒化タンタル膜をICPエッチング法により、塩素($Cl_2 = 100\text{ sccm}$)雰囲気下、電源電力 1 kW 、バイアス電力 60 W 、圧力 0.2 Pa においてエッチングした。

【0237】

次に、スパッタリング法によって、第1のタングステン膜及び窒化タンタル膜を覆うように、第2のタングステン膜を 30 nm の膜厚で成膜した。成膜条件はアルゴン($Ar = 50\text{ sccm}$)雰囲気下において、圧力 0.6 Pa 、電源電力 1 kW とした。

30

【0238】

次に、第2の窒化酸化シリコン膜をCVD法によって、 150 nm 成膜した。

【0239】

続いて、第2の窒化酸化シリコン膜をICPエッチング法を用いて、トリフルオロメタン及びヘリウム($CHF_3 : He = 30\text{ sccm} : 120\text{ sccm}$)混合雰囲気下、電源電力 3 kW 、バイアス電力 200 W 、圧力 2.0 Pa でエッチングし、側壁絶縁層とした。

【0240】

続いて、側壁絶縁層をマスクとして第2のタングステン膜をICPエッチング法によって、塩素及び酸素($Cl_2 : O_2 = 45\text{ sccm} : 15\text{ sccm}$)雰囲気下、電源電力 500 W 、バイアス電力 40 W 、圧力 1.0 Pa でエッチングした。

40

【0241】

上記の方法を用いて作製した実施例試料1の断面STEM写真を図17(A)に示す。また、図17(B)に図17(A)に示す断面STEM写真の模式図を示す。

【0242】

図17に示すように、実施の形態1に示すゲート電極層のような導電膜が形成されたことが確認できた。実施例試料1は、図1(A)に示すゲート電極層401のように、側壁絶縁層の高さが、導電膜の高さよりも高い。

【0243】

また、実施例試料1の第1の酸化窒化シリコン膜は、図5(C)に示すゲート絶縁層402と同様に、膜厚の異なる複数の領域を有している。第1の酸化窒化シリコン膜の膜厚を

50

調べると、窒化タンタル膜と接する領域において膜厚が17.9 nmであり、第2のタングステン膜と接する領域において膜厚が11.2 nmであった。これは、窒化タングステン膜のエッチングを行った際に、第1の窒化酸化シリコン膜も一緒にエッチングされたことによる。

【実施例2】

【0244】

本実施例では、実施例1とは異なる作製条件を用いて、実施の形態1に示すゲート電極層のような導電膜が形成できることを確認した。図18に本実施例で作製した実施例試料2のSTEM写真を示す。

【0245】

まず、実施例試料2の作製方法について示す。なお、実施例試料2は、実施例試料1と比較して、酸化シリコン膜及びIGZO膜を設けていない点と、第1のタングステン膜の成膜条件及びエッチング条件が異なっている。

【0246】

まず、シリコン基板を用意し、基板上に第1の窒化酸化シリコンをCVD法によって20 nmの膜厚で成膜する。

【0247】

次に、膜厚30 nmの窒化タンタル膜を、アルゴン及び窒素(Ar : N₂ = 50 sccm : 10 sccm)混合雰囲気下、圧力0.6 Pa、電源電力1 kWのスパッタリング法によって成膜し、その上に膜厚135 nmの第1のタングステン膜を、アルゴン(Ar = 100 sccm)雰囲気下、圧力2.0 Pa、電源電力4 kWによって成膜した。

【0248】

続いて、第1のタングステン膜をICPEッチング法により、塩素、四弗化炭素及び酸素(Cl₂ : CF₄ : O₂ = 45 sccm : 55 sccm : 55 sccm)混合雰囲気下、電源電力3 kW、バイアス電力50 W、圧力0.67 Paにおいてエッチングした。

【0249】

続いて、窒化タンタル膜をICPEッチング法によって、塩素(Cl₂ = 100 sccm)雰囲気下、電源電力1 kW、バイアス電力60 W、圧力0.2 Paでエッチングした。

【0250】

次に、スパッタリング法によって、第1のタングステン膜及び窒化タンタル膜を覆うように、第2のタングステン膜を30 nmの膜厚で成膜した。成膜条件はアルゴン(Ar = 50 sccm)雰囲気下において、圧力0.6 Pa、電源電力1 kWである。

【0251】

次に、第2の窒化酸化シリコン膜をCVD法によって、150 nm成膜した。

【0252】

続いて、第2の窒化酸化シリコン膜をICPEッチング法を用いて、トリフルオロメタン及びヘリウム(CHF₃ : He = 30 sccm : 120 sccm)混合雰囲気下、電源電力3 kW、バイアス電力200 W、圧力2.0 Paでエッチングし、側壁絶縁層を形成した。

【0253】

続いて、側壁絶縁層をマスクとしたICPEッチング法によって、第2のタングステン膜を四弗化炭素、塩素及び酸素(CF₄ : Cl₂ : O₂ = 50 sccm : 50 sccm : 20 sccm)混合雰囲気下、電源電力500 W、バイアス電力10 W、圧力1.6 Paでエッチングした。

【0254】

上記の方法を用いて作製した実施例試料2の断面STEM写真を図18に示す。

【0255】

図18に示すように、実施の形態1に示すゲート電極層のような導電膜が形成されたことが確認できた。なお、図18には断面模式図は載せていないが、実施例試料2も、実施例試料1と同様に、第1のゲート電極層の側面に接して第2のゲート電極層が設けられる構

10

20

30

40

50

成となっている。

【 0 2 5 6 】

実施例試料 2 は図 5 (B) に示すトランジスタ 4 4 0 と同様に、側壁絶縁層の高さが第 1 のタングステン膜及び第 2 のタングステン膜の高さよりも低い。

【 0 2 5 7 】

また、第 1 の窒化酸化シリコン膜は、図 5 (C) に示すように、膜厚の異なる複数の領域を有する。実施例試料 2 の第 1 の窒化酸化シリコン膜の膜厚を測定したところ、窒化タンタル膜と接する領域は膜厚が 1 7 . 9 n m であり、第 2 のタングステン膜と接する領域は膜厚が 1 1 . 2 n m であった。これは、窒化タンタル膜のエッチングの際にゲート絶縁層も一緒にエッチングされたためである。

10

【 0 2 5 8 】

また、実施例試料 2 の第 2 の窒化酸化シリコン膜の側端部は第 2 のタングステン膜の側端部よりも窒化タンタル膜側にある。第 2 のタングステン膜は第 2 の窒化酸化シリコン膜をマスクとして、エッチングされている。しかし、エッチング時の回り込み等によって、図 1 8 に示す実施例試料 2 のように、第 2 の窒化酸化シリコン膜の側端部は第 2 のタングステン膜の側端部よりも窒化タンタル側にあり、側端部同士が厳密には一致していない。本発明の一態様の半導体装置のゲート電極層の形状としては、このような場合も含む。

【 符号の説明 】

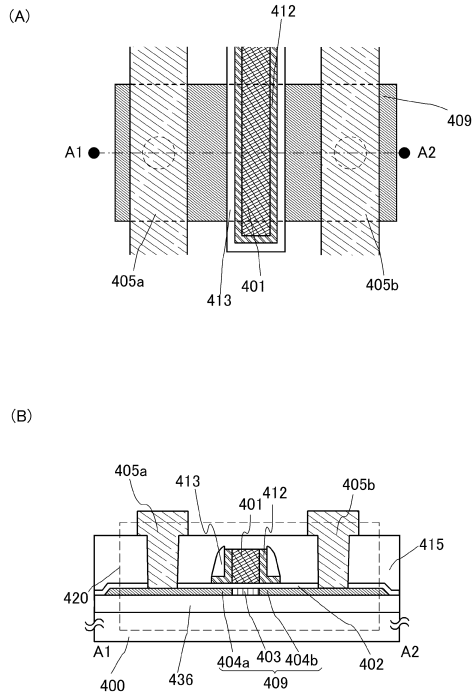
【 0 2 5 9 】

1 0 0	基板	20
1 0 6	素子分離絶縁層	
1 0 8	ゲート絶縁層	
1 1 0	ゲート電極層	
1 1 6	チャネル形成領域	
1 2 0	不純物元素領域	
1 2 4	金属化合物領域	
1 3 0	絶縁層	
1 3 5	絶縁層	
1 3 6	ゲート電極層	
1 3 7	側壁絶縁層	30
1 4 2 a	電極層	
1 4 2 b	電極層	
1 4 4	酸化物半導体層	
1 4 4 a	低抵抗領域	
1 4 4 b	低抵抗領域	
1 4 4 c	チャネル形成領域	
1 4 6	ゲート絶縁層	
1 4 8	ゲート電極層	
1 4 8 a	導電層	
1 4 8 b	ゲート電極層	40
1 5 0	絶縁層	
1 5 3	電極層	
1 5 7	配線	
1 5 7 a	導電層	
1 5 7 b	導電層	
1 5 9	配線	
1 6 0	トランジスタ	
1 6 2	トランジスタ	
1 6 4	容量素子	
1 9 2	導電層	50

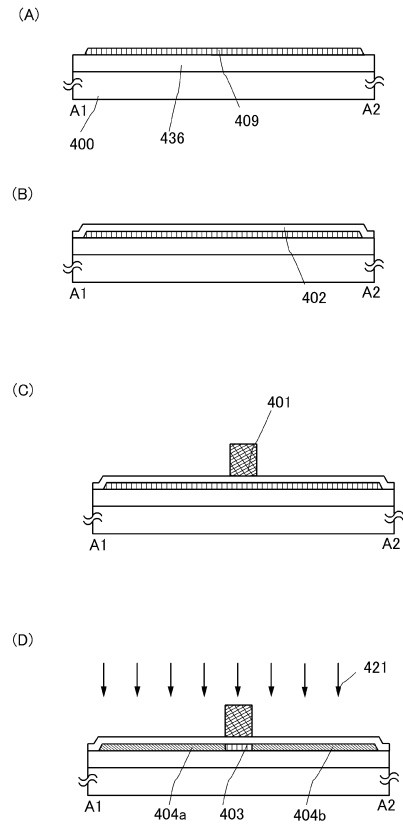
1 9 3	絶縁層	
1 9 4	導電層	
1 9 5	絶縁層	
1 9 6	絶縁膜	
2 5 0	メモリセル	
2 5 1	メモリセルアレイ	
2 5 1 a	メモリセルアレイ	
2 5 1 b	メモリセルアレイ	
2 5 3	周辺回路	
2 5 4	容量素子	10
4 0 0	基板	
4 0 1	ゲート電極層	
4 0 2	ゲート絶縁層	
4 0 3	チャネル形成領域	
4 0 4 a	低抵抗領域	
4 0 4 b	低抵抗領域	
4 0 5 a	ソース電極層	
4 0 5 b	ドレイン電極層	
4 0 9	酸化物半導体層	
4 1 1	導電膜	20
4 1 2	ゲート電極層	
4 1 3	側壁絶縁層	
4 1 4	絶縁膜	
4 1 5	絶縁層	
4 2 0	トランジスタ	
4 2 1	不純物元素	
4 3 0	トランジスタ	
4 3 5	下地絶縁層	
4 3 6	下地絶縁層	
4 4 0	トランジスタ	30
4 5 0	トランジスタ	
4 5 5 a	開口	
4 5 5 b	開口	
5 0 2	ゲート絶縁層	
5 0 5	導電膜	
5 0 5 a	ソース電極層	
5 0 5 b	ドレイン電極層	
5 2 0	トランジスタ	
5 5 0	マスク	
5 5 2	マスク	40
5 5 5 a	開口	
5 5 5 b	開口	
5 6 7 a	ソース配線層	
5 6 7 b	ドレイン配線層	
8 0 1	トランジスタ	
8 0 3	トランジスタ	
8 0 4	トランジスタ	
8 0 5	トランジスタ	
8 0 6	トランジスタ	
8 0 7	Xデコーダー	50

8 0 8	Y デコーダー	
8 1 1	トランジスタ	
8 1 2	保持容量	
8 1 3	X デコーダー	
8 1 4	Y デコーダー	
9 0 1	R F 回路	
9 0 2	アナログベースバンド回路	
9 0 3	デジタルベースバンド回路	
9 0 4	バッテリー	
9 0 5	電源回路	10
9 0 6	アプリケーションプロセッサ	
9 0 7	C P U	
9 0 8	D S P	
9 1 0	フラッシュメモリ	
9 1 1	ディスプレイコントローラ	
9 1 2	メモリ回路	
9 1 3	ディスプレイ	
9 1 4	表示部	
9 1 5	ソースドライバ	
9 1 6	ゲートドライバ	20
9 1 7	音声回路	
9 1 8	キーボード	
9 1 9	タッチセンサ	
9 5 0	メモリ回路	
9 5 1	メモリコントローラ	
9 5 2	メモリ	
9 5 3	メモリ	
9 5 4	スイッチ	
9 5 5	スイッチ	
9 5 6	ディスプレイコントローラ	30
9 5 7	ディスプレイ	
1 0 0 1	バッテリー	
1 0 0 2	電源回路	
1 0 0 3	マイクロプロセッサ	
1 0 0 4	フラッシュメモリ	
1 0 0 5	音声回路	
1 0 0 6	キーボード	
1 0 0 7	メモリ回路	
1 0 0 8	タッチパネル	
1 0 0 9	ディスプレイ	40
1 0 1 0	ディスプレイコントローラ	

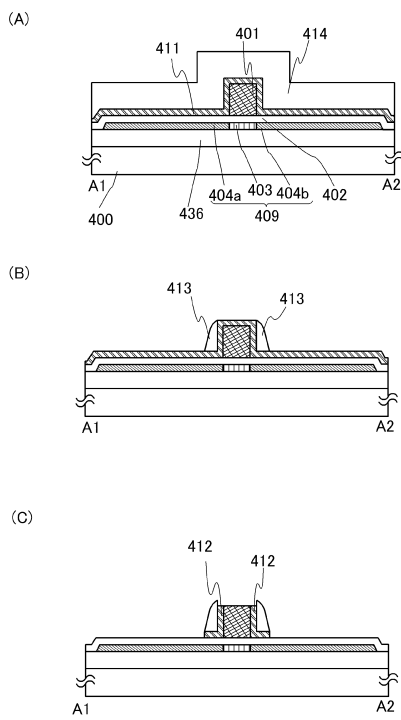
【図1】



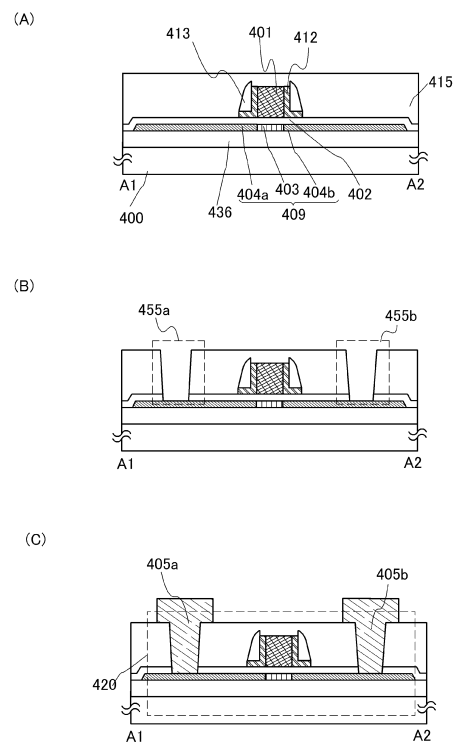
【図2】



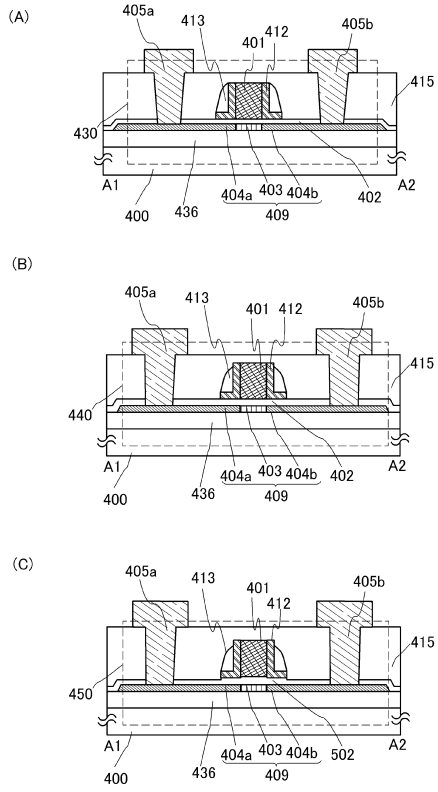
【図3】



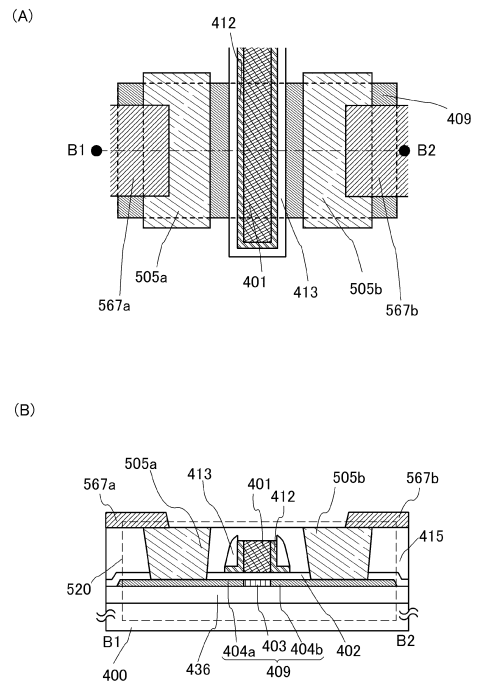
【図4】



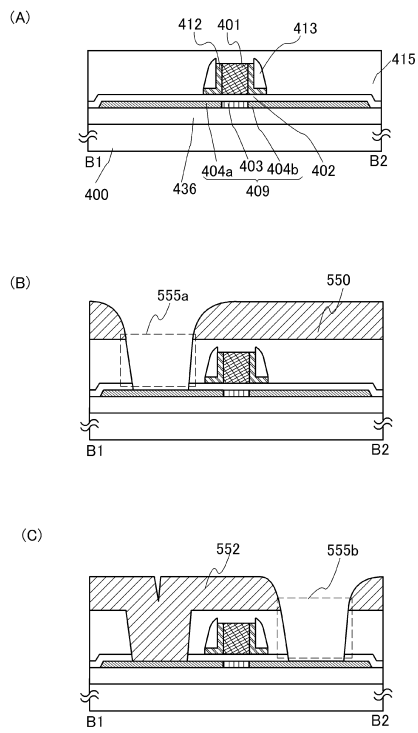
【図5】



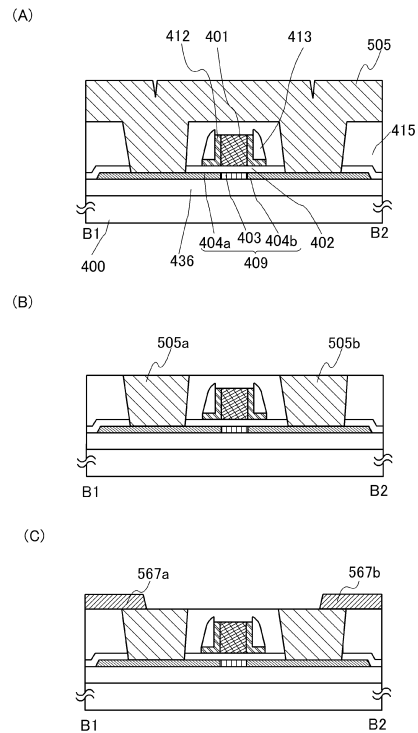
【図6】



【図7】

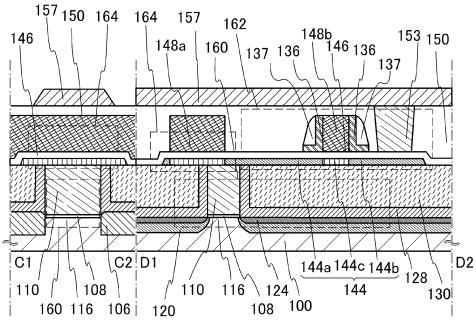


【図8】

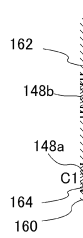


【 図 9 】

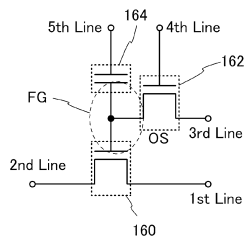
(A)



(B)

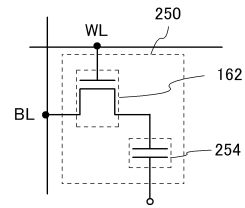


(C)

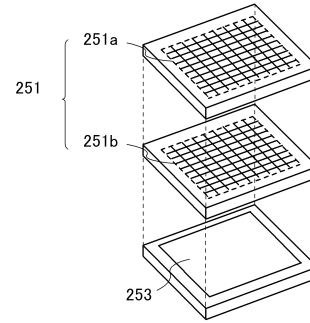


【 図 10 】

(A)

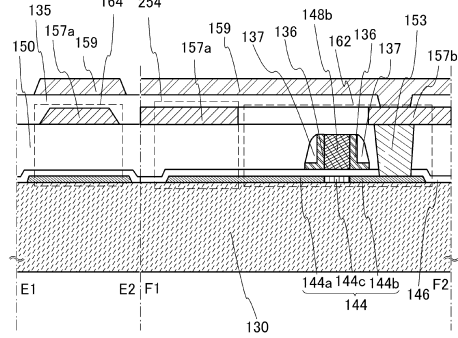


(B)

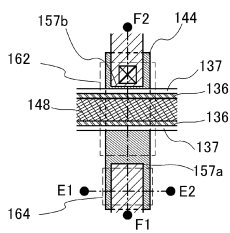


【 図 11 】

(A)

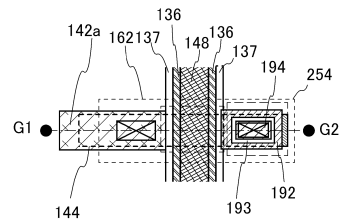


(B)

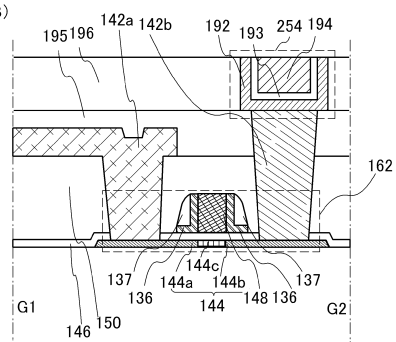


【 図 12 】

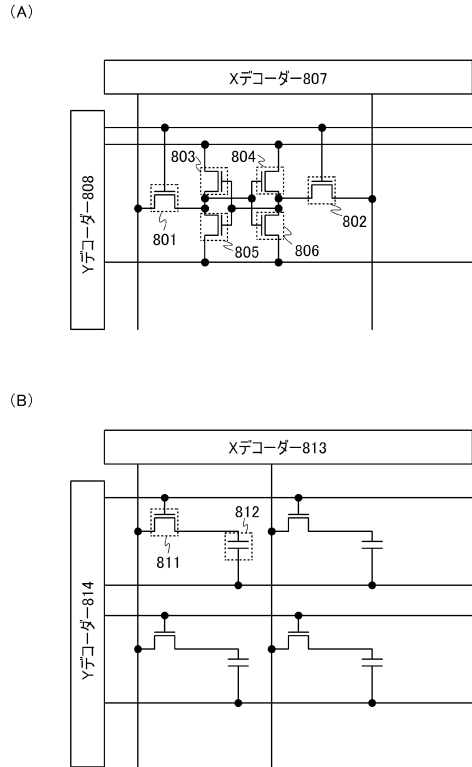
(A)



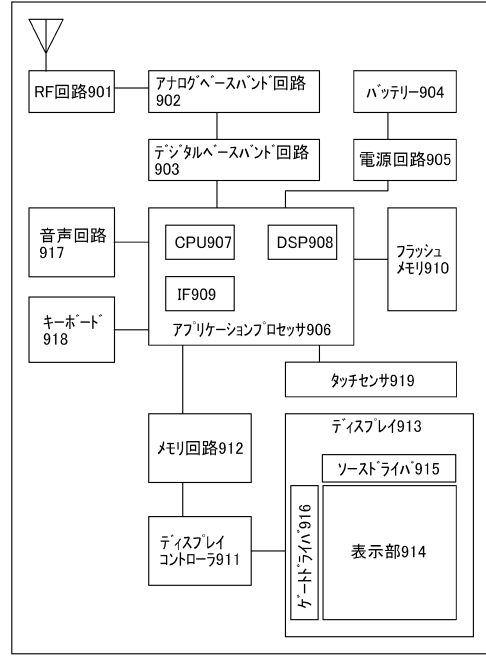
(B)



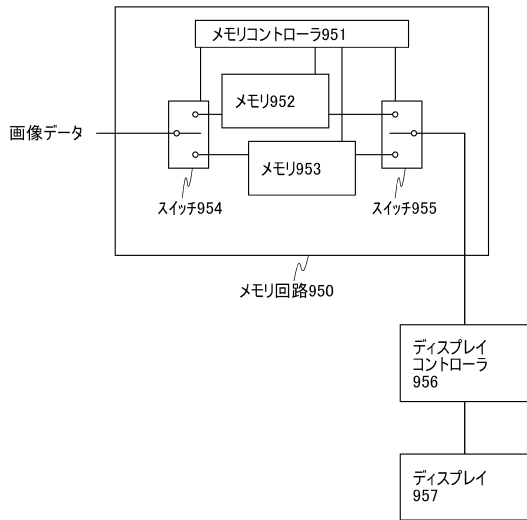
【図13】



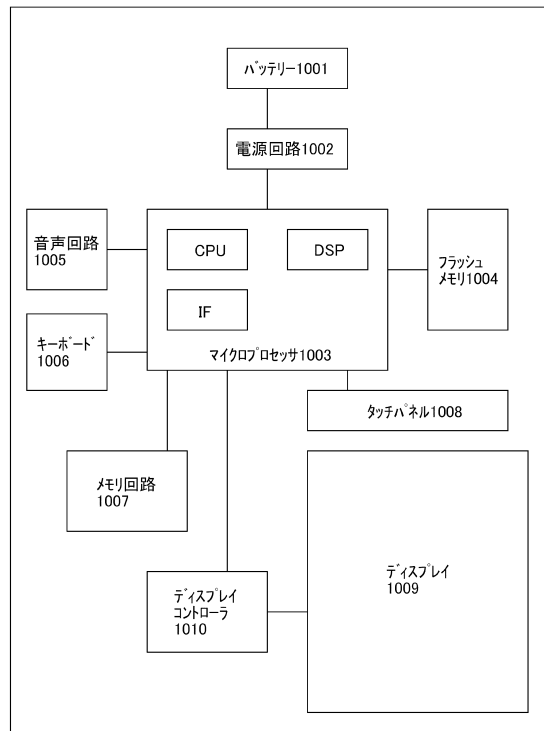
【図14】



【図15】

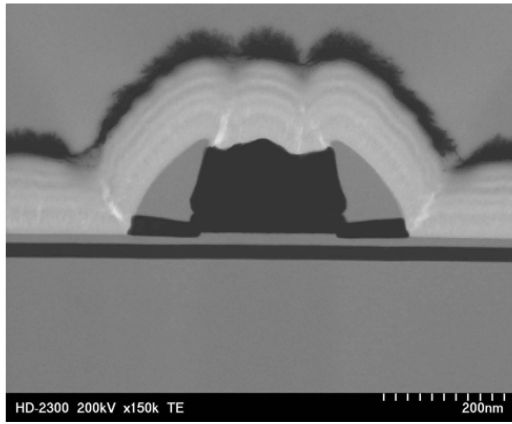


【図16】

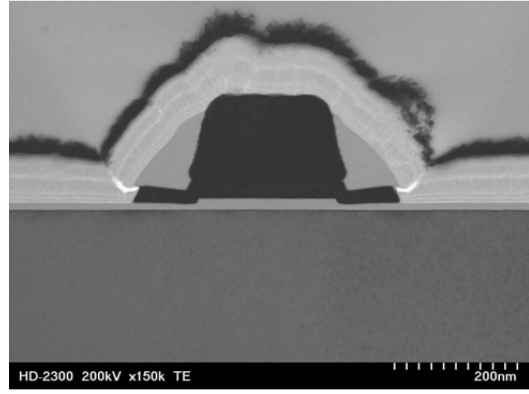


【 17 】

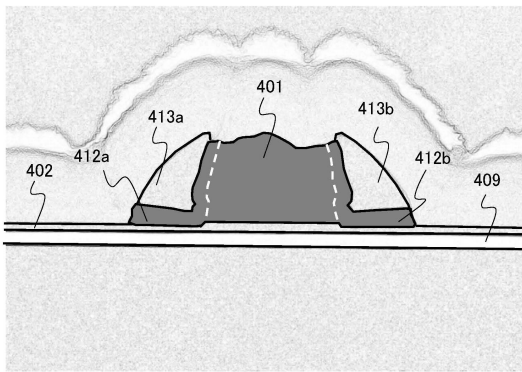
(A)



【 18 】



(B)



フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L	29/49	(2006.01)	H 0 1 L	29/78 6 1 7 K
H 0 1 L	27/115	(2017.01)	H 0 1 L	29/50 M
H 0 1 L	29/788	(2006.01)	H 0 1 L	29/44 S
H 0 1 L	29/792	(2006.01)	H 0 1 L	29/58 G
H 0 1 L	21/8242	(2006.01)	H 0 1 L	27/10 4 3 4
H 0 1 L	27/108	(2006.01)	H 0 1 L	29/78 3 7 1
H 0 1 L	27/10	(2006.01)	H 0 1 L	27/10 6 2 1 C
H 0 1 L	21/8244	(2006.01)	H 0 1 L	27/10 6 7 1 C
H 0 1 L	27/11	(2006.01)	H 0 1 L	27/10 6 7 1 Z
H 0 1 L	21/768	(2006.01)	H 0 1 L	27/10 3 2 1
H 0 1 L	21/28	(2006.01)	H 0 1 L	27/10 4 9 5
			H 0 1 L	27/10 4 6 1
			H 0 1 L	27/10 3 8 1
			H 0 1 L	27/10 4 8 1
			H 0 1 L	27/10 6 1 5
			H 0 1 L	21/90 C
			H 0 1 L	21/28 L

- (56)参考文献 特開2011-146694(JP,A)
 特表2006-505121(JP,A)
 国際公開第01/057930(WO,A1)
 特開2002-076336(JP,A)
 特開平03-157938(JP,A)
 特開2007-201456(JP,A)
 特開2006-003920(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 3 2 0 5 - 2 1 / 3 2 1 3、2 1 / 3 3 6、2 1 / 7 6 8、
 2 3 / 5 2 - 2 3 / 5 2 2、2 9 / 7 8 6