



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I515730 B

(45)公告日：中華民國 105 (2016) 年 01 月 01 日

(21)申請案號：098115732

(22)申請日：中華民國 98 (2009) 年 05 月 12 日

(51)Int. Cl. : **G11C16/08 (2006.01)**

(30)優先權：2008/06/23 美國

61/074,705

(71)申請人：山迪士 I L 有限公司 (以色列) SANDISK IL LTD. (IL)
以色列

(72)發明人：莫雷 馬克 MURIN, MARK (IL)；沙朗 伊蘭 SHARON, ERAN (IL)

(74)代理人：黃章典；樓穎智

(56)參考文獻：

US 5991517

US 6490212B1

US 2002/0176275A1

US 2003/0223269A1

US 2004/0001353A1

US 2004/0004856A1

US 2004/0017718A1

US 2005/0122774A1

US 2006/0034137A1

US 2007/0230263A1

審查人員：蕭明椿

申請專利範圍項數：10 項 圖式數：3 共 25 頁

(54)名稱

特定快閃記憶體參考單元

AD HOC FLASH MEMORY REFERENCE CELLS

(57)摘要

在包含組織在複數個位元線及複數個字線中之單元之一非揮發性記憶體中，將使用者資料儲存於該等字線之兩者中之每一者之相應部分中。將控制資訊儲存於該等位元線中之一者與該兩個字線中之一者共同之一單元中。將該位元線與另一字線共同之一單元用作一參考單元。詢問包含複數個基本單元及複數個備用單元之一快閃記憶體，以確定哪些備用單元已用來替代相應基本單元。將其他備用單元中之至少某些備用單元用作參考單元。

In a nonvolatile memory, that includes cells organized in a plurality of bit lines and a plurality of word lines, user data are stored in respective portions of each of two of the word lines. Control information is stored in a cell that is common to one of the bit lines and one of the two word lines. A cell that is common to the bit line and the other word line is used as a reference cell. A flash memory, that includes a plurality of primary cells and a plurality of spare cells, is interrogated to determine which spare cells have been used to replace respective primary cells. At least some of the other spare cells are used as reference cells.

指定代表圖：



22 · · · 積體電路晶
片

發明專利說明書

公告本

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 98115732

※ 申請日： 98.5.12

※IPC 分類：G06K

G11C 16/08 (2006.01)

一、發明名稱：(中文/英文)

特定快閃記憶體參考單元

AD HOC FLASH MEMORY REFERENCE CELLS

二、中文發明摘要：

在包含組織在複數個位元線及複數個字線中之單元之一非揮發性記憶體中，將使用者資料儲存於該等字線之兩者中之每一者之相應部分中。將控制資訊儲存於該等位元線中之一者與該兩個字線中之一者共同之一單元中。將該位元線與另一字線共同之一單元用作一參考單元。詢問包含複數個基本單元及複數個備用單元之一快閃記憶體，以確定哪些備用單元已用來替代相應基本單元。將其他備用單元中之至少某些備用單元用作參考單元。

三、英文發明摘要：

In a nonvolatile memory, that includes cells organized in a plurality of bit lines and a plurality of word lines, user data are stored in respective portions of each of two of the word lines. Control information is stored in a cell that is common to one of the bit lines and one of the two word lines. A cell that is common to the bit line and the other word line is used as a reference cell. A flash memory, that includes a plurality of primary cells and a plurality of spare cells, is interrogated to determine which spare cells have been used to replace respective primary cells. At least some of the other spare cells are used as reference cells.

四、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

1	記憶體單元陣列
2	行控制電路
3	列控制電路
4	共同源極控制電路
5	共同p-井控制電路
6	資料輸入/輸出緩衝器
7	命令電路
8	狀態機
20	控制器
21	積體電路晶片
22	積體電路晶片

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明係關於快閃記憶體，且更特定而言，係關於使用最初未意欲用於參考單元目的之快閃記憶體單元作為參考單元。

本專利申請案主張於2008年6月23日提出申請之美國臨時專利申請案第61/074,705號之權利。

【先前技術】

快閃記憶體被構建為矩形記憶體單元陣列。該等單元配置在正交的位元線及字線中。一個或多個位元之資料藉由將充分電荷注入至單元之一浮動閘極中以將單元之臨限電壓置於表示彼位元值或彼等位元值之一臨限電壓範圍內而寫入至每一單元。藉由將一快閃記憶體單元之臨限電壓與標誌臨限電壓範圍之間的邊界之參考電壓作比較來讀取一快閃記憶體單元。於一NOR快閃記憶體之情形下，可個別地寫入及讀取單元。於一NAND快閃記憶體之情形下，一次一頁地對單元進行寫入及讀取，其中每一字線包含一小的整數數目(通常係1或2，一般不大於4)頁。進一步將字線分組成區塊，以使得一次一整個區塊地擦除單元。

由於歷史原因，將資料寫入一快閃記憶體單元亦稱為「程式化」該單元。

在快閃記憶體之作業中最令人煩惱的問題中之一者係單元之臨限電壓隨時間變化，此乃因電荷自單元之浮動閘極洩漏。此現象亦稱為「資料保持移位」。當自一快閃記憶

體讀取資料時，若未根據過度資料保持移位調整讀取參考電壓位準，則此過度資料保持移位可導致錯誤。然而，一個人如何能知道由於資料保持移位導致單元臨限電壓移位多少，或，換言之，應對讀取參考電壓調整多少？

解決此問題之一個習用方法係在每一頁中指派特定數目單元作為參考單元、以一先驗已知資料來程式化該等單元且「感測」該等單元之電壓臨限以評估由資料保持所致使之移位量。在一快閃記憶體系統中實施此等參考單元大大改良系統應付資料保持移位現象之能力。

然而，為了能夠使用此等參考單元獲得對資料保持移位之一可靠估計，每一快閃頁之此等單元之數目並不小。每一電壓位準至少需要數十個參考單元。此係一相當大數目之單元，特別係在每一單元儲存多於一個位元之「多位準單元」快閃記憶體裝置中。將此一相當大數目之單元添加至一快閃記憶體頁中明顯增加快閃晶粒之大小且因此快閃矽基板之成本。

因此，能夠在不增加快閃記憶體晶粒大小之情形下實施參考單元將係非常有利的。

【發明內容】

本文所提供之一項實施例係管理一非揮發性記憶體之一種方法，該非揮發性記憶體包含組織在複數個位元線及複數個字線中之複數個單元，該方法包括：(a)將使用者資料儲存在該等字線之兩者中之每一者之該等單元之相應部分中；及(b)在該兩個字線共用之該等位元線中之一者中：

(i)將控制資訊儲存在該一個位元線與該兩個字線之一第一字線共同之一單元中，及ii)使用該一個位元線及該兩個字線之一第二字線共同之單元作為一參考單元。

本文所提供之另一實施例係一快閃記憶體之一控制器，該快閃記憶體包含組織在複數個位元線及複數個字線中之複數個單元，該控制器係運作用以：(a)將使用者資料儲存在該等字線之兩者中之每一者之該等單元之相應部分中；及(b)在該兩個字線共用之該等位元線中之一者中：(i)將控制資訊儲存在該一個位元線與該兩個字線之一第一字線共同之一單元中，及(ii)使用該一個位元線與該兩個字線之一第二字線共同之一單元作為一參考單元。

本文所提供之另一實施例係一快閃記憶體裝置，其包括：(a)一快閃記憶體，其包含組織在複數個位元線及複數個字線中之複數個單元；及(b)一控制器，其係運作用以：(i)將使用者資料儲存在該等字線之兩者中之每一者之該等單元之相應部分中，及ii)在該兩個字線共用之該等位元線中之一者中：(A)將控制資訊儲存在該一個位元線與該兩個字線之一第一字線共同之一單元中，及(B)使用該一個位元線與兩個字線之一第二字線共同之一單元作為一參考單元。

本文所提供之另一實施例係一系統，其包括：(a)一快閃記憶體，其包含組織在複數個位元線及複數個字線中之複數個單元；(b)該快閃記憶體之一主機，其包含：(i)一記憶體，其用於儲存用於藉由包含以下之步驟管理快閃記憶

體之程式碼：(A)將使用者資料儲存在該等字線之兩者中之每一者之單元之相應部分中，及(B)在該兩個字線共用之該等位元線中之一者中：(I)將控制資訊儲存在該一個位元線與該兩個字線之一第一字線共同之一單元中，及(II)使用該一個位元線與該兩個字線之一第二字線共同之一單元作為一參考單元；及(ii)一處理器，其用於執行該程式碼。

本文所提供之另一實施例係一電腦可讀儲存媒體，其具有包含於其上用於管理一快閃記憶體之電腦可讀程式碼，該快閃記憶體包含組織在複數個位元線及複數個字線中之複數個單元，該電腦可讀程式碼包括：(a)用於將使用者資料儲存在該等字線之兩者中之每一者之單元之相應部分中之程式碼；及(b)用於在該兩個字線共用之該等位元線中之一者中執行以下作業之程式碼：(i)將控制資訊儲存在該一個位元線與該兩個字線之一第一字線共同之一單元中，及(ii)使用該一個位元線與該兩個字線之一第二字線共同之一單元作為一參考單元。

本文所提供之另一實施例係一種管理一快閃記憶體之方法，該快閃記憶體包含複數個基本單元及複數個備用單元，該方法包括：(a)詢問該快閃記憶體以確定哪些備用單元已用來替代相應基本單元；及(b)使用該等備用單元之一剩餘部分中之至少一部分作為參考單元。

本文所提供之另一實施例係一快閃記憶體之一控制器，該快閃記憶體包含複數個基本單元及複數個備用單元，該

控制器係運作用以：(a)詢問該快閃記憶體來確定哪些備用單元已用來替代相應基本單元；(b)使用該等備用單元之一剩餘部分中之至少一部分作為參考單元。

本文所提供之另一實施例係一快閃記憶體裝置，其包括：(a)一快閃記憶體，其包含複數個基本單元及複數個備用單元；及(b)一控制器，其係運作用以：(i)詢問該快閃記憶體來確定哪些備用單元已用來替代相應基本單元；及(ii)使用該等備用單元之一剩餘部分中之至少一部分作為參考單元。

本文所提供之另一實施例係一系統，其包括：(a)一快閃記憶體，其包含複數個基本單元及複數個備用單元；及(b)該快閃記憶體之一主機，其包含：(i)一記憶體，其用於儲存用於藉由包含以下之步驟管理該快閃記憶體之程式碼：(A)詢問該快閃記憶體以確定哪些備用單元已用來替代相應基本單元；且(B)使用該等備用單元之一剩餘部分中之至少一部分作為參考單元；及(ii)一處理器，其用於執行該程式碼。

本文所提供之另一實施例係一電腦可讀儲存媒體，其具有包含於其上用於管理一快閃記憶體之電腦可讀程式碼，該快閃記憶體包含複數個基本單元及複數個備用單元，該電腦可讀程式碼包括：(a)用於詢問該快閃記憶體以確定哪些備用單元已用來替代相應基本單元之程式碼；及(b)用於使用該等備用單元之一剩餘部分中之至少一部分作為參考單元之程式碼。

本文呈現兩種用於特定指定一記憶體之參考單元之一般方法。第一種方法並不限於快閃記憶體，但係針對管理包含組織在複數個位元線及複數個字線中之複數個單元之任一非揮發性記憶體。第二種方法具體針對快閃記憶體，且係關注管理包含複數個基本單元及複數個備用單元之一快閃記憶體。

根據第一一般方法，將使用者資料儲存於字線之兩者中之每一者之單元之相應部分中。在由兩個字線共用之位元線中之一者中，將控制資訊儲存於該位元線與字線之一者共同之一單元中，且將該位元線與另一字線共同之一單元用作一用於讀取該記憶體之至少一個其他單元之參考單元。注意，正討論之兩個單元係不用來儲存使用者資料之單元。

較佳地，將使用者資料僅儲存於除包含參考單元之一個位元線之單元外的單元中。舉例而言，在下文較佳實施例中所呈現之實例中，用來儲存使用者資料之單元係區段108之單元，用來儲存控制資訊之單元係區段110之一單元，且用作一參考單元之單元係區段110之另一單元。

在某些實施例中，兩個字線係處於非揮發性記憶體之同一擦除區塊中。在此等實施例中，較佳地，控制資訊係用於管理所共用區塊之區塊層級管理資訊，與(例如)用於管理一儲存於字線之一者中之頁之頁層級管理資訊相對。在其他實施例中，兩個字線係處於非揮發性記憶體之單獨相應擦除區塊中。在某些此等實施例中，控制資訊係錯誤校

正碼資訊。

根據第二一般方法，詢問快閃記憶體經以確定哪些備用單元已用來替代相應基本單元。剩餘備用單元(亦即，一個或多個不用來替代相應基本單元之備用單元)中之至少一部分用作參考單元，該等參考單元用於讀取未被替代之基本單元中之至少某些基本單元及/或用於讀取已用於替代基本單元之備用單元中之至少某些備用單元。

一實施第一一般方法之記憶體控制器係運作以將使用者資料儲存在字線之兩者中之每一者之單元之相應部分中；及在該兩個字線所共用之該等位元線之一者中，將控制資訊儲存在該位元線與字線中之一者共同之一單元中，及使用該位元線與另一字線共同之一單元作為一參考單元。

一實施第二一般方法之快閃記憶體控制器係運作以詢問該快閃記憶體來確定哪些備用單元已用來替代相應基本單元，及使用其他備用單元中之至少一部分作為參考單元。

對應於兩種一般方法中之一者之記憶體裝置包含一記憶體及一根據相關一般方法管理該記憶體之控制器。

對應於兩種一般方法中之一者之系統包含一第一記憶體、一第二記憶體及一處理器。該第二記憶體係用於儲存用於實施管理該第一記憶體之相關一般方法之程式碼。該處理器執行該程式碼。對應於兩種一般方法中之一者之電腦可讀儲存媒體具有包含於其上之用於使用相關一般方法管理一記憶體之電腦程式碼。

【實施方式】

參考該等圖式及隨附說明，可更佳地理解根據本發明之一快閃記憶體之原理及作業。

現參考圖式，圖1係一快閃記憶體裝置之一高階示意性方塊區。包含複數個配置成一矩陣之記憶體單元M之一記憶體單元陣列1係受控於一行控制電路2、一列控制電路3、一共同源極控制電路4及一共同p-井控制電路5。一行控制電路2連接至記憶體單元陣列1之位元線(BL)，以用於讀取儲存於記憶體單元(M)中之資料、在一寫入作業期間確定記憶體單元(M)之一狀態及控制位元線(BL)之電位位準以促進寫入或抑制寫入。列控制電路3連接至字線(WL)以選擇該等字線(WL)中之一者、施加讀取電壓、施加與由行控制電路2所控制之位元線電位位準相組合之寫入電壓及施加與一其上形成有記憶體單元(M)之p-型區域之電壓耦合之一擦除電壓。共同源極控制電路4控制一連接至該等記憶體單元(M)之共同源極線。共同p-井控制電路5控制共同p-井電壓。

儲存於記憶體單元(M)中之資料由行控制電路2讀出且經由I/O資料線及一資料輸入/輸出緩衝器6輸出至外部I/O線。經由外部I/O線將欲儲存於記憶體單元中之程式資料輸入至資料輸入/輸出緩衝器6，並傳送至行控制電路2。外部I/O線連接至一控制器20。

將用於控制快閃記憶體裝置之命令資料輸入至一命令介面，該命令介面連接至與控制器20相連接之外部控制線。該命令資料通知快閃記憶體所請求之作業。輸入命令被傳

送至一狀態機8，該狀態機8控制行控制電路2、列控制電路3、共同源極控制電路4、共同p-井控制電路5及資料輸入/輸出緩衝器6。狀態機8可輸出快閃記憶體之一狀態資料，例如，READY/BUSY(準備就緒/忙)或PASS/FAIL(成功/失敗)。

控制器20與一主機系統連接或可與其連接，例如一個人電腦、一數位相機、一個人數位助理等。正是該主機起始命令(例如，儲存資料至記憶體陣列1或自記憶體陣列1讀取資料)，且分別提供或接收此資料。控制器20將此等命令轉換為可由命令電路7解譯及執行之命令信號。控制器20亦通常含有用於將使用者資料寫入至記憶體陣列或自記憶體陣列讀取使用者資料之緩衝記憶體。一典型記憶體裝置包含一個包含控制器20之積體電路晶片21，及一個或多個各自含有一記憶體陣列及相關聯控制電路、輸入/輸出電路及狀態機電路之積體電路晶片22。當然，趨勢係將此一裝置之記憶體陣列及控制器電路整合於一個或多個積體電路晶片上。該記憶體裝置可嵌入作為主機系統之一部分，或可包含於一以可移除方式插入至主機系統之一配合插槽內之記憶體卡中。此一卡可包含整個記憶體裝置，或可在單獨卡中提供具有相關聯周邊電路之控制器及記憶體陣列。

圖2顯示一個實例性記憶體單元陣列1之某些細節。圖2之記憶體單元陣列1包含三個擦除區塊102。每一擦除區塊102包含四個字線106。(擦除區塊通常包含比四個字線多

得多的字線。為清晰起見，圖2之實例顯示每一擦除區塊四個字線。)與字線106垂直者係諸多位元線104。(圖2中之省略號意指在所指示之位元線104之間存在更多位元線104。)在字線106與位元線104之交叉處之正方形表示記憶體單元。因此，如上所述，陣列1之記憶體單元係一矩形單元陣列，其中每一行單元在一所共用位元線104上且每一列單元在一所共用字線106上。

圖2之記憶體單元陣列1劃分為三個區段，其中每一區段之單元用於一不同目的。區段108係一資料區段。區段108之單元用來儲存資料。區段110係一控制區段。區段110之單元用來儲存控制及管理資訊，例如，用於區段108中之資料之錯誤校正碼(ECC)位元。區塊112係一冗餘區段。區段112之單元稱為「冗餘行單元」且用來補償(亦即，替代)區段108及110中之不良位元線104。(在某些隨附申請專利範圍中，區段108及110之單元稱為「基本單元」且區段112之單元稱為「備用單元」。)在最初測試圖1之裝置期間，偵測到不良位元線104且藉由重映射至區段112之良好位元線104由區段112之良好位元線104「替代」。此重映射資訊記錄於圖1之裝置中。

快閃記憶體單元陣列1經設計在區段112中具有足夠多的冗餘位元線104以覆蓋其中區段108及110中之相當大數目之位元線104係不良的甚至罕見情形。然而，經驗顯示在大多數情形下僅有一小數目位元線104必須重映射位元線。因此，大多數冗餘位元線104在統計上係未使用，且

係空間以用作參考單元。

為將冗餘位元線104之單元用作參考單元，控制器20經組態以在正常作業模式中執行以下作業：

- 獲取行重映射資訊

- 啟用對冗餘位元線104之存取(讀取及程式化)。

應注意，習用快閃記憶體裝置已在特別作業模式中啟用此等控制器行為，此意欲用於快閃記憶體裝置測試。

若指派不用來儲存資料之額外單元用於此目的，則可進一步增加用作參考單元之快閃記憶體單元之數目。

若區段110之一部分未用於ECC或快閃記憶體管理目的，則此等單元之一個「源」係此區段中之位元線104。

參考單元之另一「源」係用於一區塊102之某些字線106中且不用於其他字線106中，或另一選擇係，用於沿一字線106之某些區塊102中且在其他區塊102中係「空間」之位元線104之若干部分。

若此等在以下條件下可發生其中一區塊102之某些字線可使用位元線104之單元，而該區塊102之其他字線106不使用此等位元線102之單元之情形：上述位元線104之單元已被指派用來儲存區塊層級管理資料。於此一情形下，可不必在區塊102之所有字線106中使用此等位元線104之單元且可指派未使用之單元作為參考單元。

類似地，若快閃記憶體裝置在同一平面中包含不同邏輯類型之區塊102，則此等區塊102中之某些可具有用來儲存資料之某些位元線104，而其他區塊102可使此等位元線

104 空間。此一情形之一項實例係以下一快閃記憶體裝置：其區塊 102 用不同數目之每單元位元(例如，(舉例而言)某些區塊 102 係每單元儲存一個位元之 SLC(「單一位準單元」)區塊，而其他區塊 102 係每單元儲存兩個或更多個位元之 MLC(「多位準單元」)區塊)進行程式化且因此具有不同的 ECC 需要，此導致不同數目之經指派用以儲存 ECC 位元之位元線 104。於此一情形下，雖然 MLC 區塊 102 使區段 110 之所有位元線 104 得到佔據，但 SLC 區塊 102 使區段 110 之某些位元線 104 空閒。

雖然習慣上在一快閃記憶體裝置中使用參考單元來估計臨限電壓移位，但用於彼目的之單元係既預指派為參考單元又位於專用位元線上之單元。本文所述之技術使用未預指派為參考單元或不位於專用位元線上之參考單元，具體而言根據以下組態：

- A. 在一既定區塊 102 內且在相同位元線 104 上，某些單元用作管理資料單元且其他單元用作參考單元。實例：使一區塊 102 之一個字線 106 之管理區段 110 中之某些單元儲存控制資訊，而該區塊 102 之其他字線 106 中之對應單元用作參考單元。
- B. 在一既定快閃記憶體晶粒內且在不同區塊 102(甚至在同一平面中)之對應位元線 104 上，某些單元用作管理資料單元且其他單元用作參考單元。實例：用於 MLC 模式中之區塊 102 將 ECC 同位位元儲存在某些位元線 104 之單元中，而用於 SLC 模式中之區塊 102 中之對應

位元線104(或同一位元線104)之單元用作參考單元。

- C. 在一既定大量快閃晶粒內(包含在相同晶圓之晶粒內)，某些位元線104之單元用作資料單元且其他位元線104之單元用作參考單元。實例：一個具有大量不良位元線104之快閃晶粒致使區段112之幾乎所有冗餘位元線104用作資料位元線，然而在另一快閃晶粒中，幾乎所有位元線104係良好位元線且區段112之冗餘位元線104用作參考單元。

圖3係一系統200之一高階方塊區，其中一快閃記憶體之參考單元之特定指定係藉由軟體來實現。系統200包含一處理器202及四個記憶體裝置：一RAM 204、一開機啟動ROM 206、一大容量儲存裝置(硬磁碟)208及作為一快閃記憶體裝置212之圖1之快閃記憶體裝置，其全部皆經由一共同匯流排214通信。在系統200中，快閃記憶體裝置212之控制器20僅用作至一匯流排214之一介面；上述圖1之快閃控制器20之剩餘功能性由快閃記憶體驅動程式碼210模擬，該快閃記憶體驅動程式碼儲存於大容量儲存裝置208中且由處理器202執行以介接於處理器202所執行之使用者應用程式與快閃記憶體裝置212之間且管理快閃記憶體裝置212之快閃記憶體。除此快閃管理驅動程式碼之習用功能性之外，驅動程式碼210就如上所述使用記憶體單元陣列1之另外不會用於任何目的之單元作為參考單元方面來模擬圖1之控制器20之功能性。驅動程式碼210通常包含於系統200之作業系統程式碼中但亦可係獨立程式碼。

系統200除快閃記憶體裝置212外之組件構成快閃記憶體裝置212之一主機220。大容量儲存裝置208係一電腦可讀儲存媒體之一實例，其承載用於使用快閃記憶體陣列之另外將不會用於任何目的之單元作為一快閃記憶體陣列之參考單元之電腦可讀驅動程式碼。此電腦可讀儲存媒體之其他實例包含唯讀記憶體，例如承載此程式碼之CD。

已闡述特定指定一快閃記憶體之參考單元之方法之有限數目實施例，及使用該等方法之一裝置及系統之有限數目實施例。將瞭解，可作出對該等方法、裝置及系統之諸多改變、修改及其他應用。

【圖式簡單說明】

本文參考附圖僅藉由舉例形式闡述了各種實施例，其中：

圖1係一快閃記憶體裝置之一高階示意性方塊區，其中參考單元之特定指定藉由一控制器來實現；

圖2顯示圖1之快閃記憶體裝置之一個實例性記憶體單元陣列之某些細節；及

圖3係一系統之一高階方塊區，在該系統中一快閃記憶體之參考單元之特定指定係藉由軟體來實現。

【主要元件符號說明】

- | | |
|---|----------|
| 1 | 記憶體單元陣列 |
| 2 | 行控制電路 |
| 3 | 列控制電路 |
| 4 | 共同源極控制電路 |

5	共同 p-井控制電路
6	資料輸入/輸出緩衝器
7	命令電路
8	狀態機
20	控制器
21	積體電路晶片
22	積體電路晶片
102	擦除區塊
104	位元線
106	字線
108	區段
110	區段
112	區段
200	系統
202	處理器
204	RAM
206	開機啟動 ROM
208	大容量儲存裝置(硬磁碟)
210	驅動程式碼
212	快閃記憶體裝置
214	匯流排
220	主機

七、申請專利範圍：

1. 一種管理一非揮發性記憶體之方法，該非揮發性記憶體包含組織在複數個位元線及複數個字線中之複數個單元，該方法包括：
 - (a) 將使用者資料儲存在該等字線之兩者中之每一者之該等單元之相應部分中；及
 - (b) 在該兩個字線共用之該等位元線中之一者中：
 - (i) 將控制資訊儲存在一個位元線與該兩個字線之一第一字線共同之一單元中，及
 - (ii) 使用該一個位元線與該兩個字線之一第二字線共同之一單元作為一參考單元。
2. 如請求項1之方法，其中將該使用者資料僅儲存於除包含該參考單元之該一個位元線之該等單元外之單元中。
3. 如請求項1之方法，其中該第一字線及該第二字線在該非揮發性記憶體之一共同區塊中。
4. 如請求項3之方法，其中該控制資訊係用於管理該共同區塊之區塊層級管理資訊。
5. 如請求項1之方法，其中該第一字線及該第二字線在該非揮發性記憶體之單獨相應區塊中。
6. 如請求項5之方法，其中該控制資訊係錯誤校正碼資訊。
7. 一種用於一快閃記憶體之控制器，該快閃記憶體包含組織在複數個位元線及複數個字線中之複數個單元，該控制器係運作用以：

- (a) 將使用者資料儲存在該等字線之兩者中之每一者之該等單元之相應部分中；及
- (b) 在該兩個字線共用之該等位元線中之一者中：
 - (i) 將控制資訊儲存在該一個位元線與該兩個字線之一第一字線共同之一單元中，及
 - (ii) 使用該一個位元線與兩個字線之一第二字線共同之一單元作為一參考單元。

8. 一種快閃記憶體裝置，其包括：

- (a) 一快閃記憶體，其包含組織在複數個位元線及複數個字線中之複數個單元；及
- (b) 一控制器，其係運作用以：
 - (i) 將使用者資料儲存在該等字線之兩者中之每一者之該等單元之相應部分中，及
 - (ii) 在該兩個字線共用之該等位元線之一者中：
 - (A) 將控制資訊儲存在該一個位元線與該兩個字線之一第一字線共同之一單元中，及
 - (B) 使用該一個位元線與兩個字線之一第二字線共同之一單元作為一參考單元。

9. 一種用於管理一快閃記憶體之系統，其包括：

- (a) 該快閃記憶體，其包含組織在複數個位元線及複數個字線中之複數個單元；
- (b) 該快閃記憶體之一主機，其包含：
 - (i) 一記憶體，其用於儲存用於藉由包含以下之步驟管理該快閃記憶體之程式碼：

(A) 將使用者資料儲存在該等字線之兩者中之每一者之該等單元之相應部分中；及

(B) 在該兩個字線共用之該等位元線中之一者中：

(I) 將控制資訊儲存在該一個位元線與該兩個字線之一第一字線共同之一單元中，及

(II) 使用該一個位元線與該兩個字線之一第二字線共同之一單元作為一參考單元，及

(ii) 一處理器，其用於執行該程式碼。

10. 一種電腦可讀儲存媒體，其具有包含於其上用於管理一快閃記憶體之電腦可讀程式碼，該快閃記憶體包含組織在複數個位元線及複數個字線中之複數個單元，該電腦可讀程式碼包括：

(a) 用於將使用者資料儲存在該等字線之兩者中之每一者之該等單元之相應部分中之程式碼；及

(b) 用於在該兩個字線共用之該等位元線中之一者中執行以下作業之程式碼：

(i) 將控制資訊儲存在該一個位元線與該兩個字線之一第一字線共同之一單元中，及

(ii) 使用該一個位元線與該兩個字線之一第二字線共同之一單元作為一參考單元。

八、圖式：

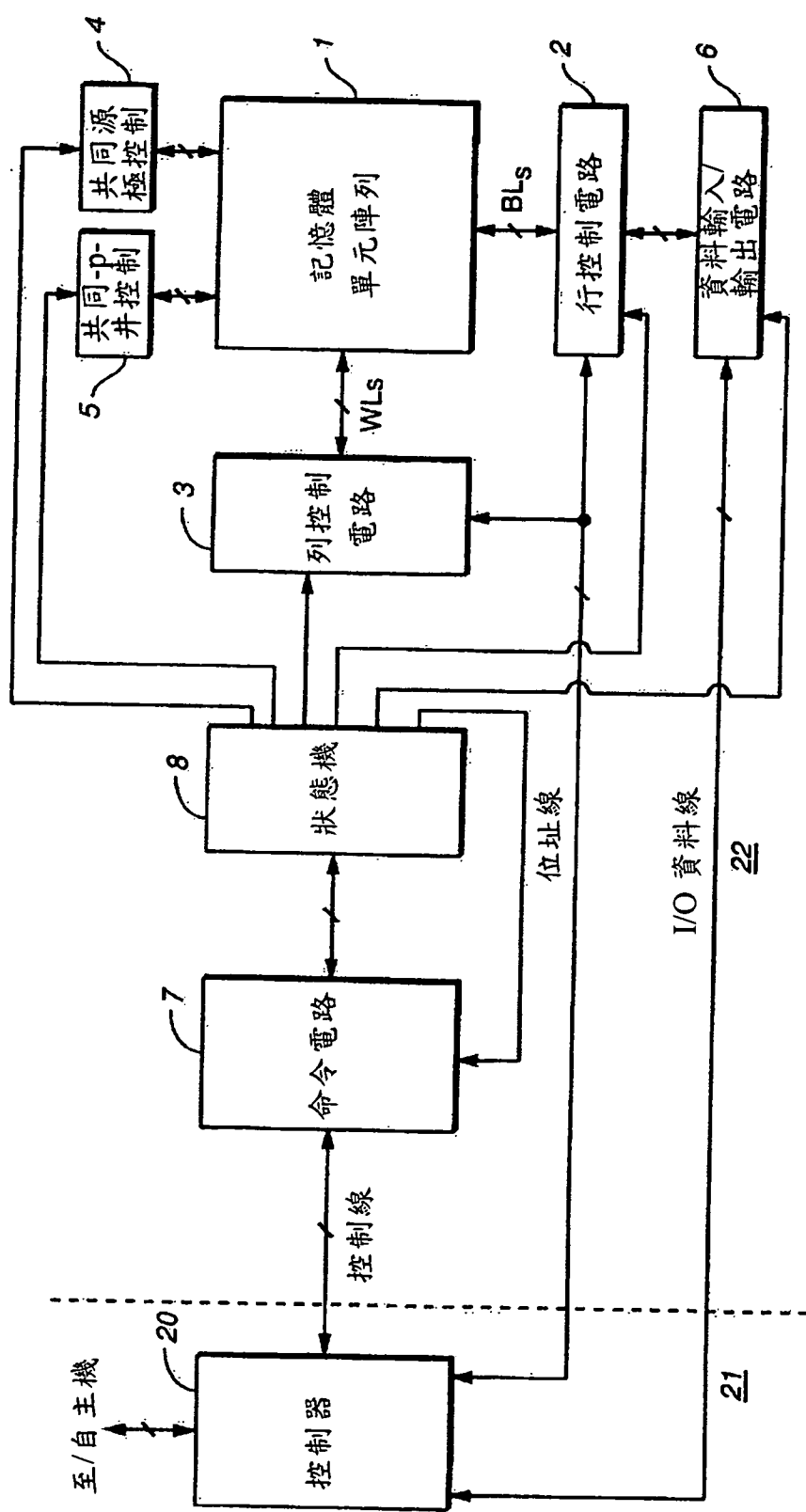


圖 1

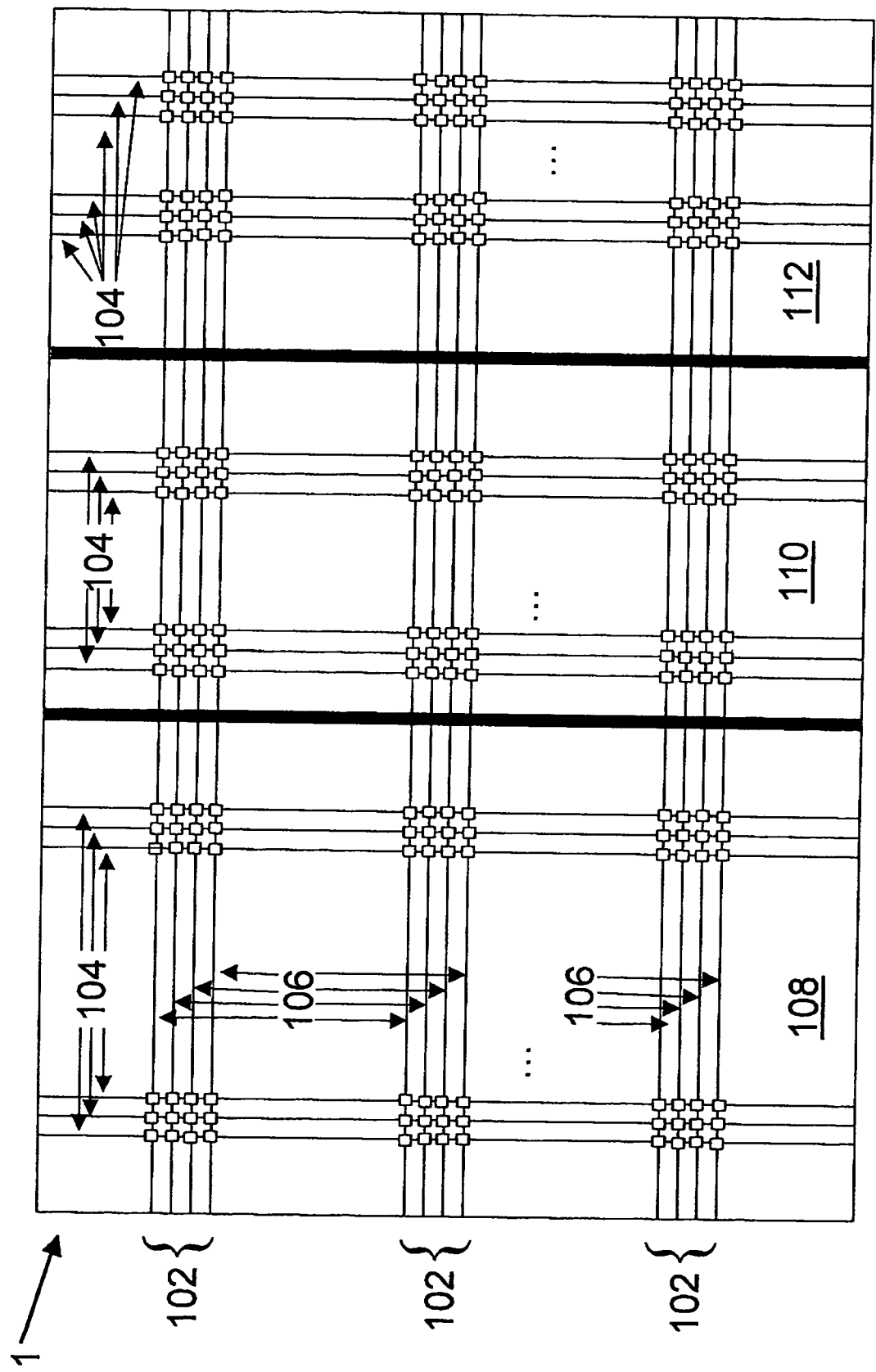


圖 2

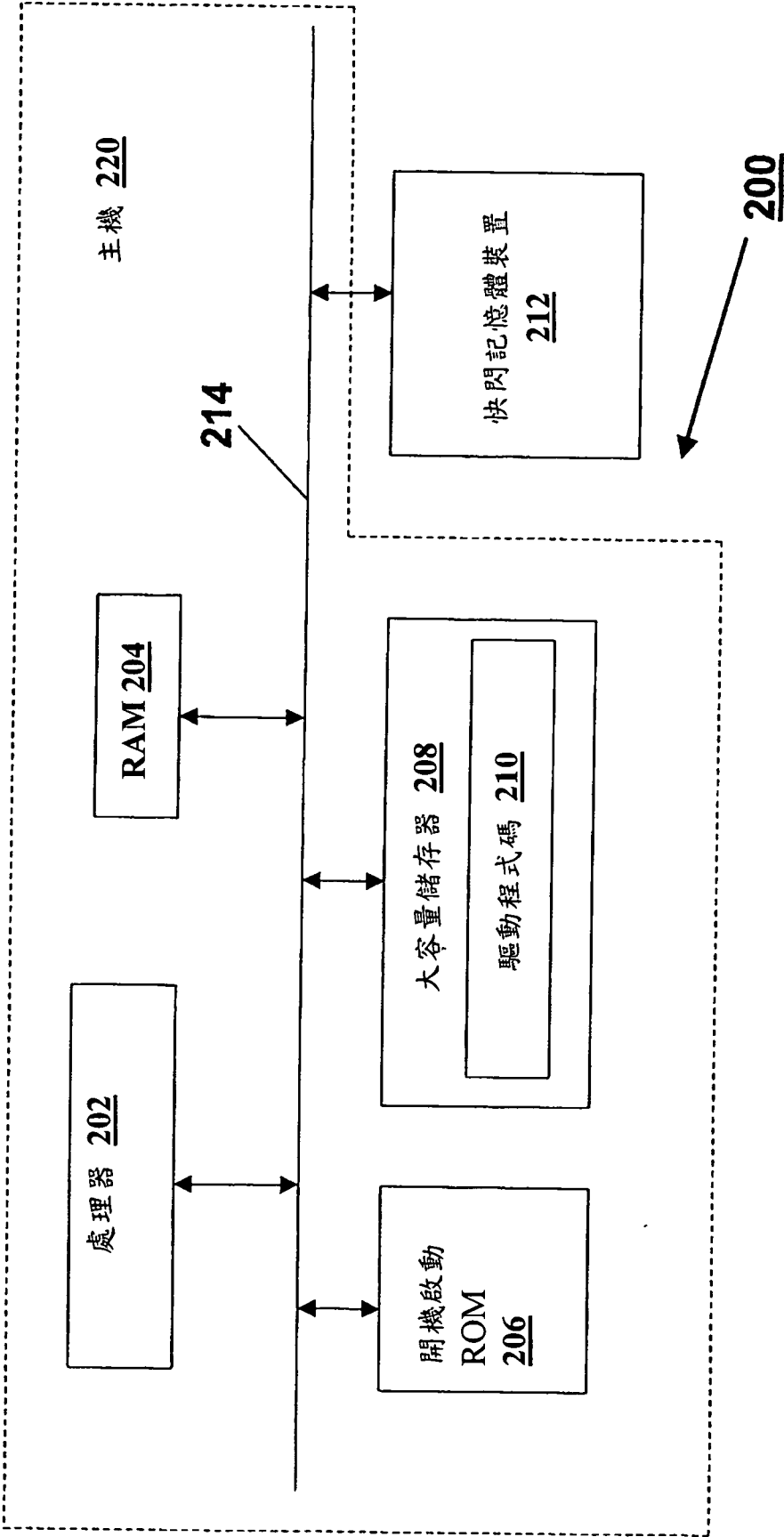


圖 3