

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7511368号
(P7511368)

(45)発行日 令和6年7月5日(2024.7.5)

(24)登録日 令和6年6月27日(2024.6.27)

(51)国際特許分類		F I		
G 0 1 R	33/07 (2006.01)	G 0 1 R	33/07	
H 1 0 N	52/80 (2023.01)	H 1 0 N	52/80	
H 0 1 L	21/822 (2006.01)	H 0 1 L	27/04	R
H 0 1 L	27/04 (2006.01)	H 1 0 N	52/00	
H 1 0 N	52/00 (2023.01)			
請求項の数 4 (全10頁)				
(21)出願番号	特願2020-50895(P2020-50895)	(73)特許権者	715010864	
(22)出願日	令和2年3月23日(2020.3.23)		エイブリック株式会社	
(65)公開番号	特開2021-150569(P2021-150569 A)		長野県北佐久郡御代田町大字御代田 4 1	
			0 6 番地 7 3	
(43)公開日	令和3年9月27日(2021.9.27)	(72)発明者	挽地 友生	
審査請求日	令和5年1月10日(2023.1.10)		千葉県千葉市美浜区中瀬一丁目 8 番地	
			エイブリック株式会社内	
		(72)発明者	深井 健太郎	
			千葉県千葉市美浜区中瀬一丁目 8 番地	
			エイブリック株式会社内	
		審査官	島▲崎▼ 純一	
最終頁に続く				

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項 1】

P 型の半導体基板の上に形成される半導体装置であって、

N 型の抵抗を含み、前記抵抗が前記半導体基板の表面に対して垂直方向の電流経路を形成する垂直抵抗回路と、

前記半導体基板の上に設けられ、前記半導体基板の表面に対して垂直方向の磁束密度に比例する電圧を出力するホール素子と、

前記ホール素子から出力される電圧を増幅して出力する増幅器と、

前記垂直抵抗回路を流れる基準電流と前記垂直抵抗回路の抵抗値との積を含む比較基準電圧が入力される基準電圧入力端子と、前記増幅器から出力される電圧が入力される信号入力端子とを有する比較器と、

を備えることを特徴とする半導体装置。

【請求項 2】

前記垂直抵抗回路は、前記半導体基板の表面に平行な第 1 の方向に沿って配置される第 1 の抵抗器と、

前記第 1 の抵抗器が有するピエゾ係数と同じピエゾ係数を有し、前記半導体基板の表面に平行かつ前記第 1 の方向に垂直な第 2 の方向に沿って配置される第 2 の抵抗器と、を有し、

前記第 1 の抵抗器及び前記第 2 の抵抗器が電氣的に接続されて構成される請求項 1 記載の半導体装置。

【請求項 3】

前記ホール素子を駆動させる駆動電流を供給する第 1 の電流源と、
前記基準電流を供給する第 2 の電流源と、を備える請求項 1 又は 2 に記載の半導体装置。

【請求項 4】

前記ホール素子を駆動させる駆動電流を供給する第 1 の電流源と、
前記駆動電流を所定の電流比で複製し、複製した電流を前記基準電流として出力するカレントミラー回路を有する第 2 の電流源と、を備える請求項 1 又は 2 に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関する。

【背景技術】

【0002】

ホール素子は、半導体基板上に増幅器や信号処理回路とともに集積化されており、例えば、磁場を検出する際に用いられている。ホール素子は、半導体基板上に集積化された場合、ウェハ上の保護膜やパッケージの樹脂封止等に起因する機械的応力（以下、単に「応力」と呼称する）でピエゾ抵抗効果を発生する。ホール素子は、ピエゾ抵抗効果の影響を受けると、検出する磁場と電圧 - 電流変換係数との関係（以下、単に「感度」と呼称する）が変動してしまう。すなわち、ホール素子の感度は、応力依存性を有している。

【0003】

ホール素子の感度の応力依存性が高いと、磁気検出精度が低下してしまうため、磁気検出精度の向上には、いかにして磁気センサの感度の応力依存性を低減するかが重要になる。

【0004】

ホール素子の感度の応力依存性を低減する技術の一例としては、ホール素子と、ピエゾ係数の異なる複数の抵抗を用いて電流をそれぞれ生成する電圧電流器（ V/I 変換器）とを備える応力補償回路がある（例えば特許文献 1 参照）。この応力補償回路では、ピエゾ係数の異なる複数の抵抗及び V/I 変換器によって各抵抗のピエゾ係数及び応力に応じた二つの異なる電流を発生させる。さらに、発生させた二つの電流を結合させて一つの基準電流を発生させる。発生させた基準電流は、ホール素子の駆動電流として用いられている。

【先行技術文献】

【特許文献】

【0005】

【文献】米国特許第 7 4 3 7 2 6 0 号明細書

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、上述した従来の応力補償回路は、ピエゾ係数の異なる複数の抵抗を用いているため、プロセス製造ばらつきの影響を受けやすい。また、従来の応力補償回路は、複数の抵抗の各々とそれぞれ接続される複数の V/I 変換器を備えるため、その回路規模が大型化する傾向にある。また、回路が大型化すると、消費電流も増大する。

【0007】

本発明は、上記課題を解決するため、プロセス製造ばらつきの影響を受けにくく、ホール素子が有する磁電変換特性の応力依存性を低減可能な半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明に係る半導体装置は、P 型の半導体基板の上に形成される半導体装置であって、N 型の抵抗を含み、前記抵抗が前記半導体基板の表面に対して垂直方向の電流経路を形成する垂直抵抗回路と、前記半導体基板の上に設けられ、前記半導体基板の表面に対して垂

10

20

30

40

50

直方向の磁束密度に比例する電圧を出力するホール素子と、前記ホール素子から出力される電圧を増幅して出力する増幅器と、前記垂直抵抗回路を流れる基準電流と前記垂直抵抗回路の抵抗値との積を含む比較基準電圧が入力される基準電圧入力端子と、前記増幅器から出力される電圧が入力される信号入力端子とを有する比較器と、を備えることを特徴とする。

【発明の効果】

【0009】

本発明によれば、プロセス製造ばらつきの影響を受けにくく、ホール素子が有する磁電変換特性の応力依存性を低減することができる。

【図面の簡単な説明】

10

【0010】

【図1】本実施形態に係る半導体装置の一部分を示す平面図である。

【図2】本実施形態に係る半導体装置のII-II線断面図である。

【図3】本実施形態に係る半導体装置の回路図である。

【発明を実施するための形態】

【0011】

以下、本発明の実施形態に係る半導体装置を、図面を参照して説明する。

図1は本実施形態に係る半導体装置の一例である半導体装置1の一部分を示す平面図である。図2はII-II線に沿う方向における半導体装置1、具体的にはX軸抵抗器21の切断面を示す断面図（II-II線断面図）である。なお、図1及び図2に示されるX軸、Y軸及びZ軸は、XYZの3次元直交座標系における各軸を示している。

20

【0012】

半導体装置1は、P型の半導体基板100に形成されている。図1に示される半導体装置1の一部分は、ホール素子10及び垂直抵抗回路20を含む部分である。

【0013】

ホール素子10は、半導体基板100の表面Sに対して垂直方向としてのZ方向の磁束密度に比例する電圧を出力する、いわゆる水平ホール素子である。

【0014】

垂直抵抗回路20は、N型の半導体で形成されている。垂直抵抗回路20は、第1の方向としてのX方向に沿って配置されるX軸抵抗器21と、第2の方向としてのY方向に沿って配置されるY軸抵抗器22と、を有している。

30

【0015】

第1の抵抗器としてのX軸抵抗器21は、他素子との接続端21a、21bと、接続端21aと接続端21bとを連絡する抵抗を含んでいる。

【0016】

第2の抵抗器としてのY軸抵抗器22は、X軸抵抗器21と配置される方向が異なるが、構成要素はX軸抵抗器21の構成要素と実質的に同じである。すなわち、Y軸抵抗器22は、X軸抵抗器21が有するピエゾ係数と同じピエゾ係数を有している。Y軸抵抗器22は、他素子との接続端22a、22bと、接続端22aと接続端22bとを連絡する抵抗を含んでいる。

40

【0017】

図2によれば、P型の半導体基板100上には、N型の埋込層110が形成されている。N型の領域である埋込層110上には、同じN型の領域であるエピタキシャル層120が形成されている。エピタキシャル層120の内部には、P型の領域であるPウェル130が形成されている。Pウェル130の上には、素子分離領域であるLOCOS（Local Oxidation of Silicon）140が形成されている。さらに、半導体基板100、埋込層110、接触領域150を含むエピタキシャル層120、Pウェル130及びLOCOS140を有する半導体ウェハの上面は、図示が省略された保護膜で覆われている。

【0018】

エピタキシャル層120の上部には、所定の深さのN型の領域である接触領域150が

50

形成されている。本実施形態では、エピタキシャル層 120 及び接触領域 150 の上面を半導体基板 100 の表面 S と呼称する。表面 S は、X 軸及び Y 軸を含み、Z 軸を方向ベクトルとする平面、すなわち X - Y 平面に含まれる。

【0019】

埋込層 110 及び接触領域 150 は、エピタキシャル層 120 のイオン濃度に対して、そのイオン濃度が相対的に高い領域である。接触領域 150 は、X 軸抵抗器 21 の接続端 21a、21b (図 1 参照) に相当する。

【0020】

エピタキシャル層 120 は、表面 S に対して垂直方向としての Z 方向の電流経路を形成する。埋込層 110 は、表面 S に対して平行な方向である X 方向の電流経路を形成し、二つのエピタキシャル層 120 間を電氣的に接続している。二つの接触領域 150、二つのエピタキシャル層 120 及び埋込層 110 は、X 軸抵抗器 21 を形成している。

10

【0021】

なお、埋込層 110 の抵抗値は、エピタキシャル層 120 の抵抗値に対して無視できる程に小さい。従って、X 軸抵抗器 21 の抵抗値は、エピタキシャル層 120 の抵抗値が支配的である。

【0022】

図 3 は、半導体装置 1 の回路図である。

半導体装置 1 は、ホール素子 10 と、垂直抵抗回路 20 と、増幅器 30 と、比較器 40 と、電流電圧変換回路 (I/V 変換回路) 50 と、を備えている。

20

【0023】

ホール素子 10 は、4 個の電極 10a ~ 10d を有している。増幅器 30 は、非反転入力端子 (+) と、反転入力端子 (-) と、出力端子 31 と、を有している。比較器 40 は、非反転入力端子 (+) である信号入力端子 41 と、反転入力端子 (-) である基準電圧入力端子 42 と、出力端子 43 と、を有している。電流電圧変換回路 50 は、非反転入力端子 (+) と、反転入力端子 (-) と、出力端子 51 と、を有している。

【0024】

電極 10a は、第 1 の電流源としての電流源 6 を介して電源 3 に接続される。ここで、電源 3 は所定電圧である第 1 の電圧を供給する電源である。電流源 6 は、電源 3 に接続される第 1 端と、電極 10a に接続される第 2 端とを有し、駆動電流 I_{DRV} をホール素子 10 に供給する。電極 10b は電源 4 に接続されている。電源 4 は、第 1 の電圧よりも低い第 2 の電圧を供給する。

30

【0025】

駆動電流 I_{DRV} が流れる電極 10a、10b は、ホール素子 10 の駆動電極である。残る 2 個の電極 10c、10d は、差動電圧が出力される出力電極である。電極 10c 及び電極 10d は、それぞれ、増幅器 30 の非反転入力端子 (+) 及び反転入力端子 (-) と接続されている。出力端子 31 は信号入力端子 41 と接続されている。

【0026】

一方、基準電圧入力端子 42 は、電流電圧変換回路 50 の出力端子 51 と接続されている。出力端子 51 と電流電圧変換回路 50 の反転入力端子 (-) との間には帰還回路である垂直抵抗回路 20 が接続されている。

40

【0027】

垂直抵抗回路 20 は、第 1 端である節点 P1 及び第 2 端である節点 P2 を有している。節点 P1 及び節点 P2 の間は、X 軸抵抗器 21 及び Y 軸抵抗器 22 を接続して構成されている。図 3 によれば、垂直抵抗回路 20 は、X 軸抵抗器 21 及び Y 軸抵抗器 22 が並列接続されることによって構成されている。すなわち、節点 P1 は、垂直抵抗回路 20 において、X 軸抵抗器 21 及び Y 軸抵抗器 22 の各一端の接続点である。節点 P2 は、垂直抵抗回路 20 において、X 軸抵抗器 21 及び Y 軸抵抗器 22 の各他端の接続点である。

【0028】

X 軸抵抗器 21 との関係で節点 P1 及び節点 P2 を説明すれば、節点 P1 は、例えば、

50

図 1 に示される接続端 2 1 a 及び図 2 に示される接触領域 1 5 0 に相当する。節点 P 2 は、例えば、図 1 に示される接続端 2 1 b 及び図 2 に示される接触領域 1 5 0 に相当する。

【 0 0 2 9 】

節点 P 1 は、上述した X 軸抵抗器 2 1 及び Y 軸抵抗器 2 2 の各一端及び電流電圧変換回路 5 0 の反転入力端子 (-) に加えて、電流源 7 の第 1 端が接続されている。

【 0 0 3 0 】

第 2 の電流源としての電流源 7 は、垂直抵抗回路 2 0 の第 2 端及び電流電圧変換回路 5 0 の反転入力端子 (-) に接続される第 1 端と、電源 4 に接続される第 2 端と、を有している。電流源 7 は、垂直抵抗回路 2 0 を流れる基準電流 I_{REF} を供給する。

【 0 0 3 1 】

電流電圧変換回路 5 0 の非反転入力端子 (+) は、基準電圧回路 8 を介して電源 4 に接続されている。基準電圧回路 8 は、電流電圧変換回路 5 0 の非反転入力端子 (+) に接続される第 1 端と、電源 4 に接続される第 2 端とを有し、電流電圧変換回路 5 0 の基準電圧 V_{REF} を供給する。

【 0 0 3 2 】

このように構成される半導体装置 1 では、電極 1 0 a、1 0 b との間に駆動電流 I_{DRV} が流れている。ホール素子 1 0 によって半導体基板 1 0 0 の表面 S に直交する磁束密度が検出されると、ホール素子 1 0 は、検出した磁束密度に比例する電圧を、電極 1 0 c、1 0 d から増幅器 3 0 へ出力する。

【 0 0 3 3 】

増幅器 3 0 は差動入力増幅器であり、電極 1 0 c、1 0 d から出力された電圧が、それぞれ、非反転入力端子 (+)、反転入力端子 (-) に入力される。非反転入力端子 (+)、及び反転入力端子 (-) に入力された電圧は、増幅器 3 0 によって増幅された後、出力端子 3 1 から出力される。出力端子 3 1 から出力された信号電圧 V_{SIG} は、信号入力端子 4 1 へ入力される。

【 0 0 3 4 】

一方、基準電圧入力端子 4 2 には、比較基準電圧としての動作点電圧 V_{BOP} が入力される。動作点電圧 V_{BOP} は、垂直抵抗回路 2 0 を流れる基準電流 I_{REF} と垂直抵抗回路 2 0 の抵抗値 R_{REF} との積を含む電圧である。詳細には、動作点電圧 V_{BOP} は、基準電流 I_{REF} と抵抗値 R_{REF} との積と基準電圧 V_{REF} との和である。

【 0 0 3 5 】

比較器 4 0 は、信号入力端子 4 1 に入力される信号電圧 V_{SIG} と基準電圧入力端子 4 2 へ入力される動作点電圧 V_{BOP} とを比較し、信号電圧 V_{SIG} が動作点電圧 V_{BOP} よりも大きいかに応じてハイレベル又はローレベルの出力電圧 V_{OUT} を出力端子 4 3 から出力端子 6 0 へ供給する。出力端子 6 0 へ供給された出力電圧 V_{OUT} は、出力端子 6 0 に接続される外部回路 (図示省略) へ出力される。

【 0 0 3 6 】

続いて、半導体装置 1 全体における磁電変換係数の応力に対する変化の比率 (以下、「応力依存係数」とする) について説明する。

【 0 0 3 7 】

X - Y 平面に形成されるホール素子 1 0 の磁電変換係数 K_H は、下記式 (1) で表される。

$$K_H = S_I \cdot I_{DRV} \\ = S_{IREF} [1 + \pi_H (\sigma_{XX} + \sigma_{YY})] \cdot I_{DRV} \quad \dots (1)$$

S_I : 単位駆動電流あたりの磁電変換係数

I_{DRV} : ホール素子 1 0 の駆動電流

S_{IREF} : 基準応力における単位駆動電流当たりの磁電変換係数

π_H : 単位駆動電流当たりの磁電変換係数の対 X - Y 平面内軸応力ピエゾ係数

σ_{XX} : X 方向の垂直応力

σ_{YY} : Y 方向の垂直応力

10

20

30

40

50

$\sigma_{XX} + \sigma_{YY}$: X - Y 平面内における等方性応力

ここで、「基準応力」とは、所定の状態において半導体装置 1 が含まれる半導体チップに作用する応力をいう。また、「所定の状態」とは、例えば、上面を覆う保護膜が形成された後の状態等、特定可能な一つの状態をいう。

【 0 0 3 8 】

また、ホール素子 1 0 の出力電圧を電圧 V_H とし、増幅器 3 0 の増幅率を G とすると、信号入力端子 4 1 へ入力される信号電圧 V_{SIG} は下記式 (2) で表される。さらに、上記式 (1) を用いると下記式 (3) で表される。下記式 (3) によれば、信号電圧 V_{SIG} は応力依存性を有していることがわかる。

$$V_{SIG} = G \cdot V_H \quad 10$$

$$= G \cdot S_I \cdot I_{DRV} \cdot B_{in} \quad \dots (2)$$

$$= G \cdot S_{IREF} [1 + \pi_H (\sigma_{XX} + \sigma_{YY})] \cdot I_{DRV} \cdot B_{in} \quad \dots (3)$$

B_{in} : Z 方向に印加される磁束密度

【 0 0 3 9 】

上述したホール素子 1 0 の場合、ホール素子 1 0 から信号入力端子 4 1 へ出力される信号電圧 V_{SIG} の応力依存係数は + 4 4 [% / G P a] と算出される。ここで、正の応力依存係数は、応力が引張応力であることを示している。また、負の応力依存係数は応力が圧縮応力であることを示している。

【 0 0 4 0 】

一方、電流電圧変換回路 5 0 から基準電圧入力端子 4 2 へ出力される動作点電圧 V_{BOP} は下記式 (4) で表される。下記式 (4) によれば、動作点電圧 V_{BOP} が応力依存性を有していることがわかる。 20

$$V_{BOP} = V_{REF} + R \cdot I_{REF} \\ = V_{REF} + R_{REF} [1 + \pi_{12} (\sigma_{XX} + \sigma_{YY})] \cdot I_{REF} \quad \dots (4)$$

V_{BOP} : 動作点電圧

V_{REF} : 電流電圧変換回路 5 0 の基準電圧

R : 垂直抵抗回路 2 0 の合成抵抗値

I_{REF} : 基準電流

R_{REF} : 基準応力における垂直抵抗回路 2 0 の合成抵抗値

π_{12} : 垂直抵抗回路 2 0 の Z 方向の抵抗値の対 X - Y 平面内軸応力ピエゾ係数 30

【 0 0 4 1 】

上述した垂直抵抗回路 2 0 の場合、動作点電圧 V_{BOP} の応力依存係数は + 5 3 [% / G P a] と算出される。

【 0 0 4 2 】

また、出力電圧 V_{OUT} の応力依存係数は、信号入力端子 4 1 に入力される信号電圧 V_{SIG} の応力依存係数である + 4 4 [% / G P a] と基準電圧入力端子 4 2 に入力される動作点電圧 V_{BOP} の応力依存係数である + 5 3 [% / G P a] との差である - 9 [% / G P a] となる。ここで、基準電圧回路 8 が基準電圧入力端子 4 2 に直接接続される半導体装置を「応力補償無し半導体装置」と呼称する。

【 0 0 4 3 】

出力電圧 V_{OUT} の応力依存係数を、半導体装置 1 と応力補償無し半導体装置とで比べると、出力電圧 V_{OUT} の応力依存係数は、応力補償無し半導体装置の出力電圧である信号電圧 V_{SIG} の応力依存係数に対して応力方向が逆方向となる。また、出力電圧 V_{OUT} の応力依存係数の絶対値 (= 9 [% / G P a]) は、信号電圧 V_{SIG} の応力依存係数の絶対値 (= 4 4 [% / G P a]) に対して約 1 / 5 に抑圧されていることがわかる。 40

【 0 0 4 4 】

本実施形態によれば、半導体装置 1 全体の磁電変換係数の応力依存性を補償するために、動作点電圧 V_{BOP} を用いている。動作点電圧 V_{BOP} は、ピエゾ係数が同じ抵抗を含む X 軸抵抗器 2 1 及び Y 軸抵抗器 2 2 を用いて生成されている。従って、本実施形態は、ピエゾ係数の異なる複数の抵抗を含む抵抗を用いる場合と比べてプロセス製造ばらつきの影響 50

を低減することができる。

【 0 0 4 5 】

本実施形態によれば、半導体装置 1 全体の磁電変換係数の応力依存性を低減するための補償信号、すなわち動作点電圧 V_{BOP} を、単一の電流電圧変換回路 50 を用いて生成することができる。これに対して、ピエゾ係数の異なる複数の抵抗を含む抵抗を用いる応力補償回路では補償信号が複数の V/I 変換器を用いて生成されている。従って、本実施形態は、ピエゾ係数の異なる複数の抵抗を含む抵抗を用いる場合と比べて、回路規模及び消費電流の増大を抑えることができる。

【 0 0 4 6 】

本実施形態によれば、半導体装置 1 全体における磁電変換係数の応力依存係数は、X 軸抵抗器 21 及び Y 軸抵抗器 22 を用いて生成される動作点電圧 V_{BOP} を不適用の半導体装置全体における磁電変換係数の応力依存係数に対して、その絶対値を約 $1/5$ に抑圧することができる。

【 0 0 4 7 】

本実施形態によれば、補償信号である動作点電圧 V_{BOP} を生成する際に半導体装置 1 の消費電流に応力依存性は付加されない。これは、補償信号を生成する際に消費電流に応力依存性が付加される従来の応力補償回路に対して、半導体装置の動作安定性の面で有利である。

【 0 0 4 8 】

例えば特許文献 1 に記載される応力補償回路のように、ホール素子の駆動電流及び半導体装置の消費電流が応力依存性を有していると、半導体基板上に加わる応力の影響を受けて消費電流が変動する。消費電流が変動すると、例えば制御動作や監視動作等の半導体装置の消費電流に基づく動作が不安定になる。すなわち、誤動作や誤検出が生じやすくなる。これに対して、半導体装置 1 では、消費電流が半導体基板上に加わる応力の影響を受けないので、半導体基板上に加わる応力が変動しても消費電流が変動しない。従って、半導体装置 1 の消費電流に基づく動作は安定的である。

【 0 0 4 9 】

なお、本発明は、上述した実施形態そのままに限定されるものではなく、実施段階では、上述した例以外にも様々な形態で実施することが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更をすることができる。

【 0 0 5 0 】

例えば、電流源 7 は、駆動電流 I_{DRV} を所定の電流比で複製した電流を基準電流 I_{REF} として出力するカレントミラー回路を有して構成されていてもよい。この例では、電流比 α とすると、 $I_{REF} = \alpha I_{DRV}$ を満たすように基準電流 I_{REF} が生成される。 $I_{REF} = \alpha I_{DRV}$ が成立する場合、磁気動作点 B_{OP} は、下記式 (5) のように近似できる。

$$B_{OP} = (\alpha R_{REF} / G \cdot S_{IREF}) [1 + (\pi_{12} - \pi_H)(\sigma_{XX} + \sigma_{YY})] \quad \dots (5)$$

【 0 0 5 1 】

上記式 (5) の右辺は、電流比 α と設計定数との積である。従って、磁気動作点 B_{OP} は、基準電流に依存せず、基準電流が応力依存性及び温度依存性を持っていても磁気動作点 B_{OP} への影響を排除できる。また、磁気動作点 B_{OP} を調整したい場合、単に設計定数である電流比 α を変更すればよいので、磁気動作点 B_{OP} を簡便に調整できる。

【 0 0 5 2 】

上述した半導体装置 1 は、垂直抵抗回路 20 と、ホール素子 10 と、増幅器 30 と、電流電圧変換回路 50 と、比較器 40 とが半導体基板 100 に形成されている一例であるが、半導体装置 1 は必ずしもこれに限定されない。少なくともホール素子 10 と垂直抵抗回路 20 とが同じ半導体基板 100 に形成されていればよい。従って、半導体装置 1 のうち、ホール素子 10 及び垂直抵抗回路 20 以外の構成要素は、半導体基板 100 とは別の半導体基板に形成されていてもよい。

【 0 0 5 3 】

また、図 3 に例示される垂直抵抗回路 20 は、X 軸抵抗器 21 及び Y 軸抵抗器 22 を接

10

20

30

40

50

続して構成される例であるが、この例に限定されない。垂直抵抗回路 2 0 は、X 軸抵抗器 2 1 と Y 軸抵抗器 2 2 とが接続されて構成されていればよく、例えば、X 軸抵抗器 2 1 及び Y 軸抵抗器 2 2 が直列接続されることによって構成されていてもよい。

【 0 0 5 4 】

これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【 0 0 5 5 】

1	半導体装置	
6	電流源（第 1 の電流源）	10
7	電流源（第 2 の電流源）	
1 0	ホール素子	
2 0	垂直抵抗回路	
2 1	X 軸抵抗器（第 1 の抵抗器）	
2 2	Y 軸抵抗器（第 2 の抵抗器）	
3 0	増幅器	
4 0	比較器	
4 1	信号入力端子	
4 2	基準電圧入力端子	
5 0	電流電圧変換回路	20
1 0 0	半導体基板	
1 2 0	エピタキシャル層（N 型の抵抗）	

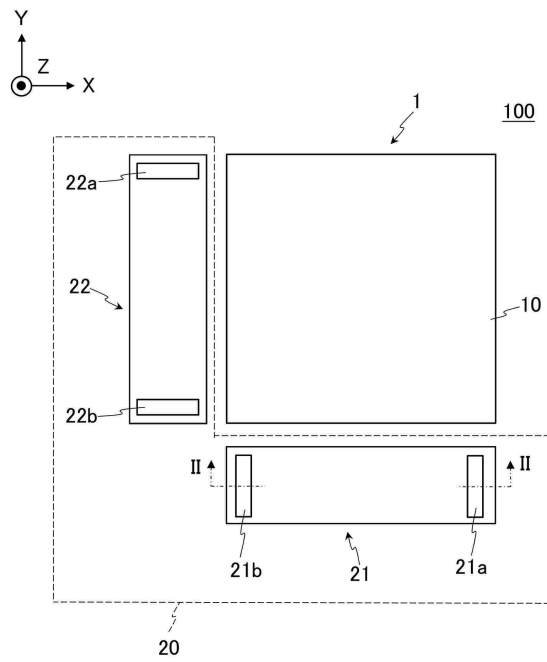
30

40

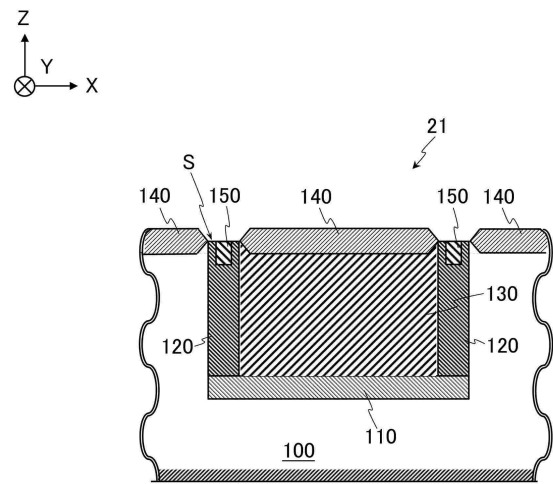
50

【図面】

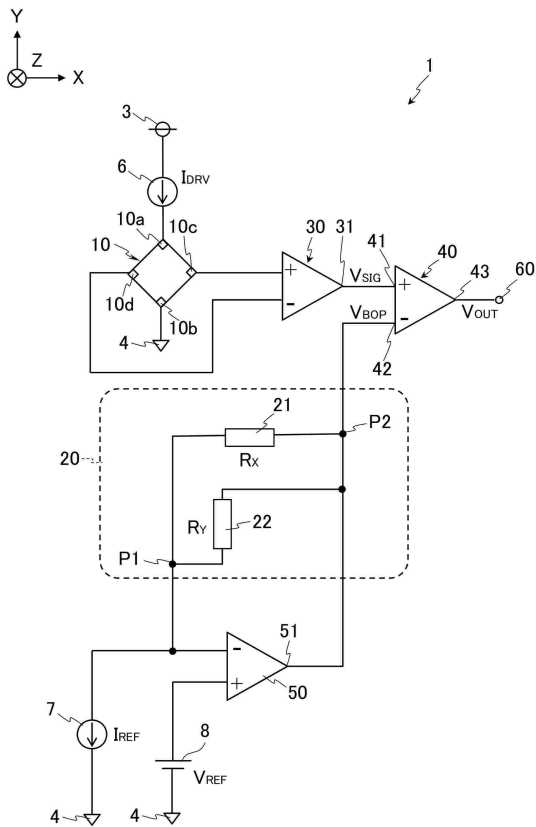
【図 1】



【図 2】



【図 3】



10

20

30

40

50

フロントページの続き

(56)参考文献 米国特許出願公開第 2 0 0 9 / 0 1 0 8 8 3 9 (U S , A 1)
 特開平 0 8 - 1 9 4 0 4 0 (J P , A)
 特開 2 0 1 8 - 1 7 9 7 3 8 (J P , A)
 特開 2 0 1 4 - 0 4 8 2 3 7 (J P , A)
 特開 2 0 1 7 - 0 0 9 6 1 0 (J P , A)
(58)調査した分野 (Int.Cl. , D B 名)
 G 0 1 R 3 3 / 0 7
 H 1 0 N 5 2 / 0 0
 H 1 0 N 5 2 / 8 0
 H 0 1 L 2 1 / 8 2 2