

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年12月7日(07.12.2023)



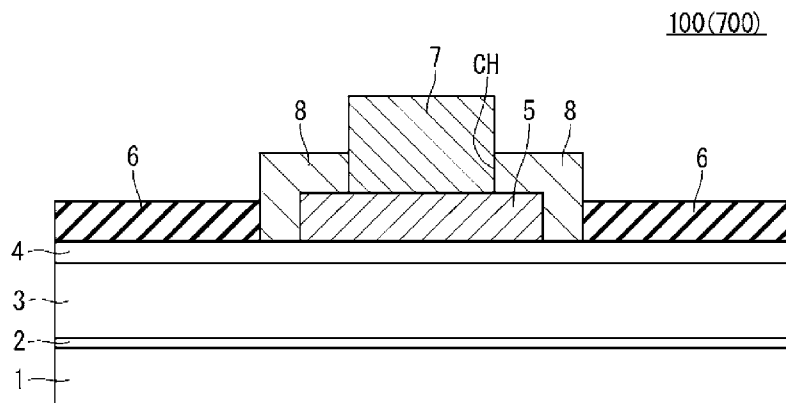
(10) 国際公開番号

WO 2023/233766 A1

- (51) 国際特許分類:
H01L 29/812 (2006.01) H01L 21/338 (2006.01)
H01L 21/28 (2006.01) H01L 29/778 (2006.01)
- (21) 国際出願番号: PCT/JP2023/010900
- (22) 国際出願日: 2023年3月20日(20.03.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2022-087382 2022年5月30日(30.05.2022) JP
- (71) 出願人: 三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).
- (72) 発明者: 南條 拓真(NANJO Takuma); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 綿引 達郎(WATAHIKI Tatsuro); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).
- (74) 代理人: 吉竹 英俊, 外(YOSHITAKE Hidetoshi et al.); 〒5400001 大阪府大阪市中央区域見1丁目4番70号住友生命OBPプラザビル10階 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置および半導体装置の製造方法



(57) Abstract: The present disclosure relates to a semiconductor device. The semiconductor device comprises a semiconductor substrate, a channel layer provided above the semiconductor substrate and formed from a first nitride semiconductor, a barrier layer provided above the channel layer and formed from a second nitride semiconductor having a band gap larger than the band gap of the first nitride semiconductor, a metal film formed selectively above the barrier layer, a composite layer provided in contact with the metal film and having at least a conductive material and an insulating material, and an insulating film formed in a region above the barrier layer where the metal film or the composite layer is not formed.

(57) 要約: 本開示は半導体装置に関し、半導体装置は、半導体基板と、半導体基板の上に設けられた第1の窒化物半導体で構成されるチャンネル層と、チャンネル層の上に設けられ、第1の窒化物半導体のバンドギャップよりも大きなバンドギャップを有する第2の窒化物半導体で構成されるバリア層と、バリア層より上に選択的に形成される金属膜と、金属膜に接するように設けられ、少なくとも導電性材料と絶縁性材料とを有する複合層と、バリア層の上の金属膜および前記複合層が形成されていない領域に形成される絶縁膜と、を備えている。

LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：半導体装置および半導体装置の製造方法

技術分野

[0001] 本開示は半導体装置に関し、特に、窒化物を含む半導体で構成されるヘテロ接合電界効果型の半導体装置に関する。

背景技術

[0002] 従来の窒化物を含む半導体（窒化物半導体）で構成されるヘテロ接合電界効果型の半導体装置の一例として、例えば特許文献1に開示されるヘテロ接合電界効果型トランジスタが挙げられる。当該ヘテロ接合電界効果型トランジスタは、GaN（窒化ガリウム）のチャネル層、AlGaN（窒化アルミニウムガリウム）のバリア層を有した、AlGaN/GaNヘテロ接合を備えている。

[0003] バリア層上には、Ti（チタン）、Al（アルミニウム）、Mo（モリブデン）等の金属膜、またはこれらを含む金属多層膜もしくは合金膜で構成されるオーミック電極が設けられ、トランジスタのドレイン電極、ソース電極を構成している。

[0004] これらのオーミック電極は、SiN（窒化シリコン）またはSiO₂（酸化シリコン）で構成される絶縁膜に覆われ、上面の一部が露出するように絶縁膜を開口してコンタクトホールを形成し、外部と接続するための配線に接続される構成を採っている。

[0005] 一般的に、オーミック電極は、半導体層上に金属膜（金属多層膜、合金膜を含む）を堆積した後に熱処理し、その後に熱処理された金属膜を覆うようにSiN膜が堆積されることで形成される。

先行技術文献

特許文献

[0006] 特許文献1：特開2014-179389号公報

発明の概要

発明が解決しようとする課題

- [0007] AlGaIn/GaNヘテロ接合を含む半導体層上に形成されるトランジスタおよびダイオードなどの半導体装置に用いられるソース電極、ドレイン電極およびカソード電極などのオーミック電極においては、半導体装置の性能向上のために抵抗は可能な限り低いことが望まれる。
- [0008] オーミック電極は、低抵抗化するために、半導体層上に金属膜を堆積した後に、一般的に600℃を超える高温で熱処理を行い半導体層と合金化させる。その後、半導体層の表面を保護するために、SiNなどの表面保護膜を形成し、同時に金属膜も覆われる。ただし、このように高温での熱処理を金属膜が露出した状態で実施すると、金属膜の一部が電極を形成する以外の領域に蒸発し、再付着して、半導体層と保護膜の間に残された状態となり、半導体装置としての諸特性にマイナスの影響を及ぼす場合があった。
- [0009] 一方、金属の蒸発および再付着を防ぐために、金属膜との反応性の低いSiNなどのキャップ膜を金属膜を覆うように堆積した状態で、高温の熱処理を実施し、その後にキャップ膜を除去する手法を採る場合もあるが、キャップ膜を堆積し、その後、除去するためのプロセスが追加されるので、製造プロセスが複雑化し、製造コストが増加する場合があった。
- [0010] 本開示は上記のような問題を解決するためになされたものであり、半導体装置としての特性を低下させず、かつ製造プロセスの複雑化を抑制した半導体装置を提供することを目的とする。

課題を解決するための手段

- [0011] 本開示に係る半導体装置は、半導体基板と、前記半導体基板の上に設けられた第1の窒化物半導体で構成されるチャネル層と、前記チャネル層の上に設けられ、前記第1の窒化物半導体のバンドギャップよりも大きなバンドギャップを有する第2の窒化物半導体で構成されるバリア層と、前記バリア層より上に選択的に形成される金属膜と、前記金属膜に接するように設けられ、少なくとも導電性材料と絶縁性材料とを有する複合層と、前記バリア層の上の前記金属膜および前記複合層が形成されていない領域に形成される絶縁

膜と、を備えている。

発明の効果

[0012] 本開示に係る半導体装置によれば、半導体装置としての特性を低下させず、かつ製造プロセスの複雑化を抑制した半導体装置を得ることができる。

図面の簡単な説明

[0013] [図1]本開示に係る実施の形態1の半導体装置の構成を示す断面図である。

[図2]本開示に係る実施の形態1の半導体装置における電流の流れを模式的に示す図である。

[図3]本開示に係る実施の形態1の半導体装置の製造方法を示す断面図である。
。

[図4]本開示に係る実施の形態1の半導体装置の製造方法を示す断面図である。
。

[図5]本開示に係る実施の形態1の半導体装置の製造方法を示す断面図である。
。

[図6]本開示に係る実施の形態1の半導体装置の製造方法を示す断面図である。
。

[図7]本開示に係る実施の形態1の半導体装置の製造方法を示す断面図である。
。

[図8]本開示に係る実施の形態2の半導体装置の構成を示す断面図である。

[図9]本開示に係る実施の形態2の半導体装置の製造方法を示す断面図である。
。

[図10]本開示に係る実施の形態3の半導体装置の構成を示す断面図である。

[図11]本開示に係る実施の形態3の半導体装置の製造方法を示す断面図である。
。

[図12]本開示に係る実施の形態3の半導体装置の製造方法を示す断面図である。
。

[図13]本開示に係る実施の形態3の半導体装置の製造方法を示す断面図である。
。

[図14]本開示に係る実施の形態3の半導体装置の製造方法を示す断面図である。

[図15]本開示に係る実施の形態3の半導体装置の製造方法を示す断面図である。

[図16]本開示に係る実施の形態3の半導体装置の製造方法を示す断面図である。

[図17]本開示に係る実施の形態4の半導体装置の構成を示す断面図である。

[図18]本開示に係る実施の形態4の半導体装置の製造方法を示す断面図である。

[図19]本開示に係る実施の形態5の半導体装置の構成を示す断面図である。

[図20]本開示に係る実施の形態5の半導体装置の製造方法を示す断面図である。

[図21]本開示に係る実施の形態5の半導体装置の製造方法を示す断面図である。

[図22]本開示に係る実施の形態5の半導体装置の製造方法を示す断面図である。

[図23]本開示に係る実施の形態5の半導体装置の製造方法を示す断面図である。

[図24]本開示に係る実施の形態5の半導体装置の製造方法を示す断面図である。

[図25]本開示に係る実施の形態5の半導体装置の製造方法を示す断面図である。

[図26]本開示に係る実施の形態5の半導体装置の製造方法を示す断面図である。

[図27]本開示に係る実施の形態6の半導体装置の構成を示す断面図である。

[図28]本開示に係る実施の形態6の半導体装置の製造方法を示す断面図である。

[図29]本開示に係る実施の形態7の半導体装置の金属膜と絶縁膜が形成され

ていない状態を示す断面図である。

[図30]本開示に係る実施の形態7の半導体装置のAlGa_N/Ga_N界面に誘起される2DEGを模式的に示す断面図である。

[図31]本開示に係る実施の形態9の半導体装置の構成を示す断面図である。

[図32]本開示に係る実施の形態10の半導体装置の構成を示す断面図である。

[図33]本開示に係る実施の形態11の半導体装置の構成を示す断面図である。

[図34]本開示に係る実施の形態12の半導体装置の構成を示す断面図である。

発明を実施するための形態

[0014] <実施の形態1>

<装置構成>

図1は、本開示に係る実施の形態1の半導体装置100の構成を示す断面図である。なお、図1では、便宜的に、例えばヘテロ接合電界効果型トランジスタの一部である主電極部分のみを示している。

[0015] 図1に示すように半導体装置100は、例えば炭化珪素(SiC)で構成される半導体基板1上に、AlN(窒化アルミニウム)で構成されるバッファ層2を介して、Ga_N(第1の窒化物半導体)で構成されるチャネル層3が積層され、チャネル層3上には、チャネル層3とヘテロ接合を形成するAlGa_N(第2の窒化物半導体)で構成されるバリア層4が形成されている。このような窒化物半導体を用いることで、実用的なヘテロ接合電界効果型トランジスタを得ることができる。なお、バリア層4を構成するAlGa_Nは、チャネル層3を構成するGa_Nよりもバンドギャップが大きいものとする。

[0016] バリア層4上には、ドレイン電極およびソース電極などを構成する金属膜5が選択的に設けられ、金属膜5の側面および上面の一部が、金属と絶縁物との複合層8で覆われている。複合層8および金属膜5が形成される領域以

外のバリア層4上の領域には、 SiO_2 または SiN などの絶縁膜6が設けられている。

[0017] 金属膜5の上面の複合層8には、金属膜5の上面の一部が露出するようにコンタクトホールCHが設けられ、コンタクトホールCHを介して金属膜5に接するように配線層7が設けられている。

[0018] 複合層8は、例えば、金属膜5と SiO_2 とが反応したシリサイド層、または金属膜5と SiN とが反応したシリサイド層であり、金属膜5よりも低抵抗な導電部を有している。複合層8としては、シリサイド層に限定されず、例えば、 600°C 以上の熱処理により導電性材料と絶縁性材料とが複合され、導電性を有する層であれば、利用することができる。

[0019] 図2は、配線層7を介してチャネル層3に流れる電流を模式的に示す図である。図2に示されるように、配線層7を介してチャネル層3に流れる電流は、配線層7から金属膜5を介してチャネル層3に流れる電流経路C1と、配線層7から複合層8を介してチャネル層3に流れる電流経路C2の2通りの経路を通ることとなり、コンタクト抵抗が低減される効果が得られる。

[0020] ここで、コンタクト抵抗の一例としては、絶縁膜6を SiO_2 で構成し、 AlGaIn のバリア層4のAl組成と厚さをそれぞれ26%と15nmとした場合、コンタクト抵抗は $0.6\ \Omega\text{mm} \sim 0.7\ \Omega\text{mm}$ となる。なお、上記数値より、バリア層4のAl組成を少なくし、厚さを薄くすると、コンタクト抵抗は高くなることが予測される。

[0021] このような金属膜5が複合層8で覆われた構造は、バリア層4上に金属膜5を形成し、バリア層4および金属膜5を覆うように絶縁膜6を堆積した後に、例えば、 600°C 以上の高温で熱処理することで、金属膜5がバリア層4と合金化してオーミック電極になると共に、金属膜5と絶縁膜6とが反応してシリサイド層が形成されることで得ることができる。この場合、バリア層4上の絶縁膜6は、バリア層4以下の半導体層を保護する保護膜として機能し、高温熱処理時の金属の蒸発およびバリア層4への再付着を新たなプロセスを追加することなく防ぐことができる。

[0022] <製造方法>

次に、半導体装置 100 の製造方法について、製造工程を順に示す図 3 ～図 7 を用いて説明する。なお、図 3 ～図 7 においては、図 1 に示した半導体装置 100 と同一の構成については同一の符号を付し、重複する説明は省略する。

[0023] まず、図 3 に示す工程において、SiC の半導体基板 1 上に MOCVD (metal organic chemical vapor deposition) 法または MBE (Molecular Beam Epitaxy) 法などのエピタキシャル成長法を用いて、AlN で構成されるバッファ層 2、GaN で構成されるチャネル層 3 および AlGaN で構成されるバリア層 4 をこの順に成長させる。次に、蒸着およびリフトオフ法を用いて金属膜 5 を所望の領域に形成する。なお、金属膜 5 は、Ti、Al、Ni (ニッケル)、Au (金)、Mo などの単層膜、またはこれらの多層膜とすることができる。

[0024] 次に、図 4 に示す工程において、金属膜 5 を覆うようにバリア層 4 上に絶縁膜 6 を例えばプラズマ CVD 法で堆積する。絶縁膜 6 としては、例えば SiO₂ または SiN を形成することができる。なお、絶縁膜 6 の形成方法はプラズマ CVD 法に限定されず、熱 CVD 法、スパッタリング法を使用することができる。

[0025] 次に、図 5 に示す工程において、RTA (Rapid Thermal Annealing) 法などを用いて 500℃ から 900℃、より好ましくは 800℃ から 850℃ の温度で熱処理を行い、金属膜 5 と絶縁膜 6 とが接する部分を反応させてシリサイド層を形成して複合層 8 とし、金属膜 5 を複合層 8 で覆うと共に、金属膜 5 をバリア層 4 と合金化させてオーミック電極にする。

[0026] 次に、図 6 に示す工程において、例えばレジスト材をマスクとして、ドライエッチング法を用いて、配線層 7 を形成する領域の複合層 8 を除去し、底面に金属膜 5 の上面が露出するコンタクトホール CH を形成する。

[0027] 次に、図 7 に示す工程において、複合層 8 および絶縁膜 6 上に配線層 7 を形成したい部分が開口部 OP となったレジストマスク RM を形成する。その

後、レジストマスクRM上および開口部OP内に蒸着により、Ti、Al、Ni、Auなどの単層膜、またはこれらの多層膜を形成し、レジストマスクRMをリフトオフ法を用いて除去することで配線層7を形成して、図1に示した半導体装置100を得る。

[0028] <実施の形態2>

<装置構成>

図8は、本開示に係る実施の形態2の半導体装置200の構成を示す断面図である。なお、図8においては、図1を用いて説明した半導体装置100と同一の構成については同一の符号を付し、重複する説明は省略する。

[0029] 図8に示すように半導体装置200は、金属膜5が複合層8で覆われ、複合層8および金属膜5が形成される領域以外のバリア層4上の領域には、SiO₂またはSiNなどの絶縁膜6が設けられている。

[0030] 複合層8の上面には、配線層7が選択的に設けられている。複合層8は、例えば、金属膜5とSiO₂が反応したシリサイド層、または金属膜5とSiNとが反応したシリサイド層であり、金属膜5よりも低抵抗な導電部を有している。このため、配線層7を介してチャネル層3に流れる電流は、配線層7から複合層8および金属膜5を介してチャネル層3に流れる電流経路と、配線層7から複合層8を介してチャネル層3に流れる電流経路の2通りの経路を通ることとなり、コンタクト抵抗が低減される効果が得られる。

[0031] このような金属膜5が複合層8で覆われた構造を得るために設けたバリア層4上の絶縁膜6は、熱処理時にバリア層4以下の半導体層を保護する保護膜として機能し、高温熱処理時の金属の蒸発およびバリア層4への再付着を新たなプロセスを追加することなく防ぐことができる。

[0032] また、配線層7は複合層8の上面に接して設けられるので、複合層8にコンタクトホールを設ける必要がないので、製造工程を簡略化することができる。

[0033] <製造方法>

次に、半導体装置200の製造方法について、製造工程を示す図9を用い

て説明する。なお、図9に示す工程に至るまでは、実施の形態1の半導体装置100の製造方法の説明に用いた図3～図5の工程と同じであり、RTA法などを用いて金属膜5と絶縁膜6とが接する部分を反応させてシリサイド層を形成して複合層8とし、金属膜5を複合層8で覆うと共に、金属膜5をバリア層4と合金化させてオーミック電極にする。

[0034] その後、図9に示す工程において、複合層8および絶縁膜6上に配線層7を形成したい部分が開口部OPとなったレジストマスクRMを形成する。その後、レジストマスクRM上および開口部OP内に蒸着により、Ti、Al、Ni、Auなどの単層膜、またはこれらの多層膜を形成し、レジストマスクRMをリフトオフ法を用いて除去することで配線層7を形成して、図8に示した半導体装置200を得る。

[0035] <実施の形態3>

<装置構成>

図10は、本開示に係る実施の形態3の半導体装置300の構成を示す断面図である。なお、図10においては、図1を用いて説明した半導体装置100と同一の構成については同一の符号を付し、重複する説明は省略する。

[0036] 図10に示すように半導体装置300は、金属膜5の上面および側面が複合層8で覆われると共に、金属膜5の下面とバリア層4との間にも複合層8が設けられ、複合層8および金属膜5が形成される領域以外のバリア層4上の領域には、SiO₂またはSiNなどの絶縁膜6が設けられている。

[0037] 金属膜5の上面の複合層8には、金属膜5の上面の一部が露出するようにコンタクトホールCHが設けられ、コンタクトホールCHを介して金属膜5に接するように配線層7が設けられている。

[0038] 複合層8は、例えば、金属膜5とSiO₂が反応したシリサイド層、または金属膜5とSiNとが反応したシリサイド層であり、金属膜5よりも低抵抗な導電部を有している。このため、配線層7を介してチャネル層3に流れる電流は、配線層7から金属膜5および下側の複合層8を介してチャネル層3に流れる電流経路と、配線層7から複合層8を介してチャネル層3に流れる

電流経路の2通りの経路を通ることとなり、コンタクト抵抗が低減される効果が得られる。また、下側の複合層8とバリア層4とが接する構造となり、実施の形態1の半導体装置100よりもコンタクト抵抗をさらに低減することができる。

[0039] また、このような金属膜5が複合層8で覆われた構造を得るために設けたバリア層4上の絶縁膜6は、熱処理時にバリア層4以下の半導体層を保護する保護膜として機能し、高温熱処理時の金属の蒸発およびバリア層4への再付着を新たなプロセスを追加することなく防ぐことができる。

[0040] <製造方法>

次に、半導体装置300の製造方法について、製造工程を順に示す図11～図16を用いて説明する。

[0041] まず、図11に示す工程において、SiCの半導体基板1上にMOCVD法またはMBE法などのエピタキシャル成長法を用いて、AlNで構成されるバッファ層2、GaNで構成されるチャネル層3およびAlGaNで構成されるバリア層4をこの順に成長させる。次に、バリア層4上に絶縁膜61（第1の絶縁膜）を例えばプラズマCVD法で堆積する。絶縁膜61としては、例えばSiO₂またはSiNを形成することができる。

[0042] 次に、図12に示す工程において、蒸着およびリフトオフ法を用いて金属膜5を絶縁膜61上の所望の領域に形成する。なお、金属膜5は、Ti、Al、Ni、Au、Moなどの単層膜、またはこれらの多層膜とすることができる。

[0043] 次に、図13に示す工程において、金属膜5および絶縁膜61を覆うように絶縁膜62（第2の絶縁膜）を例えばプラズマCVD法で堆積する。絶縁膜62としては、絶縁膜61と同じSiO₂またはSiNを形成することができる。なお、絶縁膜61および62の形成方法はプラズマCVD法に限定されず、熱CVD法、スパッタリング法を使用することができる。

[0044] 次に、図14に示す工程において、RTA法などを用いて500℃から900℃の温度で熱処理を行い、金属膜5と絶縁膜6とが接する部分を反応さ

せてシリサイド層を形成して複合層 8 とし、金属膜 5 全体を複合層 8 で覆うと共に、金属膜 5 と複合層 8 とバリア層 4 とを相互に合金化させてオーミック電極にする。なお、図 14 では、絶縁膜 61 および 62 は一体となって絶縁膜 6 として表されている。

[0045] 次に、図 15 に示す工程において、例えばレジスト材をマスクとして、ドライエッチング法を用いて、配線層 7 を形成する領域の複合層 8 を除去し、底面に金属膜 5 の上面が露出するコンタクトホール CH を形成する。

[0046] 次に、図 16 に示す工程において、複合層 8 および絶縁膜 6 上に配線層 7 を形成したい部分が開口部 OP となったレジストマスク RM を形成する。その後、レジストマスク RM 上および開口部 OP 内に蒸着により、Ti、Al、Ni、Au などの単層膜、またはこれらの多層膜を形成し、レジストマスク RM をリフトオフ法を用いて除去することで配線層 7 を形成して、図 10 に示した半導体装置 300 を得る。

[0047] <実施の形態 4>

<装置構成>

図 17 は、本開示に係る実施の形態 4 の半導体装置 400 の構成を示す断面図である。なお、図 17 においては、図 1 を用いて説明した半導体装置 100 と同一の構成については同一の符号を付し、重複する説明は省略する。

[0048] 図 17 に示すように半導体装置 400 は、金属膜 5 の上面および側面が複合層 8 で覆われると共に、金属膜 5 の下面とバリア層 4 との間にも複合層 8 が設けられ、複合層 8 および金属膜 5 が形成される領域以外のバリア層 4 上の領域には、SiO₂ または SiN などの絶縁膜 6 が設けられている。

[0049] 複合層 8 の上面には、配線層 7 が選択的に設けられている。複合層 8 は、例えば、金属膜 5 と SiO₂ が反応したシリサイド層、または金属膜 5 と SiN とが反応したシリサイド層であり、金属膜 5 よりも低抵抗な導電部を有している。このため、配線層 7 を介してチャネル層 3 に流れる電流は、配線層 7 から上側の複合層 8、金属膜 5 および下側の複合層 8 を介してチャネル層 3 に流れる電流経路と、配線層 7 から複合層 8 を介してチャネル層 3 に流れ

る電流経路の2通りの経路を通ることとなり、コンタクト抵抗が低減される効果が得られる。

[0050] また、このような金属膜5が複合層8で覆われた構造を得るために設けたバリア層4上の絶縁膜6は、熱処理時にバリア層4以下の半導体層を保護する保護膜として機能し、高温熱処理時の金属の蒸発およびバリア層4への再付着を新たなプロセスを追加することなく防ぐことができる。

[0051] また、配線層7は複合層8の上面に接して設けられるので、複合層8にコンタクトホールを設ける必要がないので、製造工程を簡略化することができる。

[0052] <製造方法>

次に、半導体装置400の製造方法について、製造工程を示す図18を用いて説明する。なお、図18に示す工程に至るまでは、実施の形態3の半導体装置300の製造方法の説明に用いた図11～図14の工程と同じであり、RTA法などを用いて金属膜5と絶縁膜6とが接する部分を反応させてシリサイド層を形成して複合層8とし、金属膜5全体を複合層8で覆うと共に、金属膜5と複合層8とバリア層4とを相互に合金化させてオーミック電極にする。

[0053] その後、図18に示す工程において、複合層8および絶縁膜6上に配線層7を形成したい部分が開口部OPとなったレジストマスクRMを形成する。その後、レジストマスクRM上および開口部OP内に蒸着により、Ti、Al、Ni、Auなどの単層膜、またはこれらの多層膜を形成し、レジストマスクRMをリフトオフ法を用いて除去することで配線層7を形成して、図17に示した半導体装置400を得る。

[0054] <実施の形態5>

<装置構成>

図19は、本開示に係る実施の形態5の半導体装置500の構成を示す断面図である。なお、図19においては、図1を用いて説明した半導体装置100と同一の構成については同一の符号を付し、重複する説明は省略する。

[0055] 図19に示すように半導体装置500は、金属膜5の上面および側面が複合層8で覆われると共に、金属膜5の下面の一部とバリア層4との間にも複合層8が設けられ、複合層8および金属膜5が形成される領域以外のバリア層4上の領域には、 SiO_2 または SiN などの絶縁膜6が設けられている。

[0056] 金属膜5の上面の複合層8には、金属膜5の上面の一部が露出するようにコンタクトホールCHが設けられ、コンタクトホールCHを介して金属膜5に接するように配線層7が設けられている。

[0057] 複合層8は、例えば、金属膜5と SiO_2 が反応したシリサイド層、または金属膜5と SiN とが反応したシリサイド層であり、金属膜5よりも低抵抗な導電部を有している。このため、配線層7を介してチャネル層3に流れる電流は、配線層7から金属膜5を介してチャネル層3に流れる電流経路と、配線層7から複合層8を介してチャネル層3に流れる電流経路の2通りの経路を通ることとなり、コンタクト抵抗が低減される効果が得られる。また、金属膜5とバリア層4とが接する構造となり、複合層8の形成のために、例えば、 600°C 以上の高温で熱処理することで、金属膜5がバリア層4と合金化してオーミック電極になるので、コンタクト抵抗をさらに低減することができる。

[0058] また、この場合、バリア層4上の絶縁膜6は、バリア層4以下の半導体層を保護する保護膜として機能し、高温熱処理時の金属の蒸発およびバリア層4への再付着を新たなプロセスを追加することなく防ぐことができる。

[0059] <製造方法>

次に、半導体装置500の製造方法について、製造工程を順に示す図20～図26を用いて説明する。

[0060] まず、図20に示す工程において、 SiC の半導体基板1上にMOCVD法またはMBE法などのエピタキシャル成長法を用いて、 AlN で構成されるバッファ層2、 GaN で構成されるチャネル層3および AlGaN で構成されるバリア層4をこの順に成長させる。次に、バリア層4上に絶縁膜61を例えばプラズマCVD法で堆積する。絶縁膜61としては、例えば SiO_2

またはS i Nを形成することができる。

[0061] 次に、図21に示す工程において、例えばレジスト材をマスクとして、ドライエッチング法を用いて、金属膜5を形成する領域の絶縁膜61を除去し、底面にバリア層4の上面が露出するコンタクトホールCH1を形成する。

[0062] 次に、図22に示す工程において、蒸着およびリフトオフ法を用いて金属膜5をコンタクトホールCH1上を含む絶縁膜61上の所望の領域に形成する。なお、金属膜5は、Ti、Al、Ni、Au、Moなどの単層膜、またはこれらの多層膜とすることができる。

[0063] 次に、図23に示す工程において、金属膜5および絶縁膜61を覆うように絶縁膜62を例えばプラズマCVD法で堆積する。絶縁膜62としては、絶縁膜61と同じSiO₂またはSiNを形成することができる。なお、絶縁膜61および62の形成方法はプラズマCVD法に限定されず、熱CVD法、スパッタリング法を使用することができる。

[0064] 次に、図24に示す工程において、RTA法などを用いて500℃から900℃の温度で熱処理を行い、金属膜5と絶縁膜6とが接する部分を反応させてシリサイド層を形成して複合層8とし、金属膜5を複合層8で覆うと共に、金属膜5と複合層8とバリア層4とを相互に合金化させてオーミック電極にする。この際、金属膜5の下面の一部とバリア層4との間にも複合層8が形成される。なお、図24では、絶縁膜61および62は一体となって絶縁膜6として表されている。

[0065] 次に、図25に示す工程において、例えばレジスト材をマスクとして、ドライエッチング法を用いて、配線層7を形成する領域の複合層8を除去し、底面に金属膜5の上面が露出するコンタクトホールCHを形成する。

[0066] 次に、図26に示す工程において、複合層8および絶縁膜6上に配線層7を形成したい部分が開口部OPとなったレジストマスクRMを形成する。その後、レジストマスクRM上および開口部OP内に蒸着により、Ti、Al、Ni、Auなどの単層膜、またはこれらの多層膜を形成し、レジストマスクRMをリフトオフ法を用いて除去することで配線層7を形成して、図19

に示した半導体装置500を得る。

[0067] <実施の形態6>

<装置構成>

図27は、本開示に係る実施の形態6の半導体装置600の構成を示す断面図である。なお、図27においては、図1を用いて説明した半導体装置100と同一の構成については同一の符号を付し、重複する説明は省略する。

[0068] 図27に示すように半導体装置600は、金属膜5の上面および側面が複合層8で覆われると共に、金属膜5の下面の一部とバリア層4との間にも複合層8が設けられ、複合層8および金属膜5が形成される領域以外のバリア層4上の領域には、 SiO_2 または SiN などの絶縁膜6が設けられている。

[0069] 複合層8の上面には、配線層7が選択的に設けられている。複合層8は、例えば、金属膜5と SiO_2 が反応したシリサイド層、または金属膜5と SiN とが反応したシリサイド層であり、金属膜5よりも低抵抗な導電部を有している。このため、配線層7を介してチャネル層3に流れる電流は、配線層7から上側の複合層8および金属膜5を介してチャネル層3に流れる電流経路と、配線層7から複合層8を介してチャネル層3に流れる電流経路の2通りの経路を通ることとなり、コンタクト抵抗が低減される効果が得られる。

[0070] また、配線層7は複合層8の上面に接して設けられるので、複合層8にコンタクトホールを設ける必要がないので、製造工程を簡略化することができる。

[0071] <製造方法>

次に、半導体装置600の製造方法について、製造工程を示す図28を用いて説明する。なお、図28に示す工程に至るまでは、実施の形態5の半導体装置500の製造方法の説明に用いた図20～図24の工程と同じであり、RTA法などを用いて金属膜5と絶縁膜6とが接する部分を反応させてシリサイド層を形成して複合層8とし、金属膜5を複合層8で覆うと共に、金属膜5と複合層8とバリア層4とを相互に合金化させてオーミック電極にする。この際、金属膜5の下面の一部とバリア層4との間にも複合層8が形成

される。

[0072] その後、図28に示す工程において、複合層8および絶縁膜6上に配線層7を形成したい部分が開口部OPとなったレジストマスクRMを形成する。その後、レジストマスクRM上および開口部OP内に蒸着により、Ti、Al、Ni、Auなどの単層膜、またはこれらの多層膜を形成し、レジストマスクRMをリフトオフ法を用いて除去することで配線層7を形成して、図27に示した半導体装置600を得る。

[0073] <実施の形態7>

<装置構成>

本開示に係る実施の形態7の半導体装置700の構成は、バリア層4とチャネル層3の界面に発生する2次元電子ガスによるシート抵抗を制御すること以外は図1に示した実施の形態1の半導体装置100の構成と同じであり、図1を参照しつつ、図29および図30使用して半導体装置700について説明する。

[0074] 図1に示すように半導体装置700は、GaNで構成されるチャネル層3上に、チャネル層3とヘテロ接合を形成するAlGaNで構成されるバリア層4が形成されてAlGaN/GaNヘテロ接合を有した構成となっている。

[0075] AlGaN/GaNヘテロ接合を有した半導体層上に形成されるオーミック電極において、AlGaN層のAl組成と厚さは、金属膜5と絶縁膜6が形成されていない状態、すなわち図29に示す状態において、バリア層4とチャネル層3の界面（AlGaN/GaN界面）に発生する2次元電子ガス（2DEG）によるシート抵抗が十分に高い値、すなわち少なくとも $10\text{ k}\Omega/\text{sq}$ 以上になるように設計されている。

[0076] 例えば、AlGaNのバリア層4のAl組成と厚さをそれぞれ15%と7nmとした場合、または、20%と5nmとした場合、100%と1nmとした場合に、シート抵抗は $10\text{ k}\Omega/\text{sq}$ 以上となる。

[0077] なお、上述したチャネル層3上にバリア層4が形成されただけの状態のシ

ート抵抗をバリア層4の固有のシート抵抗と定義する。

[0078] このように設計されたAlGaIn層で構成されるバリア層4上に、例えばSiO₂の絶縁膜6を堆積し、500℃から900℃の温度で熱処理を行うことで、AlGaIn/GaN界面に、 $1 \times 10^{12} \text{ cm}^{-2}$ 以上の濃度の2DEGを誘起することができる。この状態を図30に模式的に示す。

[0079] 図30において、チャンネル層3とバリア層4の界面に2DEG9が誘起されることが示され、2DEGによりシート抵抗が低減されて、例えば $1 \text{ k}\Omega / \text{sq}$ 以下とすることができる。

[0080] このようにして誘起された2DEGをキャリアとして用いる窒化物半導体で構成されるトランジスタおよびダイオードなどの半導体装置では、2DEGの誘起目的と実施の形態1～6において説明した低抵抗なオーミック電極を形成する目的とで高温熱処理が必要であるが、それぞれを個別に行う必要はなく、同時に行うことでプロセスの簡略化を図ることができる。

[0081] すなわち、実施の形態1～6において説明した低抵抗なオーミック電極の形成のための複合層8の形成と、2DEGの誘起のための高温熱処理を同時に行うことで、プロセスを簡略化することができる。

[0082] これは、本開示におけるオーミック電極の構造は、金属膜5と絶縁膜6が形成されていない状態において、AlGaIn/GaN界面に発生する2DEGによるシート抵抗が十分に高い値、すなわち少なくとも $10 \text{ k}\Omega / \text{sq}$ 以上になるように設計されている場合において、より効果的な構造となる。

[0083] <実施の形態8>

<装置構成>

本開示に係る実施の形態8の半導体装置の構成は、複合層8に、絶縁膜6を構成する元素を含むと共に、バリア層4と金属膜5とに含まれる金属元素を1種以上含むこと以外は図1に示した実施の形態1の半導体装置100の構成と同じであり、図1を参照して本実施の形態の半導体装置について説明する。

[0084] 複合層8に含まれる金属元素には、Ga、AlおよびAuのうち、1種類

以上を挙げることができる。このような構成を採ることで、半導体装置、特に窒化物半導体装置を構成する材料を複合層 8 が含むことになり、複合層 8 に不要な不純物が混入せず、安定した電気特性を有する半導体装置が得られる。

[0085] ここで、バリア層 4 を A l G a N、金属膜 5 を A l または A u で構成し、バリア層 4 に含まれる金属元素である A l と G a とが少なくとも 1 種以上、複合層 8 に取り込まれた構成とすることもでき、また、金属膜 5 に含まれる金属元素である A l と A u とが少なくとも 1 種以上、複合層 8 に取り込まれた構成とすることもできる。

[0086] 換言すれば、バリア層 4 と金属膜 5 とに含まれる金属元素である A l、G a および A u のうち、1 種類以上が複合層 8 に含まれた構成とすることで、複合層 8 に不要な不純物が混入することを抑制できる。

[0087] 複合層 8 にガリウムが含まれる場合は、2 原子パーセント (a t %) 以上含まれ、複合層 8 にアルミニウムが含まれる場合は、10 原子パーセント (a t %) 以上含まれ、複合層 8 に金が含まれる場合は、5 原子パーセント (a t %) 以上含まれた構成とすることができる。このような構成を採ることで、半導体装置、特に窒化物半導体装置を構成する材料で複合層 8 を形成することができ、製造プロセスの複雑化を抑制することができる。

[0088] なお、実施の形態 8 では、図 1 に示した実施の形態 1 の半導体装置 100 の構成における複合層 8 を挙げて説明したが、実施の形態 2～7 のそれぞれの半導体装置 200～700 の複合層 8 についても、バリア層 4 と金属膜 5 とに含まれる金属元素を 1 種以上含む構成とすることができる。

[0089] <実施の形態 9>

<装置構成>

図 31 は、本開示に係る実施の形態 9 の半導体装置 800 の構成を示す断面図である。なお、図 31 においては、図 1 を用いて説明した半導体装置 100 と同一の構成については同一の符号を付し、重複する説明は省略する。

[0090] 図 31 に示すように半導体装置 800 は、図 1 に示した半導体装置 100

の構成に加えて、絶縁膜 6、複合層 8 および配線層 7 を部分的に覆う絶縁膜 10 を有している。半導体装置 800 がトランジスタである場合に、絶縁膜 10 は、図示されない部分に設けられるゲート電極のゲート絶縁膜として機能する。また、ゲート絶縁膜が別に設けられている場合は、ゲート電極の保護膜として機能する。絶縁膜 10 は、絶縁膜 6 と同様に Al_2O_3 、 SiO_2 または SiN で構成することができる。

[0091] このように、 $\text{AlGaIn}/\text{GaIn}$ ヘテロ接合を有した半導体層上に形成されるオーミック電極上にさらに絶縁膜 10 を設けた構成においても、複合層 8 の存在により、コンタクト抵抗が低減する効果を奏すると共に、絶縁膜 10 をゲート絶縁膜またはゲート電極の保護膜として利用することで、ゲート絶縁膜またはゲート電極の劣化、変質または剥離等の異常を抑制でき、様々な半導体装置の実現が可能となる。

[0092] なお、図 31 では半導体装置 100 に絶縁膜 10 を設けた構成を示したが、実施の形態 2～7 の半導体装置 200～700 の何れの構成にも絶縁膜 10 を設けることが可能である。

[0093] <実施の形態 10>

<装置構成>

図 32 は、本開示に係る実施の形態 10 の半導体装置 900 の構成を示す断面図である。なお、図 32 においては、図 1 を用いて説明した半導体装置 100 と同一の構成については同一の符号を付し、重複する説明は省略する。

[0094] 図 32 に示すように半導体装置 900 は、配線層 7 が複合層 8 に設けられたコンタクトホール CH の内部だけでなく、複合層 8 の上部の一部にも係合するように設けられている。このような構成とすることで、コンタクトホール CH が配線層 7 で完全に覆われることとなり、コンタクトホール CH と配線層 7 との間に隙間が生じることを防止できる。そして、複合層 8 の剥離またはコンタクトホール CH の内側の金属膜 5 の劣化等の異常が抑制できる。

[0095] <実施の形態 11>

<装置構成>

図33は、本開示に係る実施の形態11の半導体装置1000の構成を示す断面図である。なお、図33においては、図1を用いて説明した半導体装置100と同一の構成については同一の符号を付し、重複する説明は省略する。

[0096] 図33に示すように半導体装置1000は、バッファ層2がAlN層21とAlGaN層22が交互に繰り返して複数層形成された構成となっている。このような構成を採ることで半導体基板1とGaNで構成されるチャンネル層3との格子定数の違いによる結晶品質の劣化を抑制する効果がある。

[0097] <実施の形態12>

<装置構成>

図34は、本開示に係る実施の形態12の半導体装置1100の構成を示す断面図である。なお、図34においては、図1を用いて説明した半導体装置100と同一の構成については同一の符号を付し、重複する説明は省略する。

[0098] 図34に示すように半導体装置1100は、バッファ層2の上にAlGaNで構成されるバックバリア層11が形成された構成となっている。チャンネル層3のGaNよりもバンドギャップが大きいAlGaNで構成されるバックバリア層11を設けることで、ドレインリーク電流を抑制することができる。

[0099] <変形例>

以上説明した実施の形態1～12の半導体装置100～1100においては、半導体基板1はSiC、バッファ層2はAlN、チャンネル層3はGaN、バリア層4はAlGaNで構成されるものとしたが、これらに限定されるものではない。

[0100] すなわち、半導体基板1は、Si、サファイア、AlNおよびGaNで構成することができる。半導体基板1としてチャンネル層3と異なるSiCまたはSiを用いる場合には、バッファ層2が必要となるが、半導体基板1とし

て、チャネル層3と同一材料のGa₂N、AlGa₂NまたはInAlGa₂Nを用いる場合には、バッファ層2は必ずしも必要ではない。

[0101] このため、半導体基板1上に形成される半導体層として、チャネル層3およびバリア層4が形成されていれば、本開示に係る各実施の形態の効果が得られる。

[0102] バッファ層は、Ga₂NおよびAlGa₂Nで構成することができ、チャネル層3は、AlGa₂NおよびInAlGa₂Nで構成することができる。バリア層4は、Ga₂N、AlN、InAlGa₂NおよびInAlNで構成することができる。

[0103] また、絶縁膜6および絶縁膜10は、SiO₂またはSi₃N₄に限定されず、アルミナ(Al₂O₃)、HfO_x、SiON、AlON、HfONで構成することができる。

[0104] また、窒化物半導体層は、不純物を含ませないノンドープとすることができるが、トランジスタ動作に支障がない量であればSi、Mg(マグネシウム)、Fe(鉄)、C(炭素)およびGe(ゲルマニウム)などの不純物を含ませることもできる。

[0105] 本開示は詳細に説明されたが、上記した説明は、全ての局面において、例示であって、本開示がそれに限定されるものではない。例示されていない無数の変形例が、本開示の範囲から外れることなく想定され得るものと解される。

[0106] なお、本開示は、その開示の範囲内において、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形、省略することが可能である。

請求の範囲

- [請求項1] 半導体基板と、
 前記半導体基板の上に設けられた第1の窒化物半導体で構成される
 チャネル層と、
 前記チャネル層の上に設けられ、前記第1の窒化物半導体のバンド
 ギャップよりも大きなバンドギャップを有する第2の窒化物半導体で
 構成されるバリア層と、
 前記バリア層より上に選択的に形成される金属膜と、
 前記金属膜に接するように設けられ、少なくとも導電性材料と絶縁
 性材料とを有する複合層と、
 前記バリア層の上の前記金属膜および前記複合層が形成されてい
 ない領域に形成される絶縁膜と、を備える、半導体装置。
- [請求項2] 前記複合層は、
 前記バリア層とは反対側の前記金属膜の上面の一部および前記金属
 膜の側面を覆うように設けられ、
 前記金属膜の前記上面の前記複合層が設けられない領域に接するよ
 うに配線層が設けられる、請求項1記載の半導体装置。
- [請求項3] 前記複合層は、
 前記バリア層とは反対側の前記金属膜の上面および前記金属膜の側
 面を覆うように設けられ、
 前記金属膜の前記上面の前記複合層に接するように配線層が設けら
 れる、請求項1記載の半導体装置。
- [請求項4] 前記複合層は、
 前記バリア層とは反対側の前記金属膜の上面の一部、前記金属膜の
 側面および前記上面とは反対側の前記金属膜の下面を覆うように設け
 られ、
 前記金属膜の前記上面の前記複合層が設けられない領域に接するよ
 うに配線層が設けられる、請求項1記載の半導体装置。

- [請求項5] 前記複合層は、
前記バリア層とは反対側の前記金属膜の上面、前記金属膜の側面および前記上面とは反対側の前記金属膜の下面を覆うように設けられ、
前記金属膜の前記上面の前記複合層に接するように配線層が設けられる、請求項1記載の半導体装置。
- [請求項6] 前記複合層は、
前記バリア層とは反対側の前記金属膜の上面の一部、前記金属膜の側面および前記上面とは反対側の前記金属膜の下面の一部を覆うように設けられ、
前記金属膜の前記上面の前記複合層が設けられない領域に接するように配線層が設けられる、請求項1記載の半導体装置。
- [請求項7] 前記複合層は、
前記バリア層とは反対側の前記金属膜の上面、前記金属膜の側面および前記上面
とは反対側の前記金属膜の下面の一部を覆うように設けられ、
前記金属膜の前記上面の前記複合層に接するように配線層が設けられる、請求項1記載の半導体装置。
- [請求項8] 前記バリア層の前記絶縁膜と接する領域の前記チャネル層と前記バリア層の界面に発生する2次元電子ガスによるシート抵抗は $10\text{ k}\Omega/\text{sq}$ 以上である、請求項1記載の半導体装置。
- [請求項9] 前記複合層は、前記金属膜のシリサイド層である、請求項1から請求項8の何れか1項に記載の半導体装置。
- [請求項10] 前記チャネル層は、窒化ガリウムで構成され、
前記バリア層は、窒化アルミニウムガリウムで構成される、請求項1から請求項8の何れか1項に記載の半導体装置。
- [請求項11] 前記複合層は、
前記絶縁膜を構成する元素と共に、前記バリア層と前記金属膜とに含まれる金属元素を1種類以上含む、請求項1から請求項10の何れ

か1項に記載の半導体装置。

[請求項12]

前記金属元素は、

ガリウム、アルミニウムおよび金のうち、1種類以上を含む、請求項11に記載の半導体装置。

[請求項13]

前記金属元素がガリウムである場合は、ガリウムが2原子パーセント以上含まれ、

前記金属元素がアルミニウムである場合は、アルミニウムが10原子パーセント以上含まれ、

前記金属元素が金である場合は金が5原子パーセント以上含まれる、請求項12に記載の半導体装置。

[請求項14]

請求項1記載の半導体装置を製造する半導体装置の方法であって、

前記半導体基板の上に前記チャネル層を形成する工程と、

前記チャネル層の上に前記バリア層を形成する工程と、

前記バリア層の上に選択的に前記金属膜を形成する工程と、

前記金属膜を覆うように前記絶縁膜を形成する工程と、

前記絶縁膜を形成した後、500℃以上900℃以下の温度で熱処理を行い、前記金属膜と前記絶縁膜が接する部分を反応させて前記複合層を形成する工程と、を備える、半導体装置の製造方法。

[請求項15]

請求項1記載の半導体装置を製造する半導体装置の製造方法であって、

前記半導体基板の上に前記チャネル層を形成する工程と、

前記チャネル層の上に前記バリア層を形成する工程と、

前記バリア層の上に第1の絶縁膜を形成する工程と、

前記第1の絶縁膜の上に選択的に前記金属膜を形成する工程と、

前記金属膜を覆うように第2の絶縁膜を形成する工程と、

前記第2の絶縁膜を形成した後、500℃以上900℃以下の温度で熱処理を行い、前記金属膜と前記第1および第2の絶縁膜が接する部分を反応させて前記複合層を形成する工程と、を備える、半導体装

置の製造方法。

[請求項16] 請求項1記載の半導体装置を製造する半導体装置の製造方法であって、

前記半導体基板の上に前記チャネル層を形成する工程と、

前記チャネル層の上に前記バリア層を形成する工程と、

前記バリア層の上に第1の絶縁膜を形成する工程と、

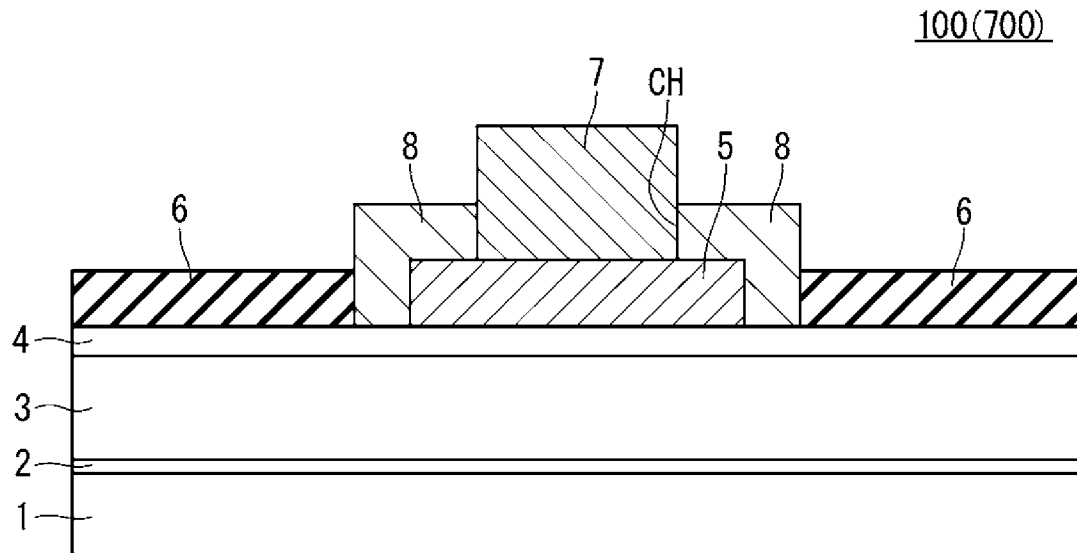
前記第1の絶縁膜を部分的に除去して前記バリア層に達するコンタクトホールを形成する工程と。

前記コンタクトホールを含む前記第1の絶縁膜の上に選択的に前記金属膜を形成する工程と、

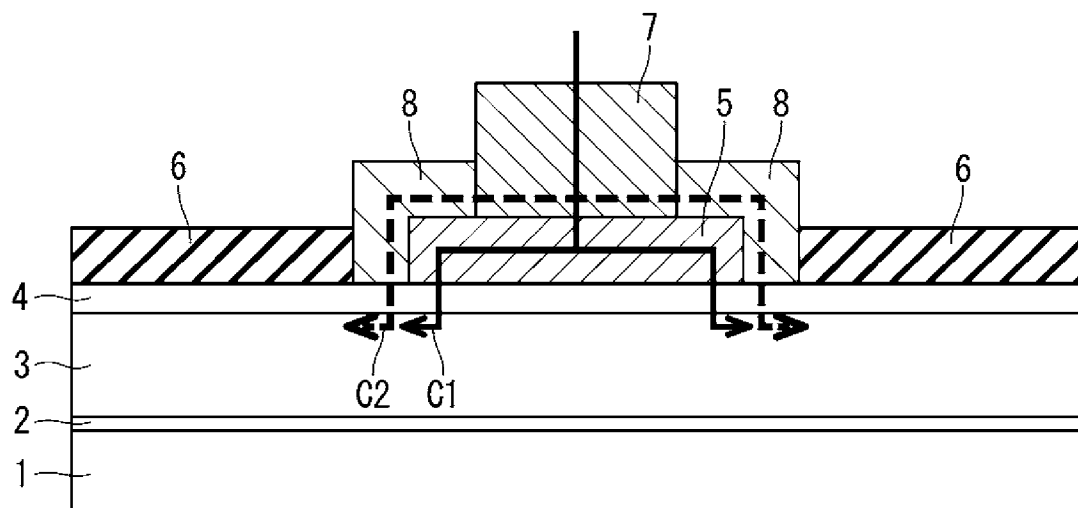
前記金属膜を覆うように第2の絶縁膜を形成する工程と、

前記第2の絶縁膜を形成した後、500℃以上900℃以下の温度で熱処理を行い、前記金属膜と前記第1および第2の絶縁膜が接する部分を反応させて前記複合層を形成する工程と、を備える、半導体装置の製造方法。

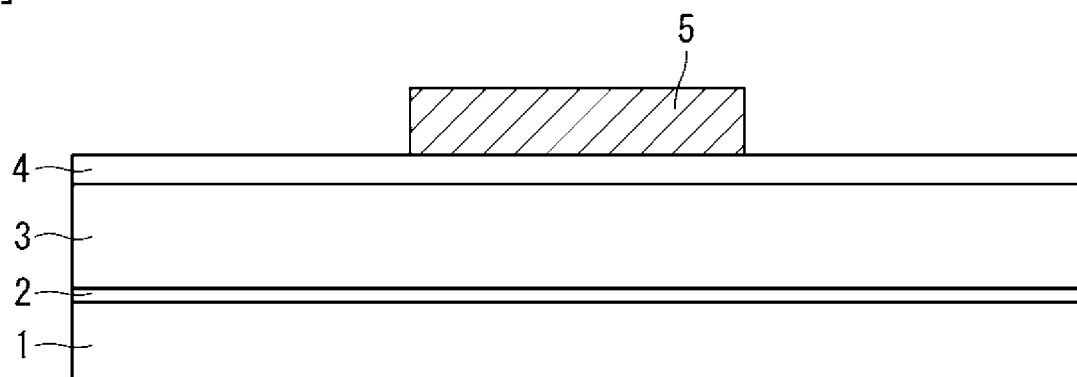
[図1]



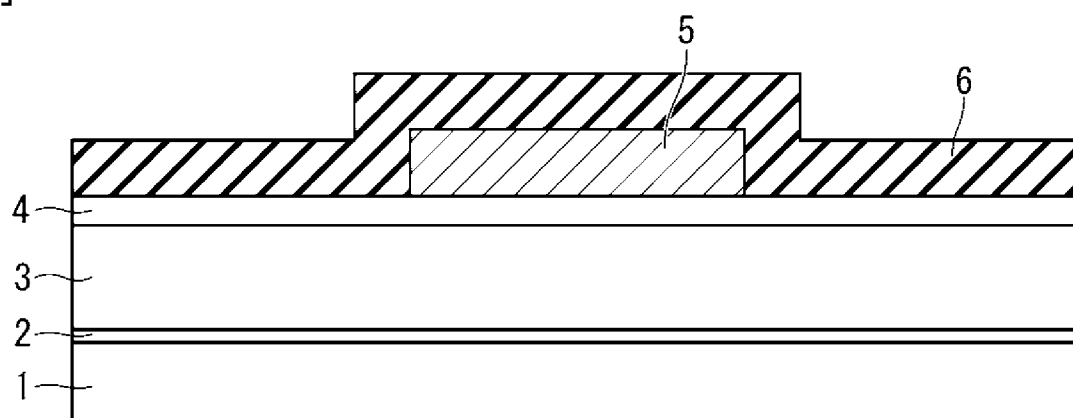
[図2]



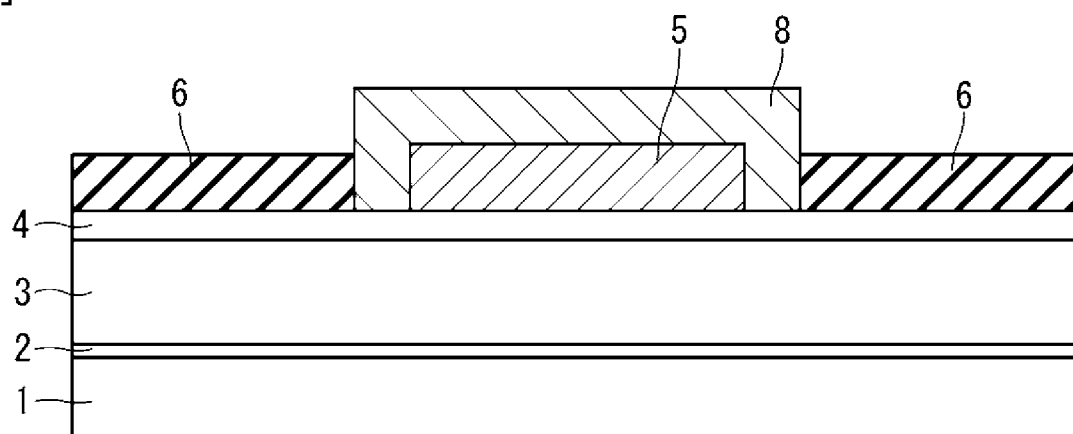
[図3]



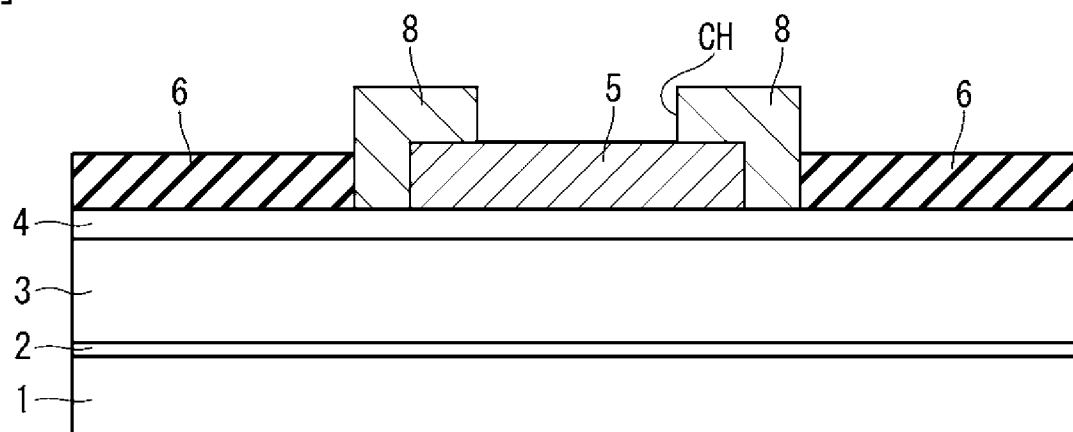
[図4]



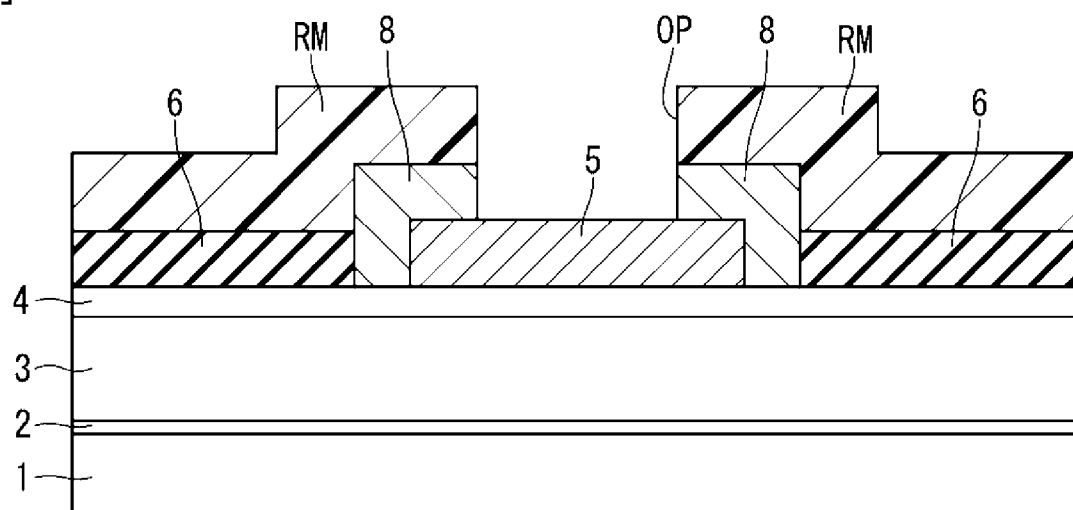
[図5]



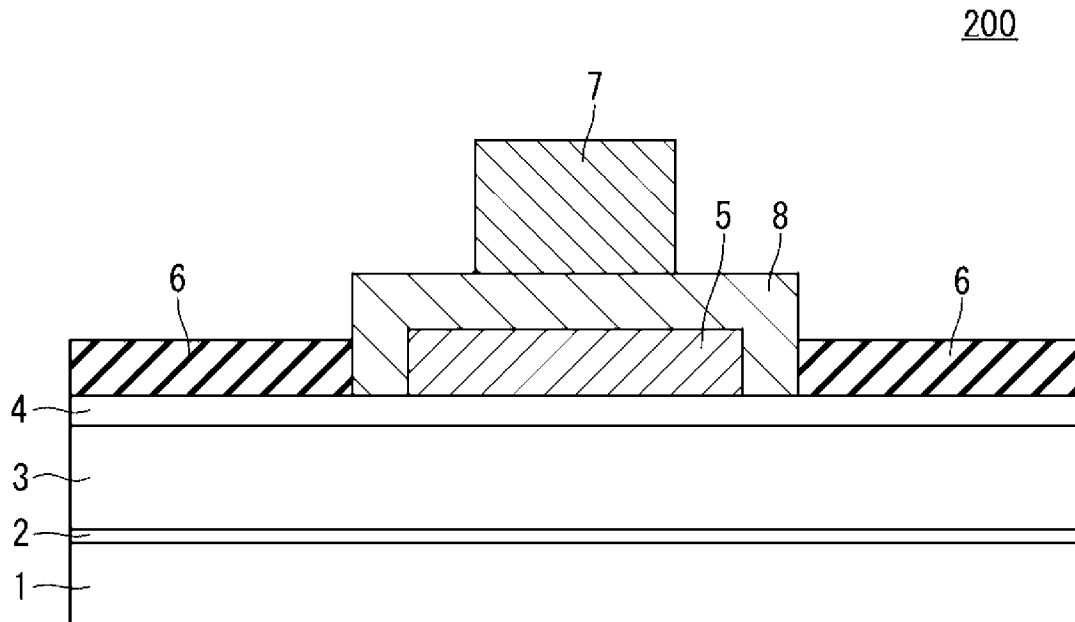
[図6]



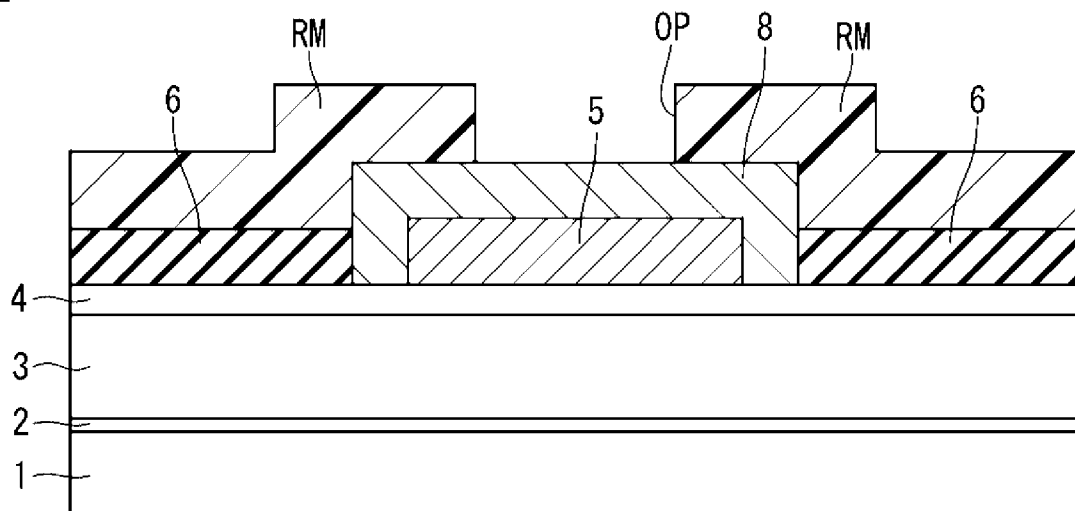
[図7]



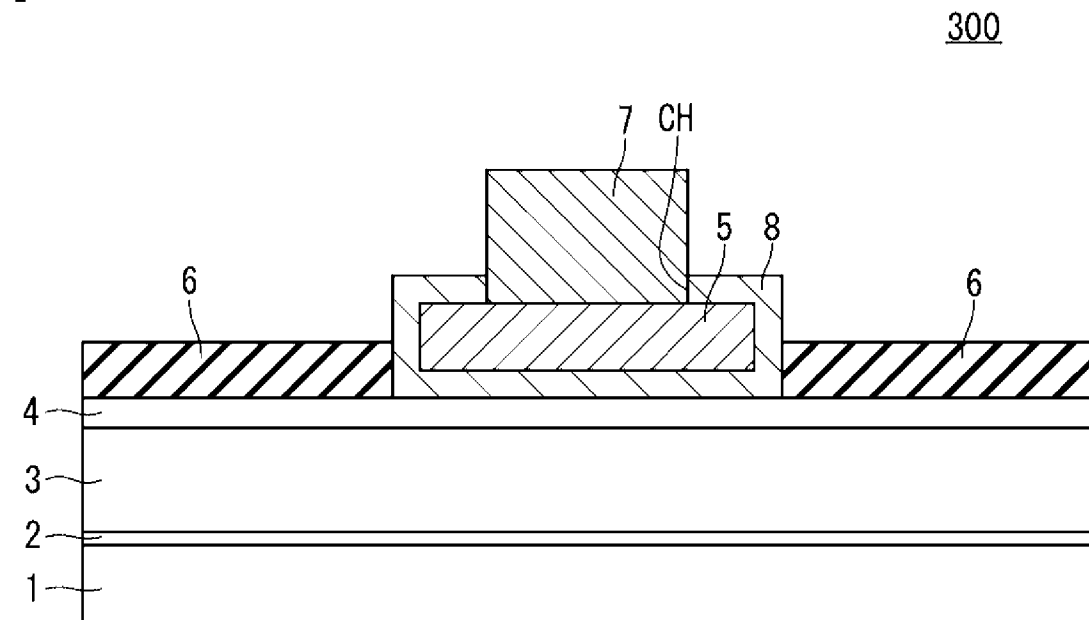
[図8]



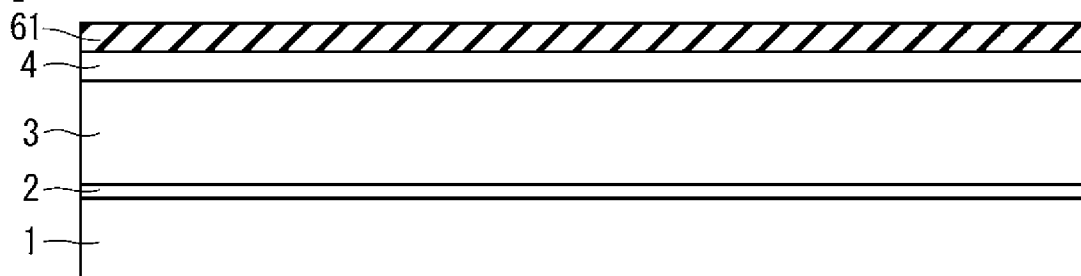
[図9]



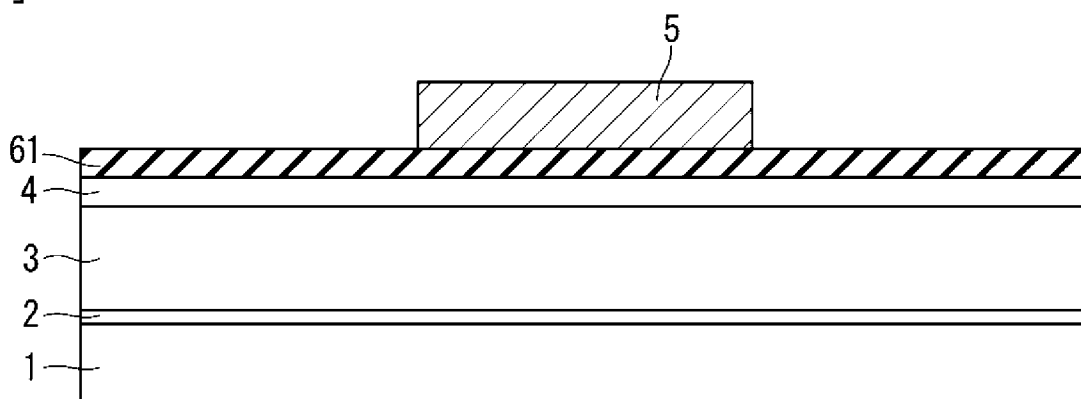
[図10]



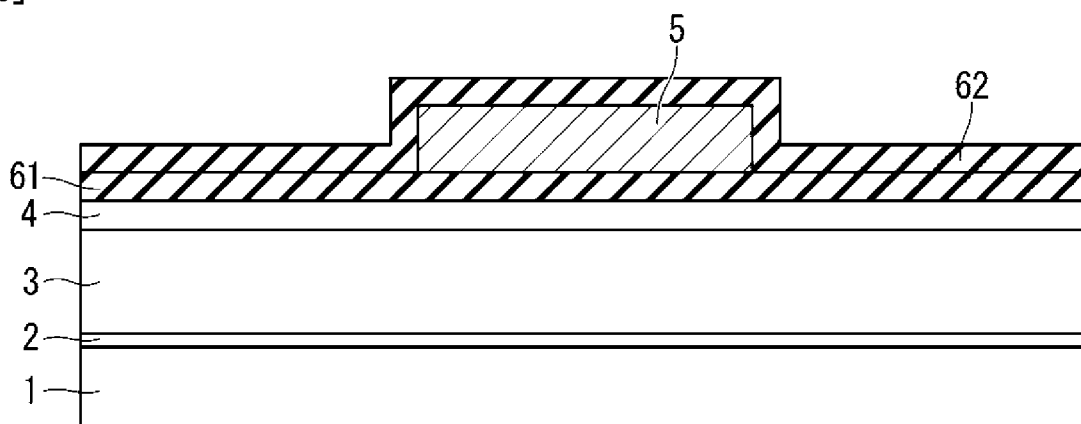
[図11]



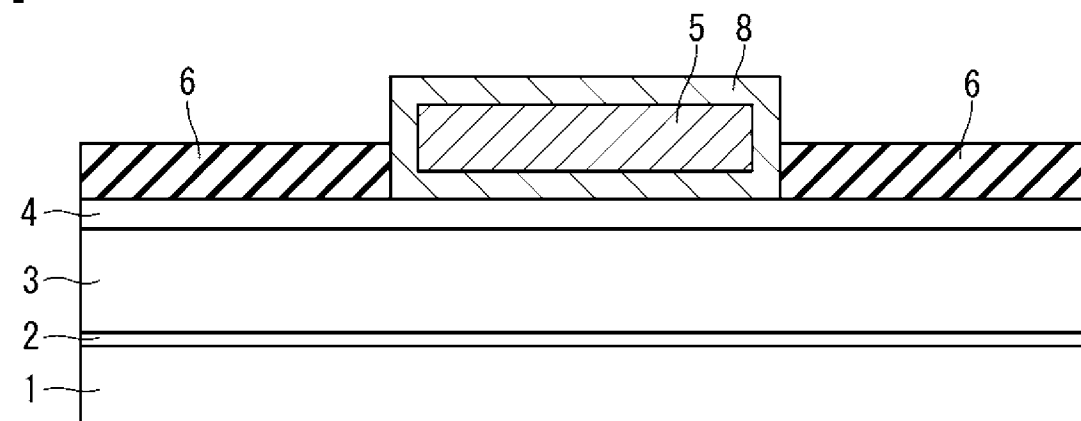
[図12]



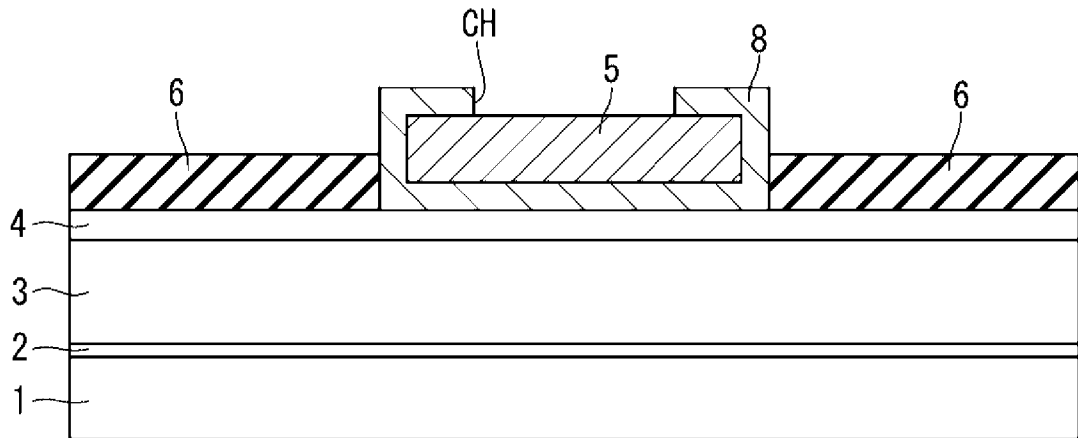
[図13]



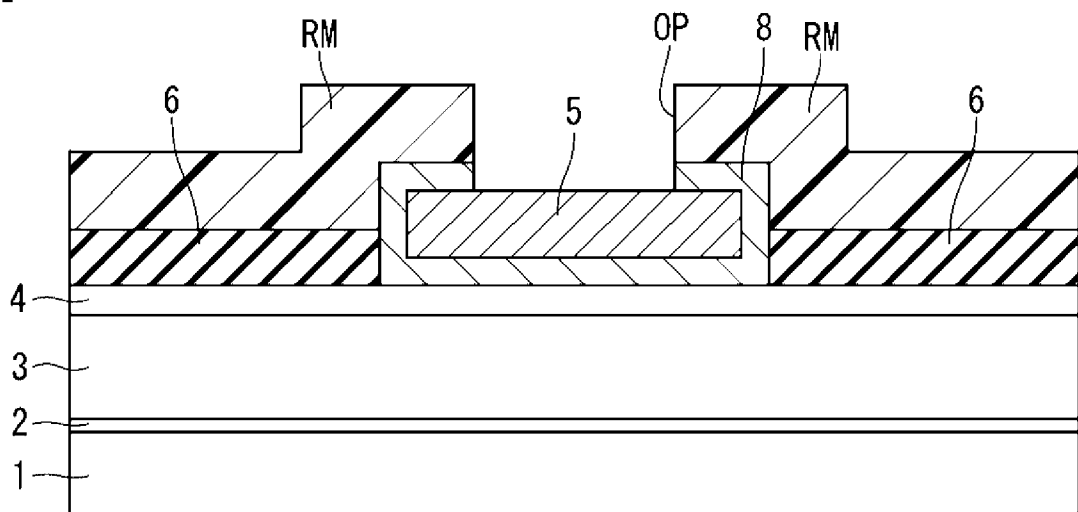
[図14]



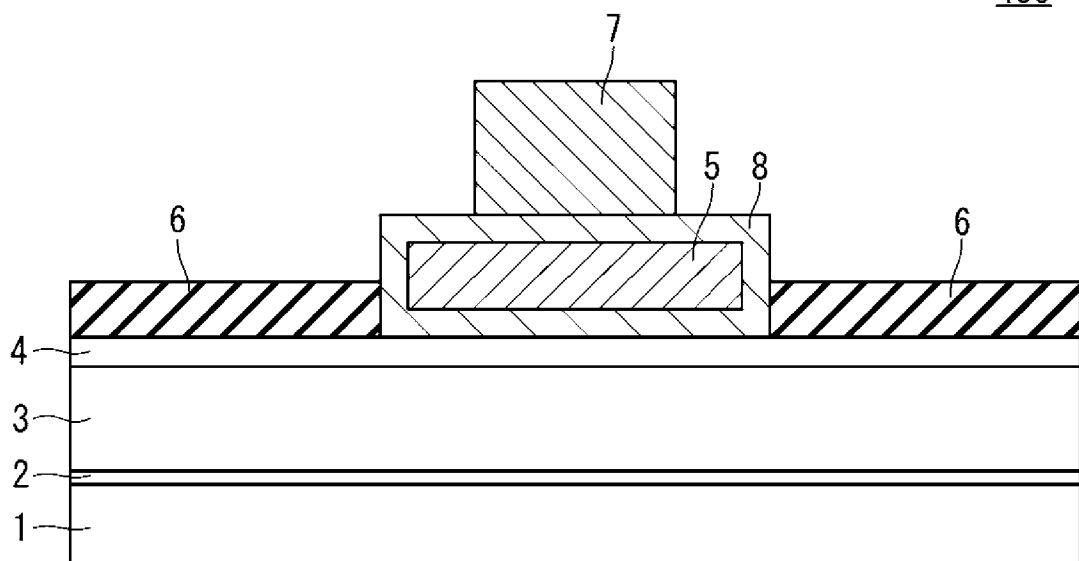
[図15]



[図16]

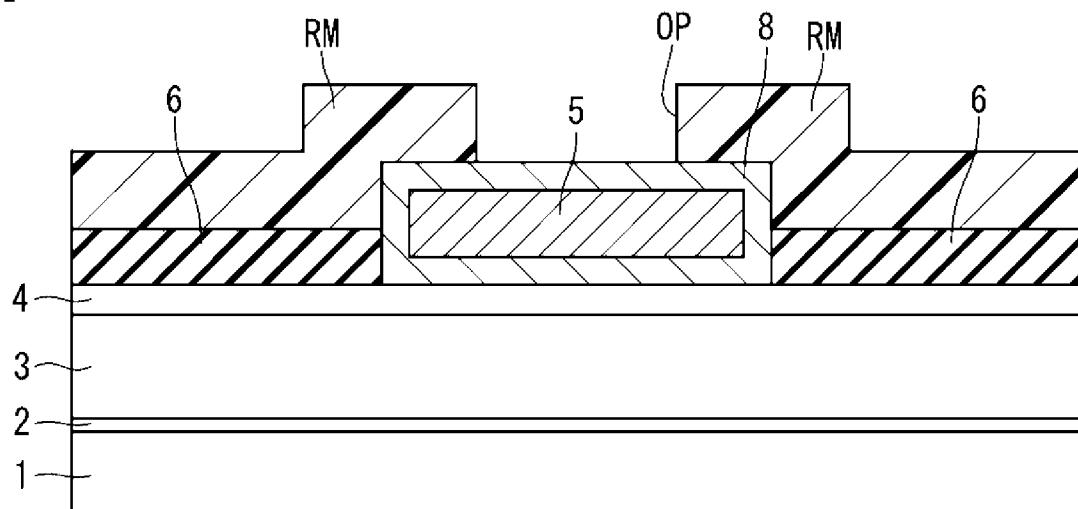


[図17]

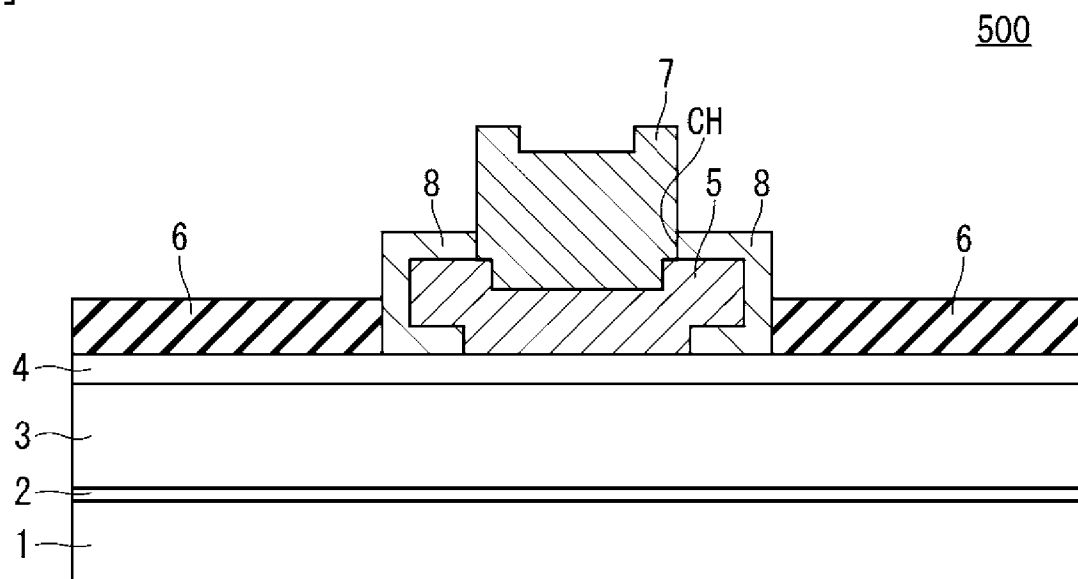


400

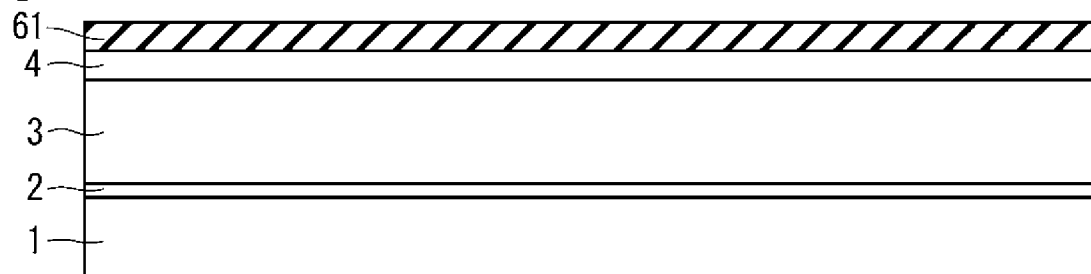
[図18]



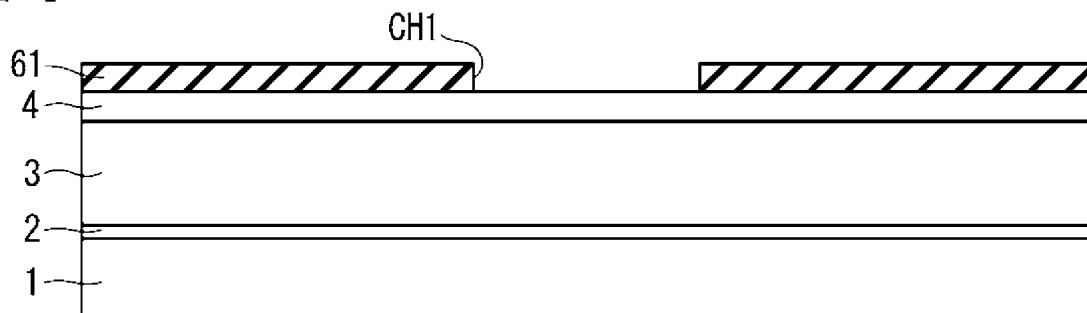
[図19]



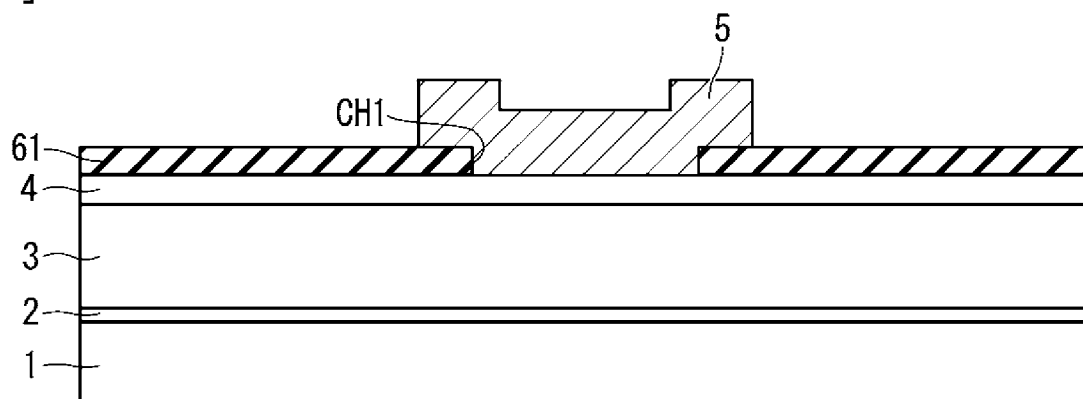
[図20]



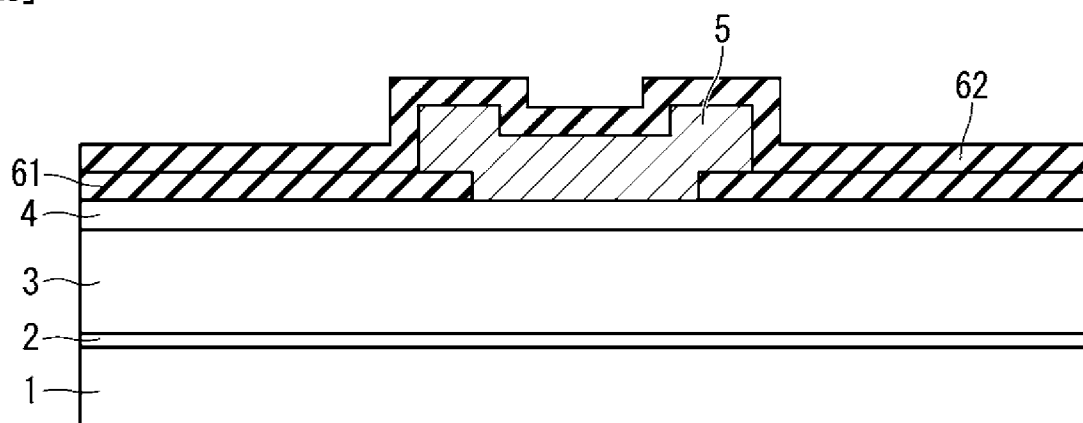
[図21]



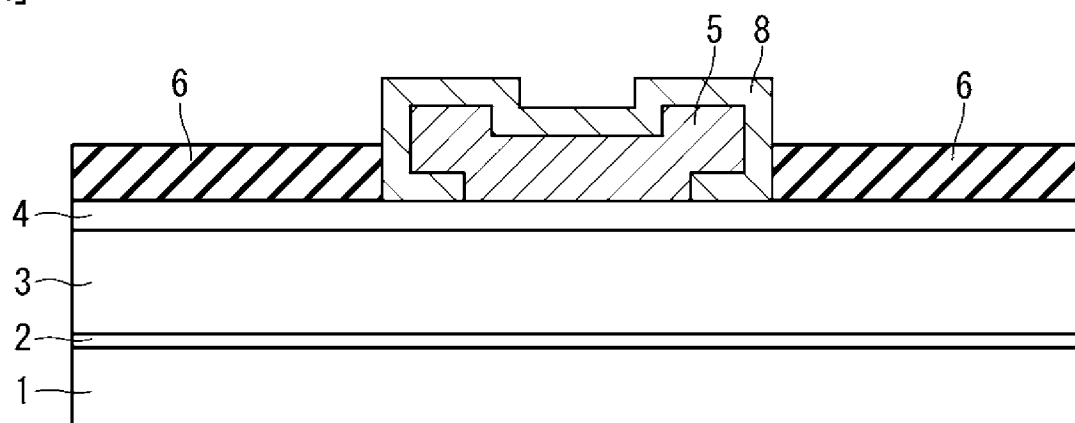
[図22]



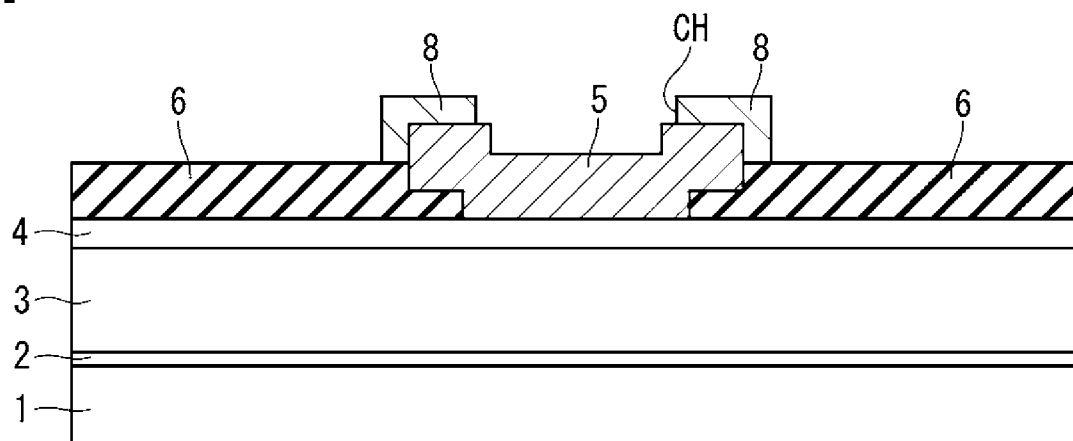
[図23]



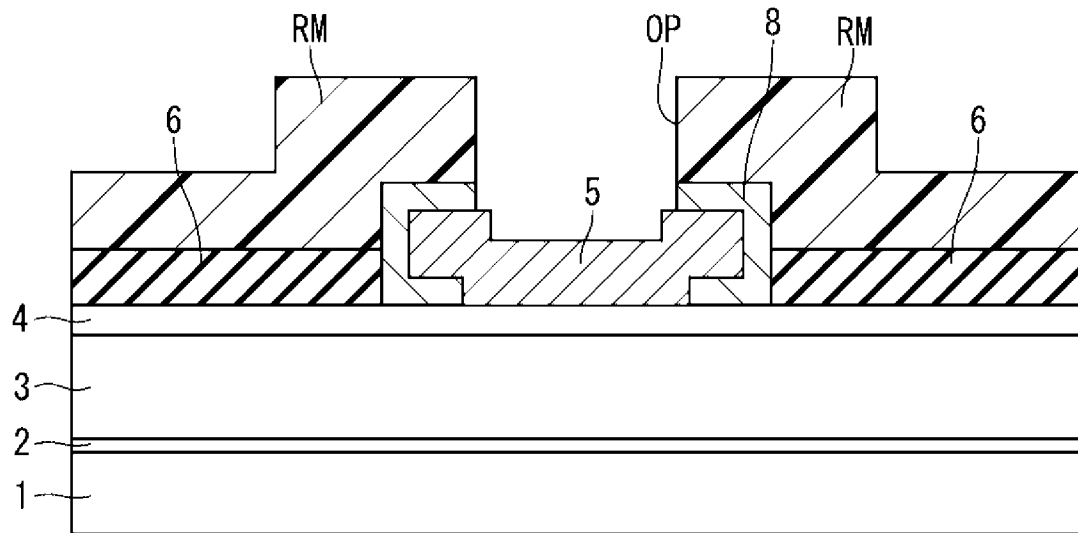
[図24]



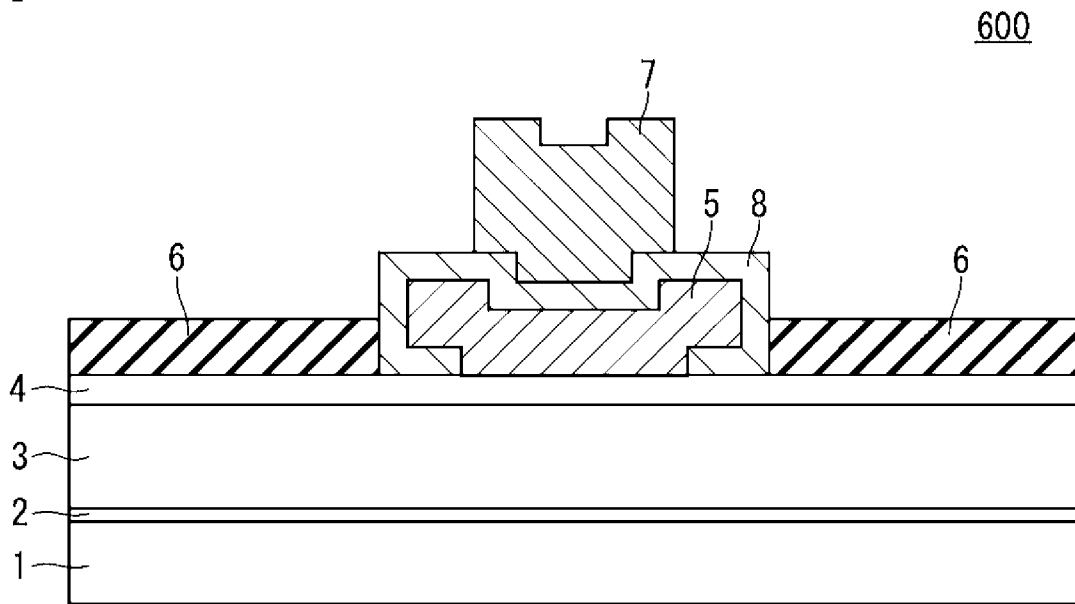
[図25]



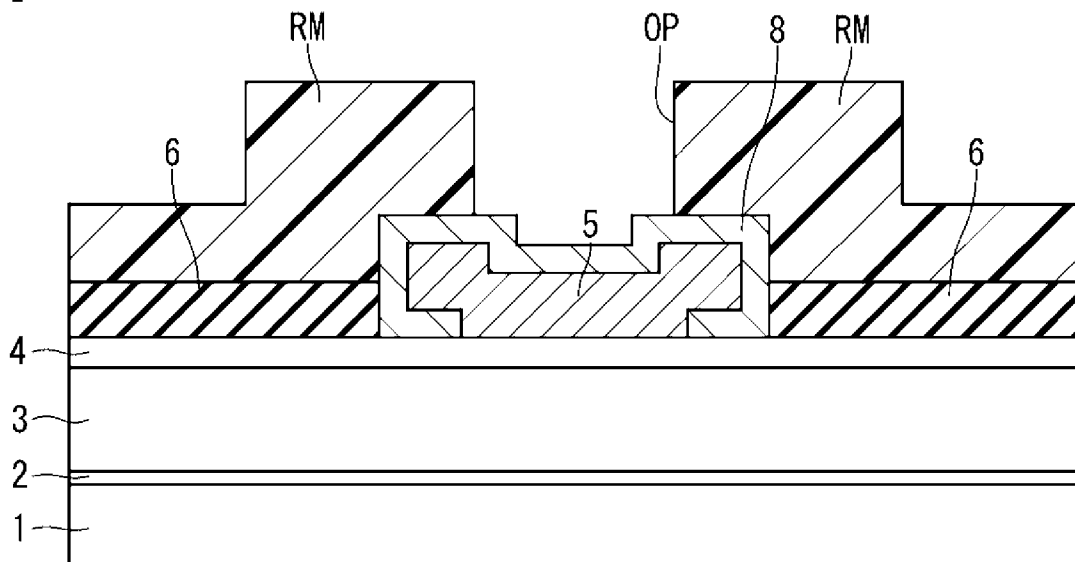
[図26]



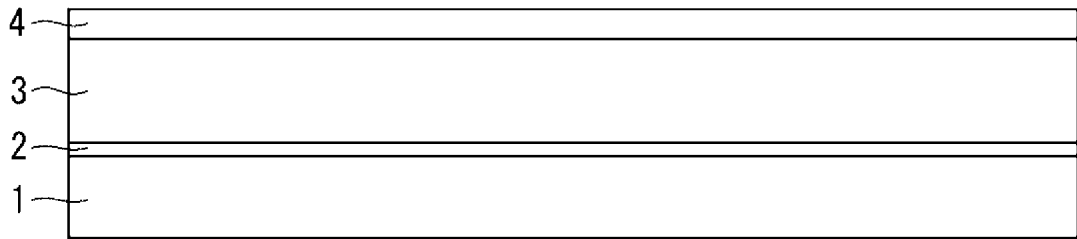
[図27]



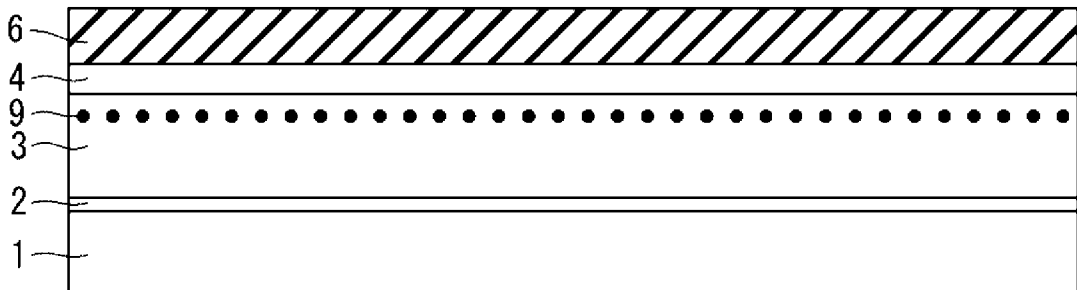
[図28]



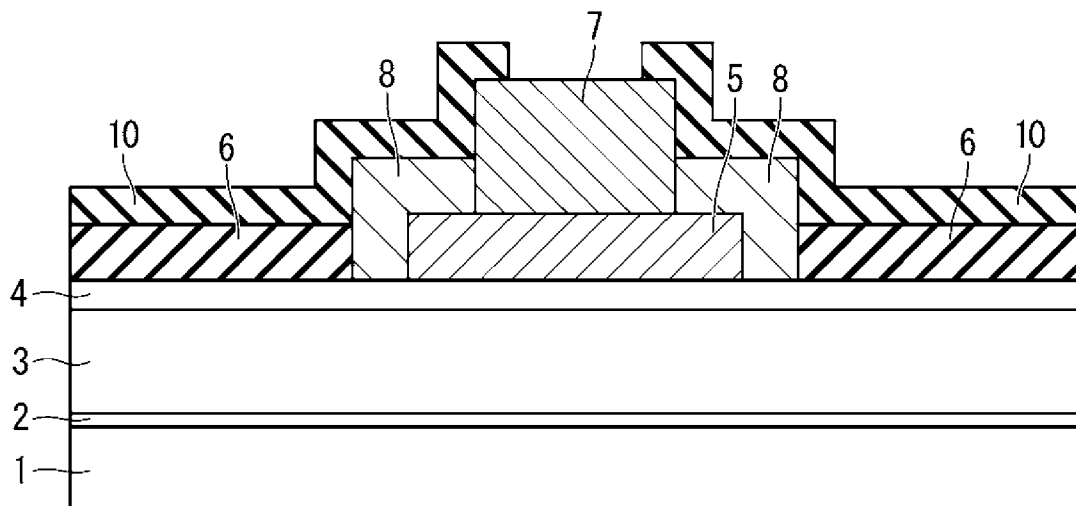
[図29]



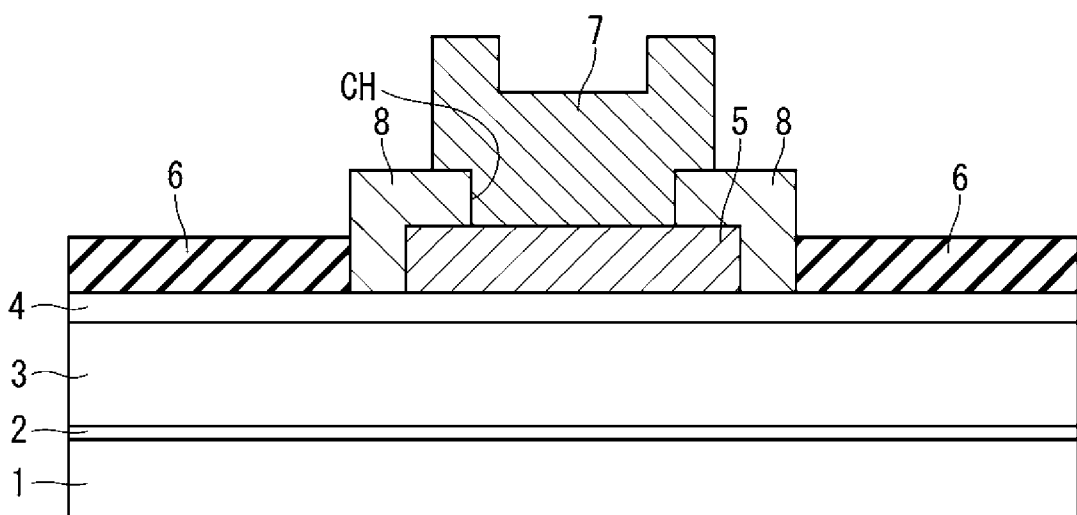
[図30]



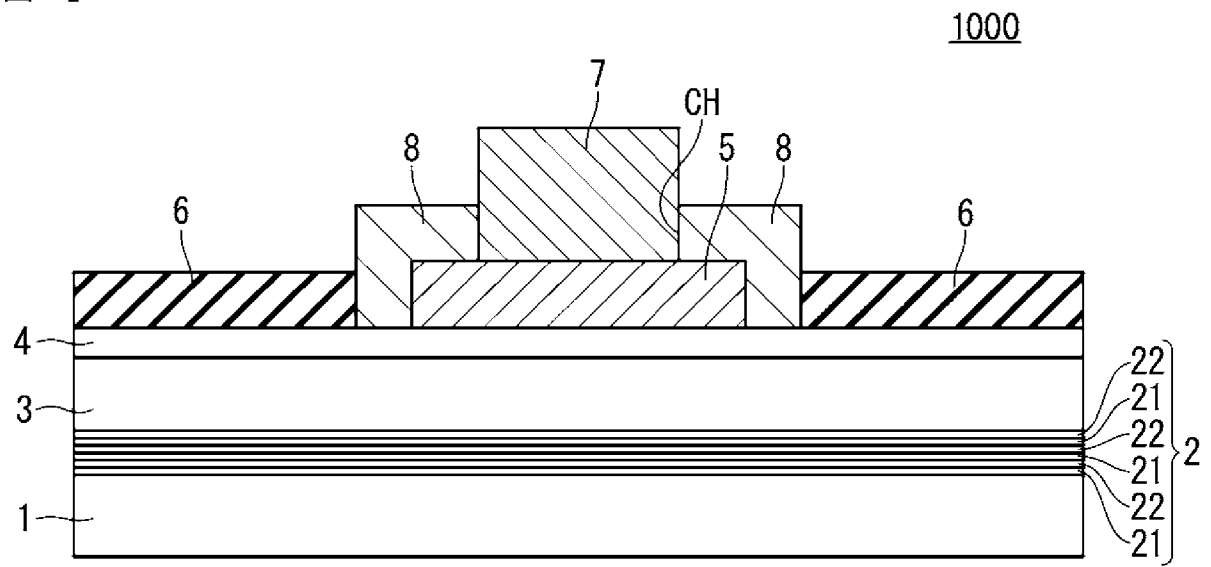
[図31]

800

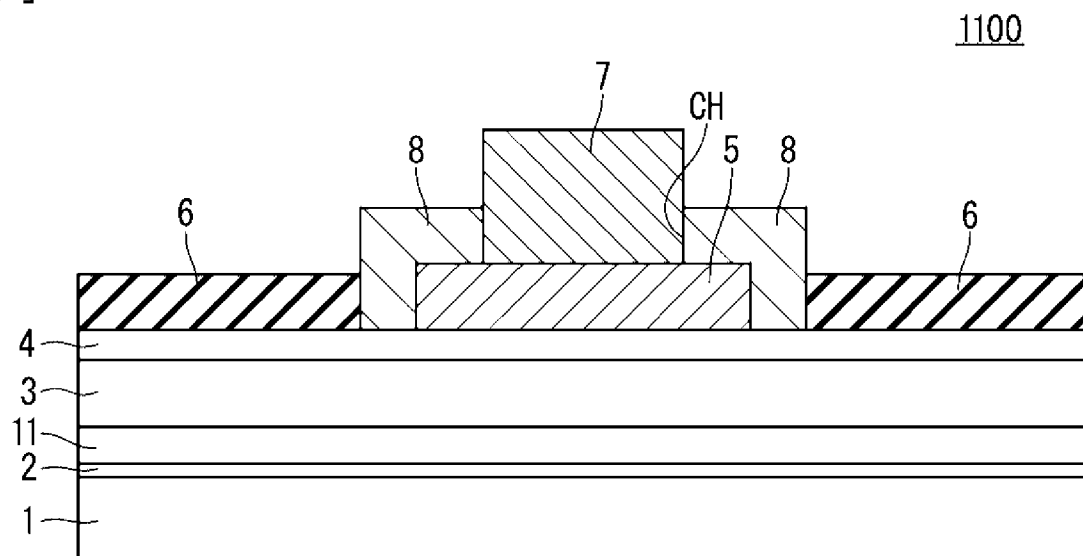
[図32]

900

[図33]



[図34]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/010900

A. CLASSIFICATION OF SUBJECT MATTER**H01L 29/812**(2006.01)i; **H01L 21/28**(2006.01)i; **H01L 21/338**(2006.01)i; **H01L 29/778**(2006.01)i

FI: H01L29/80 F; H01L29/80 H; H01L21/28 B

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/812; H01L21/28; H01L21/338; H01L29/778

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2023

Registered utility model specifications of Japan 1996-2023

Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2019-036586 A (FUJITSU LTD.) 07 March 2019 (2019-03-07)	1-3, 9-13
A	paragraphs [0017]-[0034], fig. 1-4	4-8, 14-16
X	JP 2017-085059 A (FUJITSU LTD.) 18 May 2017 (2017-05-18)	1-3, 9-13
A	paragraphs [0013]-[0033], fig. 1-4	4-8, 14-16
A	JP 2002-016086 A (FUJITSU LTD.) 18 January 2002 (2002-01-18)	1-16



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

23 May 2023

Date of mailing of the international search report

06 June 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)

3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915

Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2023/010900

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2019-036586	A	07 March 2019	(Family: none)	
JP	2017-085059	A	18 May 2017	(Family: none)	
JP	2002-016086	A	18 January 2002	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 29/812(2006.01)i; H01L 21/28(2006.01)i; H01L 21/338(2006.01)i; H01L 29/778(2006.01)i FI: H01L29/80 F; H01L29/80 H; H01L21/28 B										
B. 調査を行った分野										
調査を行った最小限資料（国際特許分類（IPC）） H01L29/812; H01L21/28; H01L21/338; H01L29/778										
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2023年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2023年	日本国実用新案登録公報	1996-2023年	日本国登録実用新案公報	1994-2023年
日本国実用新案公報	1922-1996年									
日本国公開実用新案公報	1971-2023年									
日本国実用新案登録公報	1996-2023年									
日本国登録実用新案公報	1994-2023年									
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）										
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
X	JP 2019-036586 A（富士通株式会社）07.03.2019（2019-03-07） [0017]-[0034], 図1-4	1-3, 9-13								
A		4-8, 14-16								
X	JP 2017-085059 A（富士通株式会社）18.05.2017（2017-05-18） [0013]-[0033], 図1-4	1-3, 9-13								
A		4-8, 14-16								
A	JP 2002-016086 A（富士通株式会社）18.01.2002（2002-01-18）	1-16								
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。										
<table border="0"> <tr> <td> * 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 </td> <td> “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献 </td> </tr> </table>			* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献						
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献									
国際調査を完了した日 23.05.2023		国際調査報告の発送日 06.06.2023								
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 鈴木 聡一郎 5F 2576 電話番号 03-3581-1101 内線 3516								

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2023/010900

引用文献			公表日	パテントファミリー文献	公表日
JP	2019-036586	A	07.03.2019	(ファミリーなし)	
JP	2017-085059	A	18.05.2017	(ファミリーなし)	
JP	2002-016086	A	18.01.2002	(ファミリーなし)	