



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201547029 A

(43)公開日：中華民國 104 (2015) 年 12 月 16 日

(21)申請案號：103120573

(22)申請日：中華民國 103 (2014) 年 06 月 13 日

(51)Int. Cl.：

*H01L29/786 (2006.01)**H01L21/28 (2006.01)*

(71)申請人：中華映管股份有限公司 (中華民國) CHUNGHWA PICTURE TUBES, LTD. (TW)

桃園市龍潭區華映路 1 號

(72)發明人：黃金海 HUANG, CHIN HAI (TW)；馮捷威 FENG, CHIEH WEI (TW)；黃思齊 HUANG, SZU CHI (TW)；賴冠宇 LAI, KUNE YU (TW)；黃彥餘 HUANG, YEN YU (TW)

(74)代理人：葉璟宗；詹東穎；劉亞君

申請實體審查：有 申請專利範圍項數：16 項 圖式數：4 共 30 頁

(54)名稱

薄膜電晶體

THIN FILM TRANSISTOR

(57)摘要

一種薄膜電晶體配置於一基板上。薄膜電晶體包括通道、閘極、源極、汲極以及蝕刻阻擋層。通道配置於基板上且位於蝕刻阻擋層與源極之間。閘極配置於基板上且與通道重疊。源極配置於通道與基板之間且與通道電性連接。通道配置於汲極與基板之間。蝕刻阻擋層配置於汲極與通道之間且具有暴露出部分通道的第一貫孔。汲極填入蝕刻阻擋層的第一貫孔而與通道電性連接。汲極完全地遮蔽通道。

A thin film transistor disposed on a substrate is provided. The thin film transistor includes a channel, a gate, a source, a drain and an etching stop layer. The channel is disposed above the substrate and is located between the etching stop layer and the source. The gate is disposed on the substrate and overlapped with the channel. The source is disposed between the channel and the substrate and electrically connected to the channel. The channel is disposed between the drain and the substrate. The etching stop layer is disposed between the drain and the channel and has a first through hole exposing a portion of the channel. The drain is filled in the first through hole of the etching stop layer to be electrically connected to the channel. The drain covers the channel completely.

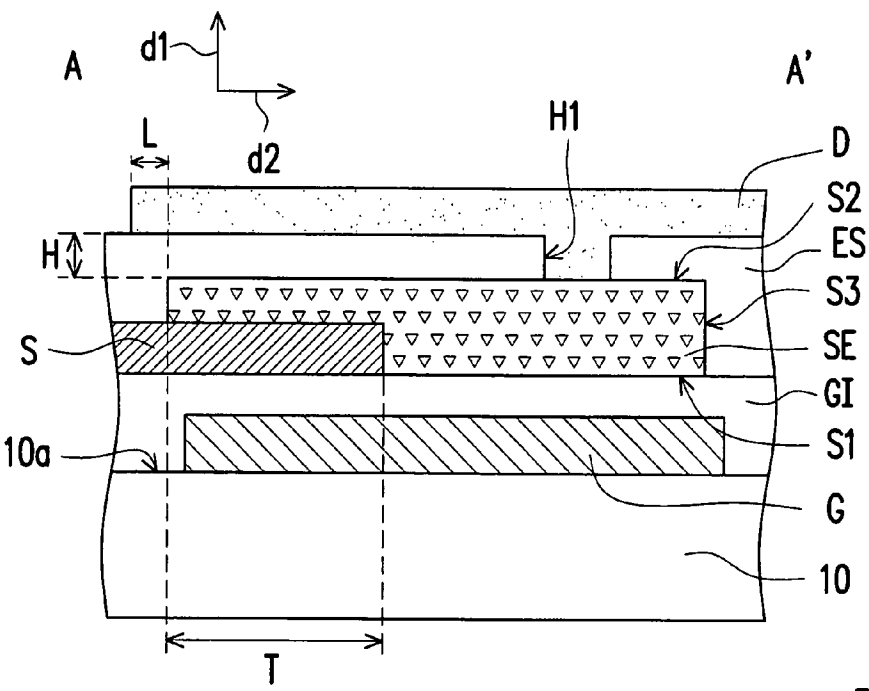


圖 2F

- 10 . . . 基板
- 10a . . . 承載面
- A-A' . . . 剖線
- D . . . 汲極
- d1、d2 . . . 方向
- ES . . . 蝕刻阻擋層
- G . . . 閘極
- GI . . . 絕緣層
- H1 . . . 第一貫孔
- H、L . . . 最短距離
- S . . . 源極
- S1 . . . 底面
- S2 . . . 頂面
- S3 . . . 外側面
- SE . . . 通道
- T . . . 接觸區
- TFT . . . 薄膜電晶體

發明摘要

※ 申請案號 : 103.06.13
※ 申請日 : 103.06.13

※IPC 分類 :

【發明名稱】 薄膜電晶體

H01L 27/178 2006.01

H01L 21/58 2006.01

THIN FILM TRANSISTOR

【中文】

一種薄膜電晶體配置於一基板上。薄膜電晶體包括通道、閘極、源極、汲極以及蝕刻阻擋層。通道配置於基板上且位於蝕刻阻擋層與源極之間。閘極配置於基板上且與通道重疊。源極配置於通道與基板之間且與通道電性連接。通道配置於汲極與基板之間。蝕刻阻擋層配置於汲極與通道之間且具有暴露出部分通道的第一貫孔。汲極填入蝕刻阻擋層的第一貫孔而與通道電性連接。汲極完全地遮蔽通道。

【英文】

A thin film transistor disposed on a substrate is provided. The thin film transistor includes a channel, a gate, a source, a drain and an etching stop layer. The channel is disposed above the substrate and is located between the etching stop layer and the source. The gate is disposed on the substrate and overlapped with the channel. The source is disposed between the channel and the substrate and electrically connected to the channel. The channel is disposed

between the drain and the substrate. The etching stop layer is disposed between the drain and the channel and has a first through hole exposing a portion of the channel. The drain is filled in the first through hole of the etching stop layer to be electrically connected to the channel. The drain covers the channel completely.

【代表圖】

【本案指定代表圖】：圖 2F。

【本代表圖之符號簡單說明】：

10：基板

10a：承載面

A-A' 剖線

D：汲極

d1、d2：方向

ES：蝕刻阻擋層

G：閘極

GI：絕緣層

H1：第一貫孔

H、L：最短距離

S：源極

S1：底面

S2：頂面

S3：外側面

SE：通道

T：接觸區

TFT：薄膜電晶體

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無。

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】 薄膜電晶體

THIN FILM TRANSISTOR

【技術領域】

【0001】 本發明是有關於一種電子元件，且特別是有關於一種薄膜電晶體。

【先前技術】

【0002】 隨著科技的發展，電子元件的微型化已成趨勢。當然，薄膜電晶體也不例外。在習知技術中，薄膜電晶體包括閘極、源極、汲極、蝕刻阻擋層以及通道。源極、汲極同屬一膜層，且分別設於通道二側。閘極與通道重疊。蝕刻阻擋層具有暴露出通道頂面的二個貫孔。源極與汲極分別填入這二個貫孔，而與通道電性連接。然而，這二個貫孔的設置使得通道必需保留被貫孔暴露出的面積，而不利於薄膜電晶體尺寸的縮減。

【0003】 此外，由於源極與汲極是分別填滿蝕刻阻擋層的二個貫孔而與通道電性連接，因此薄膜電晶體的通道寬度是由上述二個貫孔的寬度決定。受限於蝕刻阻擋層的製程能力，蝕刻阻擋層之貫孔的尺寸不易精準地控制，從而薄膜電晶體的通道寬度不易為一精準值。這樣一來，若將多個薄膜電晶體應用於顯示面板中時，顯示面板便容易因為多個薄膜電晶體之間的電性差異而產生顯示

畫面異常的問題。

【0004】 再者，美國專利公開號 US 2012/0097955A1 提出一種薄膜電晶體，包括閘極、閘極絕緣層、源極、通道層以及汲極。閘極絕緣層覆蓋於閘極及基板上。源極配置於部份閘極絕緣層上。通道層配置於閘極絕緣層上，且覆蓋閘極上方之部分源極。汲極配置於通道層上且電性連接於通道層。然而，當使用者在外界光線下使用以上述薄膜電晶體製作的顯示面板時，外界光線會穿過薄膜電晶體的汲極而照射在通道層上。此時，薄膜電晶體會產生光漏電流，而使顯示面板發生顯示異常的問題。

【發明內容】

【0005】 本發明提供一種薄膜電晶體，其尺寸小且性能佳。

【0006】 本發明的薄膜電晶體配置於基板上。薄膜電晶體包括通道、閘極、源極、汲極以及蝕刻阻擋層。通道配置於基板上且位於蝕刻阻擋層與源極之間。閘極配置於基板上且與通道重疊。源極配置於通道與基板之間且與通道電性連接。通道配置於汲極與基板之間。蝕刻阻擋層配置於汲極與通道之間且具有暴露出部分通道的第一貫孔。汲極填入蝕刻阻擋層的第一貫孔而與通道電性連接。汲極完全地遮蔽通道。

【0007】 在本發明的一實施例中，上述汲極的邊緣超出通道的邊緣。

【0008】 在本發明的一實施例中，上述汲極與通道在基板之承載

面的法線方向上的最短距離為 H ，汲極的邊緣與通道的邊緣在與法線方向垂直的另一方向上的最短距離為 L ，而

$$20^\circ \leq \tan^{-1}(L/H) \leq 50^\circ。$$

【0009】 在本發明的一實施例中， $30^\circ \leq \tan^{-1}(L/H) \leq 45^\circ$ 。

【0010】 在本發明的一實施例中，上述通道的面積為 $A1$ ，汲極的面積為 $A2$ ，汲極超出通道的部份面積為 $(A2-A1)$ ，而 $10\% \leq [(A2-A1)/A1] \leq 80\%$ 。

【0011】 在本發明的一實施例中，上述源極具有與通道接觸的接觸區，而汲極遮蔽源極的接觸區。

【0012】 在本發明的一實施例中，上述通道的面積為 $A1$ ，接觸區的面積為 $A3$ ，而 $10\% \leq (A3/A1) \leq 50\%$ 。

【0013】 在本發明的一實施例中，上述閘極暴露出部分的通道，而源極遮蔽此部分的通道。

【0014】 在本發明的一實施例中，一連線方向穿過上述源極在基板上的正投影以及第一貫孔在基板上的正投影。源極的材質包括金屬。源極在與連線方向交越的第一方向上具有第一寬度。蝕刻阻擋層的第一貫孔在與第一方向平行的第二方向上具有第二寬度。第一寬度小於第二寬度。

【0015】 在本發明的一實施例中，上述通道為完整且無貫孔的島狀圖案。通道具有面向基板的底面、背向底面的頂面以及連接底面與頂面的外側面。蝕刻阻擋層的第一貫孔暴露出部分的頂面而完全地覆蓋外側面與頂面的交界。

【0016】 在本發明的一實施例中，上述通道為完整且無貫孔的島狀圖案。通道具有面向基板的底面、背向底面的頂面以及連接底面與頂面的外側面。蝕刻阻擋層的第一貫孔暴露出部分頂面以及與此部份頂面直接連接的部份外側面。

【0017】 在本發明的一實施例中，上述通道為具有第二貫孔的中空圖案。通道具有面向基板的底面、背向底面的頂面以及連接底面與頂面且定義出第二貫孔的內側面。蝕刻阻擋層的第一貫孔與通道的第二貫孔相通。蝕刻阻擋層的第一貫孔暴露出通道的內側面以及通道的部份頂面。汲極填入蝕刻阻擋層的第一貫孔以及通道的第二貫孔而與通道的部分頂面以及通道的內側面接觸。

【0018】 在本發明的一實施例中，上述薄膜電晶體可進一步包括位於通道與閘極之間的絕緣層。

【0019】 在本發明的一實施例中，上述閘極位與絕緣層與基板之間。

【0020】 在本發明的一實施例中，上述汲極的材質包括透光導電材料或遮光導電材料。若汲極的材質為遮光導電材料，則能夠遮蔽薄膜電晶體的通道，以減少薄膜電晶體的光漏電。

【0021】 在本發明的一實施例中，上述通道的材質包括金屬氧化物半導體、單晶矽、多晶矽或非晶矽。

【0022】 基於上述，在本發明一實施例的薄膜電晶體中，由於汲極與源極是分別設置在通道的上下二側，因此蝕刻阻擋層能夠省略習知技術中提供源極填入之貫孔的設置。換言之，蝕刻阻擋層

所必需設置的貫孔數量能夠減少，而有助於薄膜電晶體尺寸的縮小。此外，由於汲極是完全地遮蔽通道，因此外界環境因子(例如：光線)不易影響通道的電性，從而薄膜電晶體的信賴性能夠提升。

【0023】 為讓本發明的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【圖式簡單說明】

【0024】

圖 1A 至圖 1F 為本發明一實施例之薄膜電晶體製造流程的上視示意圖。

圖 2A 至圖 2F 為分別對應於圖 1A 至圖 1F 的剖線 A-A' 所繪的薄膜電晶體製造流程的剖面示意圖。

圖 3A 為本發明另一實施例之薄膜電晶體的上視示意圖。

圖 3B 為對應於圖 3A 的剖線 B-B' 所繪的薄膜電晶體的剖面示意圖。

圖 4A 為本發明又一實施例之薄膜電晶體的上視示意圖。

圖 4B 為對應於圖 4A 的剖線 C-C' 所繪的薄膜電晶體的剖面示意圖。

【實施方式】

【0025】 圖 1A 至圖 1F 為本發明一實施例之薄膜電晶體製造流程的上視示意圖。圖 2A 至圖 2F 為分別對應於圖 1A 至圖 1F 的剖線

A-A' 所繪的薄膜電晶體製造流程的剖面示意圖。請參照圖 1A 及圖 2A，首先，提供基板 10。就光學特性而言，基板 10 可為透光基板或不透光/反射基板。透光基板的材質可選自玻璃、石英、有機聚合物、其他適當材料或其組合。不透光/反射基板的材質可選自導電材料、金屬、晶圓、陶瓷、其他適當材料或其組合。需說明的是，若基板 10 選用導電材料時，則需在基板 10 搭載薄膜電晶體的構件之前，於基板 10 上形成一絕緣層(未繪示)，以避免基板 10 與薄膜電晶體的構件之間發生短路的問題。就機械特性而言，基板 10 可為剛性基板或可撓性基板。剛性基板的材質可選自玻璃、石英、導電材料、金屬、晶圓、陶瓷、其他適當材料或其組合。可撓性基板的材質可選自超薄玻璃、有機聚合物(例如：塑膠)、其他適當材料或其組合。

【0026】 接著，於基板 10 上形成閘極 G。在本實施例中，若所製造的薄膜電晶體欲應用於顯示領域，則在形成閘極 G 時，更可同時形成與閘極 G 電性連接的掃描線(未繪示)。閘極 G 一般是使用金屬材料。然而，本發明不限於此，根據其他實施例，閘極 G 亦可以使用其他導電材料，例如：合金、金屬材料的氮化物、金屬材料的氧化物、金屬材料的氮氧化物、或其組合。請參照圖 1B 及圖 2B，接著，於基板 10 上形成絕緣層 GI。絕緣層 GI 覆蓋閘極 G 與基板 10。絕緣層 GI 的材料可為無機材料(例如：氧化矽、氮化矽、氮氧化矽)、有機材料或上述材料的組合。

【0027】 請參照圖 1C 及圖 2C，接著，在絕緣層 GI 上形成源極 S。

絕緣層 GI 位於源極 S 與基板 10 之間。在本實施例中，若所製造的薄膜電晶體欲應用於顯示領域，則在形成源極 S 時，更可同時形成與源極 S 電性連接的資料線(未繪示)。在本實施例中，源極 S 是選用金屬材料。然而，本發明不限於此，根據其他實施例，源極 S 亦可以使用其他導電材料。例如：合金、金屬材料的氮化物、金屬材料的氧化物、金屬材料的氮氧化物、或其組合。

【0028】請參照圖 1D 及圖 2D，接著，在源極 S 與絕緣層 GI 上形成通道 SE。部份通道 SE 可直接覆蓋源極 S 而與源極 S 電性連接。在本實施例中，通道 SE 可選擇性地為完整且無貫孔的島狀圖案。然而，本發明不限於此，通道 SE 亦可呈其它適當形狀，將於後續段落中以其他實施例為例說明。在本實施例中，通道 SE 的材質可為金屬氧化物半導體，例如氧化銦鎵鋅(IGZO)、氧化錫(ZnO)、氧化銦鋅(IZO)、氧化鉛銦鋅(HIZO)、氧化銦鎵(IGO)、氧化鎢、氧化鍺($2\text{CdO} \cdot \text{GeO}_2$)、氧化鎳鈷(NiCo_2O_4)等，但本發明不以此為限，在其他實施例中，通道 SE 的材質亦可為非晶矽、單晶矽、多晶矽或其他適當材料。

【0029】請參照圖 1E 及圖 2E，接著，於通道 SE 上形成蝕刻阻擋層 ES。蝕刻阻擋層 ES 覆蓋源極 S、與源極 S 接觸的部分通道 SE 以及部分絕緣層 GI。蝕刻阻擋層 ES 具有第一貫孔 H1。第一貫孔 H1 暴露出另一部分的通道 SE，而不暴露出通道 SE 與源極 S 接觸的部份。更進一步地說，如圖 2E 所示，在本實施例中，通道 SE 具有面向基板 10 的底面 S1、背向底面 S1 的頂面 S2 以及連接底

面 S1 與頂面 S2 的外側面 S3。蝕刻阻擋層 ES 的第一貫孔 H1 可選擇性地暴露出通道 SE 的部分頂面 S2 而完全地覆蓋外側面 S3 與頂面 S2 的交界(即通道 SE 的外邊緣)。然而，本發明不限於此，通道 SE 與蝕刻阻擋層 ES 的第一貫孔 H1 之間的相對位置亦可呈其他適當樣態，以下將於後續段落中以其他實施例為例說明。

【0030】 請參照圖 1F 及圖 2F，接著，形成汲極 D。汲極 D 可視實際的需求選用遮光導電材料[例如：鉬鉭合金(MoTa)等]、透光導電材料(例如銦錫氧化物、銦鋅氧化物、鋁錫氧化物、鋁鋅氧化物、銦銻鋅氧化物等)、其它適當材料、或者上述至少二者的組合。汲極 D 填入蝕刻阻擋層 ES 的第一貫孔 H1 而與通道 SE 的另一部份電性連接。於此，便初步完成本實施例的薄膜電晶體 TFT。

【0031】 本實施例的薄膜電晶體 TFT 包括通道 SE、閘極 G、源極 S、汲極 D 以及蝕刻阻擋層 ES。通道 SE 配置於基板 10 上且位於蝕刻阻擋層 ES 與源極 S 之間。閘極 G 配置於基板 10 上且與通道 SE 重疊。源極 S 配置於通道 SE 與基板 10 之間且與通道 SE 電性連接。通道 SE 配置於汲極 D 與基板 10 之間。蝕刻阻擋層 ES 配置於汲極 D 與通道 SE 之間且具有暴露出部分通道 SE 的第一貫孔 H1。汲極 D 填入蝕刻阻擋層 ES 的第一貫孔 H1 而與通道 SE 電性連接。特別是，汲極 D 完全地遮蔽通道 SE。當汲極 D 完全地遮蔽通道 SE 時，外界光線不易避開汲極 D 的阻擋而照射到薄膜電晶體 TFT 的通道 SE。藉此，薄膜電晶體 TFT 不易發生光漏電問題，從而降低應用薄膜電晶體 TFT 的顯示面板發生顯示異常的機率。

【0032】 更進一步地說，在本實施例中，汲極 D 的邊緣可超出通道 SE 的邊緣。詳言之，如圖 2F 所示，汲極 D 與通道 SE 在基板 10 之承載面 10a 的法線方向 d1 上的最短距離為 H，汲極 D 的邊緣與通道 SE 的邊緣在與法線方向 d1 垂直的另一方向 d2 上的最短距離為 L。為更進一步地避免外界光線由側向入射薄膜電晶體 TFT 而照射到通道 SE，最短距離 H 及最短距離為 L 可做特殊的設計。舉例而言， $20^{\circ} \leq \tan^{-1}(L/H) \leq 50^{\circ}$ 。更佳地是， $30^{\circ} \leq \tan^{-1}(L/H) \leq 45^{\circ}$ 。當最短距離 H 及最短距離為 L 滿足上述任一關係式時，由側向入射薄膜電晶體 TFT 之大部分的外界光線會被汲極 D 阻擋而不易照射到通道 SE，從而應用薄膜電晶體 TFT 的顯示面板發生顯示異常的機率能夠更進一步地降低。

【0033】 從另一角度而言，通道 SE 的面積為 A1，汲極 D 的面積為 A2，汲極 D 超出通道 SE 的部份面積為(A2-A1)，若將 $[(A2-A1)/A1]$ 設計在特殊範圍，則亦可更進一步地降低外界光線照射至薄膜電晶體 TFT 通道 SE 的機率。舉例而言， $10\% \leq [(A2-A1)/A1] \leq 80\%$ ，但本發明不以此為限。

【0034】 再者，在本實施例中，源極 S 具有與通道 SE 接觸的接觸區 T，而汲極 D 遮蔽源極 S 的接觸區 T。意即，汲極 D 遮蔽載子在通道 SE 中的傳遞路徑。此舉亦能夠有效地降低薄膜電晶體 TFT 被外界光線影響的程度。更進一步地說，通道 SE 的面積為 A1，接觸區 T 的面積為 A3，當 $10\% \leq (A3/A1) \leq 50\%$ 時，可兼顧薄膜電晶體 TFT 的尺寸縮減及電氣特性。

【0035】 此外，如圖 2F 所示，在本實施例中，閘極 G 可暴露出部分的通道 SE，而源極 S 遮蔽被閘極 G 暴露出的部分通道 SE。換言之，閘極 G 所佔的面積可設計的較小，而使與閘極 G 位於同一膜層的其他構件(例如應用薄膜電晶體 TFT 之顯示面板的共用電極)的佈局(layout)更具彈性。另一方面，被閘極 G 暴露出部分的通道 SE 則可運用配置在通道 SE 下方的源極 S 來遮蔽之。意即，大部分的通道可被閘極 G 與通道 SE 共同遮蔽。如此一來，若應用薄膜電晶體 TFT 的顯示面板為非自發光顯示面板而需採用背光源時，背光源所發出的光線不易照射至薄膜電晶體 TFT 的通道 SE，進而降低顯示面板發生顯示異常的機率。

【0036】 在本實施例中，薄膜電晶體 TFT 更包括位於通道 SE 與閘極 G 之間的絕緣層 GI。閘極 G 可選擇性設置於絕緣層 GI 與基板 10 之間。換言之，本實施例的薄膜電晶體 TFT 可為底部閘極型(bottom gate)薄膜電晶體。然而，本發明不限於此，在其他實施例中，薄膜電晶體 TFT 亦可為頂部閘極型(top gate)或其他適當形式的薄膜電晶體。

【0037】 值得一提的是，由於汲極 D 與源極 S 是分別設置在通道 SE 上下二側，因此蝕刻阻擋層 ES 能夠省略習知技術中供源極 S 填入之貫孔的設置。換言之，蝕刻阻擋層 ES 所必需設置的貫孔數量能夠減少，而有助於薄膜電晶體 TFT 尺寸的縮小。此外，由於汲極 D 是完全地遮蔽通道 SE，因此蝕刻阻擋層 ES 的第一貫孔 H1 與通道 SE 之間的可容許對位誤差以及蝕刻阻擋層 ES 的第一貫孔

H1 與汲極 D 之間的可容許對位誤差能夠較大，而使薄膜電晶體 TFT 具有易於製造的優點。另一方面，由於汲極 D 是完全地遮蔽通道 SE，因此外界環境因子(例如：光線)不影響通道 SE 的電性，從而提升薄膜電晶體 TFT 的信賴性(reliability)。

【0038】 請參照圖 1F，一連線方向 x(如剖線 A-A' 的延伸方向)穿過源極 S 在基板 10 上的正投影以及蝕刻阻擋層 ES 的第一貫孔 H1 在基板 10 上的正投影。源極 S 在與連線方向 x 交越的第一方向 y1 上具有第一寬度 W1。在本實施例中，第一方向 y1 可垂直於連線方向 x 以及基板 10 承載薄膜電晶體 TFT 之表面的法線方向。蝕刻阻擋層 ES 的第一貫孔 H1 在與第一方向 y1 平行的第二方向 y2 上具有第二寬度 W2。第一寬度 W1 小於第二寬度 W2。換言之，源極 S 與通道 SE 接觸區域的寬度(即第一寬度 W1)可小於填滿第一貫孔 H1 之汲極 D 與通道 SE 的接觸區域的寬度(即第二寬度 W2)。此時，通道 SE 的寬度是由源極 S 的第一寬度 W1 決定，而非供汲極 D 填入之第一貫孔 H1 的第二寬度 W2 決定。由於汲極 D 的製程精度控制優於蝕刻阻擋層 ES 之第一貫孔 H1 的製程精度控制，因此通道 SE 的寬度(即汲極 D 的第一寬度 W1)能夠被精準地控制，而有助於薄膜電晶體 TFT 電性的一致性。更進一步地說，若於基板 10 上同時形成多個薄膜電晶體 TFT 且將這些薄膜電晶體 TFT 應用於顯示面板中時，則顯示面板便不容易因為多個薄膜電晶體 TFT 之間的電性不一致而產生顯示異常的問題。

【0039】 圖 3A 為本發明另一實施例之薄膜電晶體的上視示意

圖。圖 3B 為對應於圖 3A 的剖線 B-B' 所繪的薄膜電晶體的剖面示意圖。請參照圖 3A 及圖 3B，薄膜電晶體 TFT' 與圖 1F 及圖 2F 的薄膜電晶體 TFT 類似，因此相同或相對應的元件以相同或相對應的符號標示。薄膜電晶體 TFT' 與薄膜電晶體 TFT 主要的差異在於：薄膜電晶體 TFT' 的通道 SE 與蝕刻阻擋層 ES' 的第一貫孔 H1' 之間的相對位置與薄膜電晶體 TFT 的通道 SE 與蝕刻阻擋層 ES 的第一貫孔 H1 之間的相對位置略有不同。以下就此差異處做說明，二者相同處便不再重述。

【0040】 薄膜電晶體 TFT' 包括通道 SE、閘極 G、源極 S、汲極 D 以及蝕刻阻擋層 ES'。通道 SE 配置於基板 10 上且位於蝕刻阻擋層 ES 與源極 S 之間。閘極 G 配置於基板 10 上且與通道 SE 重疊。源極 S 配置於通道 SE 與基板 10 之間且與通道 SE 電性連接。通道 SE 配置於汲極 D 與基板 10 之間。蝕刻阻擋層 ES' 配置於汲極 D 與通道 SE 之間且具有暴露出部分通道 SE 的第一貫孔 H1'。汲極 D 填入蝕刻阻擋層 ES' 的第一貫孔 H1' 而與通道 SE 電性連接。汲極 D 完全地遮蔽通道 SE。

【0041】 與薄膜電晶體 TFT 不同的是，如圖 3B 所示，蝕刻阻擋層 ES' 的第一貫孔 H1' 暴露出通道 SE 的部分頂面 S2 以及與此部份頂面 S2 直接連接的部份外側面 S3。換言之，如圖 3A 所示，蝕刻阻擋層 ES' 的第一貫孔 H1' 暴露出通道 SE 的部份外邊緣，而不像圖 1F 的蝕刻阻擋層 ES 般完全地覆蓋通道 SE 的外邊緣。如此一來，當汲極 D 填入蝕刻阻擋層 ES' 的第一貫孔 H1' 時，汲

極 D 會與通道 SE 的部份外側面 S3 接觸，而使通道 SE 中用以傳遞載子的路徑接近一直線段，以更進一步地優化薄膜電晶體 TFT' 的電性。

【0042】 圖 4A 為本發明又一實施例之薄膜電晶體的上視示意圖。圖 4B 為對應於圖 4A 的剖線 C-C' 所繪的薄膜電晶體的剖面示意圖。請參照圖 4A 及圖 4B，薄膜電晶體 TFT' 與圖 1F 及圖 2F 的薄膜電晶體 TFT 類似，因此相同或相對應的元件以相同或相對應的符號標示。薄膜電晶體 TFT' 與薄膜電晶體 TFT 主要的差異在於：薄膜電晶體 TFT' 通道 SE' 的形狀與薄膜電晶體 TFT 通道 SE 的形狀不同。以下就此差異處做說明，便不再重述二者相同處。

【0043】 薄膜電晶體 TFT' 包括通道 SE'、閘極 G、源極 S、汲極 D 以及蝕刻阻擋層 ES'。通道 SE' 配置於基板 10 上且位於蝕刻阻擋層 ES 與源極 S 之間。閘極 G 配置於基板 10 上且與通道 SE' 重疊。源極 S 配置於通道 SE' 與基板 10 之間且與通道 SE' 電性連接。通道 SE' 配置於汲極 D 與基板 10 之間。蝕刻阻擋層 ES' 配置於汲極 D 與通道 SE' 之間且具有暴露出部分通道 SE' 的第一貫孔 H1'。汲極 D 填入蝕刻阻擋層 ES' 的第一貫孔 H1' 而與通道 SE' 電性連接。汲極 D 完全地遮蔽通道 SE'。

【0044】 與薄膜電晶體 TFT 不同的是，如圖 4A 所示，通道 SE' 為具有第二貫孔 H2 的中空圖案。如圖 4B 所示，通道 SE' 具有面

向基板 10 的底面 S1、背向底面 S1 的頂面 S2、連接底面 S1 與頂面 S2 的外側面 S3、被外側面 S3 環繞且定義出第二貫孔 H2 的內側面 S4。蝕刻阻擋層 ES' 的第一貫孔 H1' 與通道 SE' 的第二貫孔 H2 相通。更進一步地說，蝕刻阻擋層 ES' 的第一貫孔 H1' 可完全地暴露出通道 SE' 的第二貫孔 H2 的邊緣。蝕刻阻擋層 ES' 的第一貫孔 H1' 暴露出通道 SE' 的內側面 S4 以及通道 SE' 的部份頂面 S2。汲極 D 填入蝕刻阻擋層 ES' 的第一貫孔 H1' 以及通道 SE' 的第二貫孔 H2 時，汲極 D 會與通道 SE' 的部分頂面 S2 以及通道 SE 的內側面 S4 接觸。

【0045】 值得一提的是，透過「通道 SE' 具有第二貫孔 H2，且蝕刻阻擋層 ES' 的第一貫孔 H1' 暴露出由第二貫孔 H2 定義出的通道 SE' 的內側面」的設計，即使蝕刻阻擋層 ES' 的第一貫孔 H1' 與通道 SE' 之間存在些許的對位偏移量，汲極 D 與通道 SE' 的接觸面積仍能夠維持不變。如此一來，若同時形成多個薄膜電晶體 TFT' 時，這些薄膜電晶體 TFT' 的電性能夠較為一致。當這些薄膜電晶體 TFT' 應用於顯示面板中時，顯示面板便不容易因為多個薄膜電晶體 TFT' 之間的電性差異過大而產生顯示異常的問題。

【0046】 綜上所述，在本發明一實施例的薄膜電晶體中，由於汲極與源極是分別設置在通道的上下二側，因此蝕刻阻擋層能夠省略習知技術中供源極填入之貫孔的設置。換言之，蝕刻阻擋層所必需設置的貫孔數量能夠減少，而有助於薄膜電晶體尺寸的縮

小。此外，由於汲極是完全地遮蔽通道，因此蝕刻阻擋層的第一貫孔與通道之間的可容許對位誤差以及蝕刻阻擋層的第一貫孔與汲極之間的可容許對位誤差能夠較大，而使薄膜電晶體具有易於製造的優點。另一方面，由於汲極是完全地遮蔽通道，因此外界環境因子(例如：光線)不易影響通道的電性，從而薄膜電晶體的信賴性能夠提升。

【0047】 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，故本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【符號說明】

【0048】

10：基板

10a：承載面

A-A'、B-B'、C-C'：剖線

D：汲極

d1、d2：方向

ES、ES'、ES''：蝕刻阻擋層

G：閘極

GI：絕緣層

H1、H1'、H1''：第一貫孔

H2：第二貫孔

H、L：最短距離

S：源極

S1：底面

S2：頂面

S3：外側面

S4：內側面

SE、SE'：通道

T：接觸區

TFT、TFT'、TFT''：薄膜電晶體

W1：第一寬度

W2：第二寬度

x：連線方向

y1：第一方向

y2：第二方向

申請專利範圍

1. 一種薄膜電晶體，配置於一基板上，該薄膜電晶體包括：
一通道，配置於該基板上；
一閘極，配置於該基板上且與該通道重疊；
一源極，配置於該通道與該基板之間且與該通道電性連接；
一汲極，該通道配置於該汲極與該基板之間；以及
一蝕刻阻擋層，配置於該汲極與該通道之間且具有暴露出部分該通道的一第一貫孔，該汲極填入該蝕刻阻擋層的該第一貫孔而與該通道電性連接，其中該汲極完全地遮蔽該通道。
2. 如申請專利範圍第 1 項所述的薄膜電晶體，其中該汲極的邊緣超出該通道的邊緣。
3. 如申請專利範圍第 2 項所述的薄膜電晶體，其中該汲極與該通道在該基板之一承載面的一法線方向上的最短距離為 H ，該汲極的邊緣與該通道的邊緣在與該法線方向垂直的另一方向上的最短距離為 L ，而 $20^\circ \leq \tan^{-1}(L/H) \leq 50^\circ$ 。
4. 如申請專利範圍第 3 項所述的薄膜電晶體，其中 $30^\circ \leq \tan^{-1}(L/H) \leq 45^\circ$ 。
5. 如申請專利範圍第 2 項所述的薄膜電晶體，其中該通道的面積為 $A1$ ，該汲極的面積為 $A2$ ，該汲極超出該通道的部份面積為 $(A2-A1)$ ，而 $10\% \leq [(A2-A1)/A1] \leq 80\%$ 。
6. 如申請專利範圍第 1 項所述的薄膜電晶體，其中該源極具有與該通道接觸的一接觸區，而該汲極遮蔽該源極的該接觸區。

7. 如申請專利範圍第 6 項所述的薄膜電晶體，其中該通道的面積為 $A1$ ，該接觸區的面積為 $A3$ ，而 $10\% \leq (A3/A1) \leq 50\%$ 。

8. 如申請專利範圍第 1 項所述的薄膜電晶體，其中該閘極暴露出部分的該通道，而該源極遮蔽該部分的通道。

9. 如申請專利範圍第 1 項所述的薄膜電晶體，其中一連線方向穿過該源極在該基板上的正投影以及該第一貫孔在該基板上的正投影，該源極在與該連線方向交越的一第一方向上具有一第一寬度，該蝕刻阻擋層的該第一貫孔在與該第一方向平行的一第二方向上具有一第二寬度，而該第一寬度小於該第二寬度。

10. 如申請專利範圍第 1 項所述的薄膜電晶體，其中該通道為完整且無貫孔的島狀圖案，該通道具有面向該基板的一底面、背向該底面的一頂面以及連接該底面與該頂面的一外側面，該蝕刻阻擋層的該第一貫孔暴露出部分的該頂面而完全地覆蓋該外側面與該頂面的交界。

11. 如申請專利範圍第 1 項所述的薄膜電晶體，其中該通道為完整且無貫孔的島狀圖案，該通道具有面向該基板的一底面、背向該底面的一頂面以及連接該底面與該頂面的一外側面，該蝕刻阻擋層的該第一貫孔暴露出部分該頂面以及與該部份頂面直接連接的部份該外側面。

12. 如申請專利範圍第 1 項所述的薄膜電晶體，其中該通道為具有一第二貫孔的中空圖案，該通道具有面向該基板的一底面、背向該底面的一頂面以及連接該底面與該頂面且定義出該第

二貫孔的一內側面，該蝕刻阻擋層的該第一貫孔與該通道的該第二貫孔相通，該蝕刻阻擋層的該第一貫孔暴露出該通道的該內側面以及該通道的部份該頂面，該汲極填入該蝕刻阻擋層的該第一貫孔以及該通道的該第二貫孔而與該通道的該部分該頂面以及該通道的該內側面接觸。

13. 如申請專利範圍第 1 項所述的薄膜電晶體，更包括：

一絕緣層，位於該通道與該閘極之間。

14. 如申請專利範圍第 13 項所述的薄膜電晶體，其中該閘極位與該絕緣層與該基板之間。

15. 如申請專利範圍第 1 項所述的薄膜電晶體，其中該汲極的材質包括一透光導電材料或一遮光導電材料。

16. 如申請專利範圍第 1 項所述的薄膜電晶體，其中該通道的材質包括金屬氧化物半導體、單晶矽、多晶矽或非晶矽。

圖式

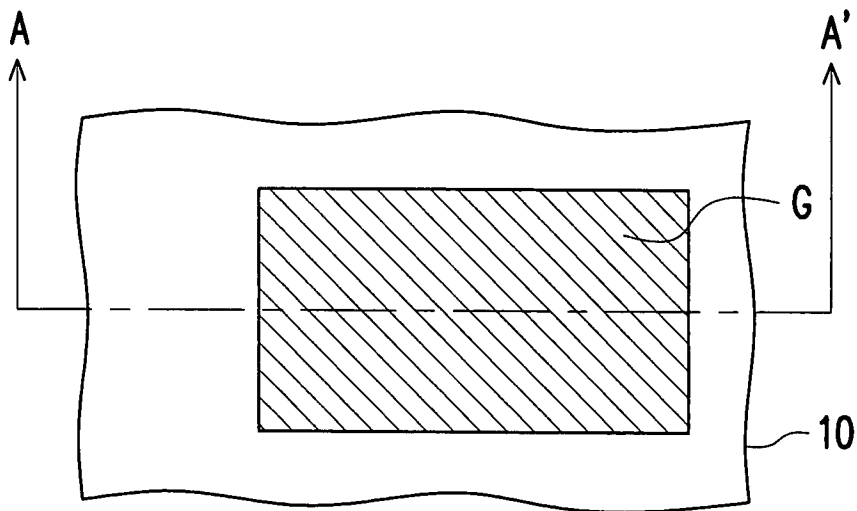


圖 1A

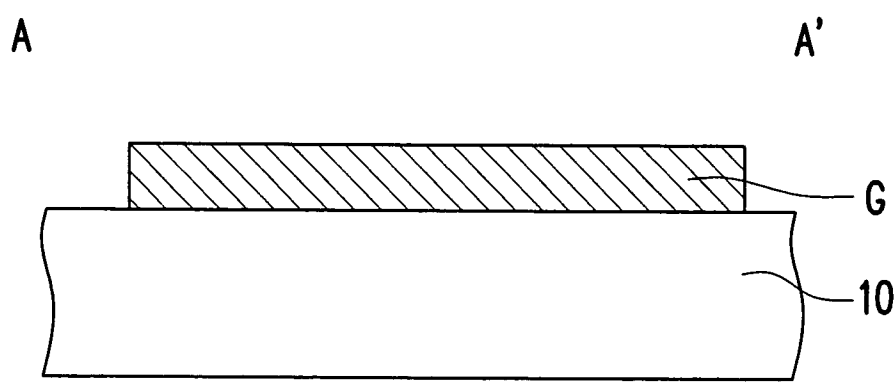


圖 2A

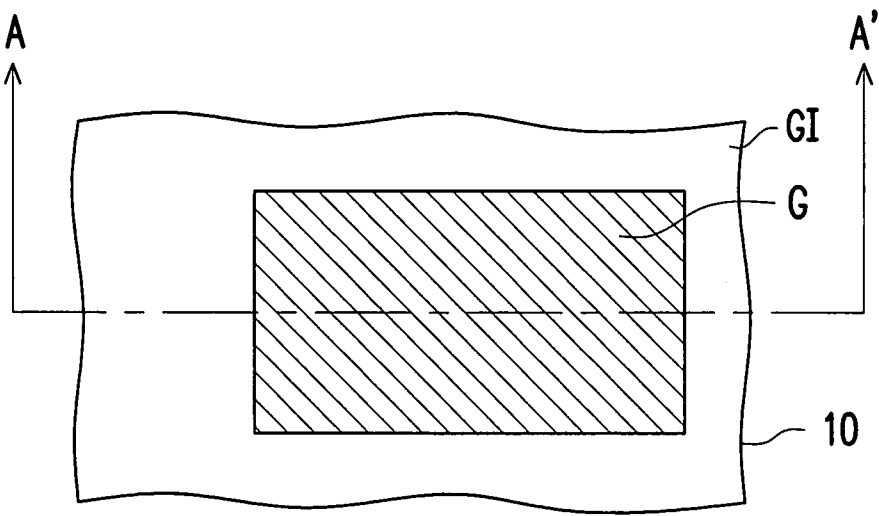


圖 1B

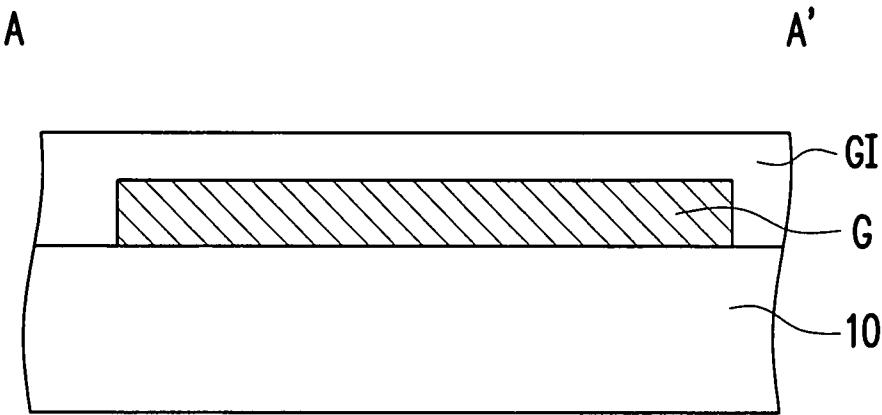


圖 2B

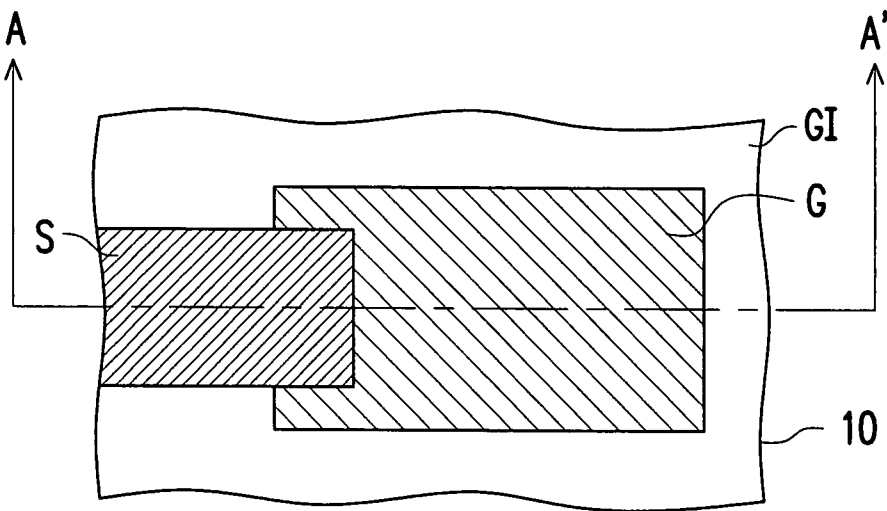


圖 1C

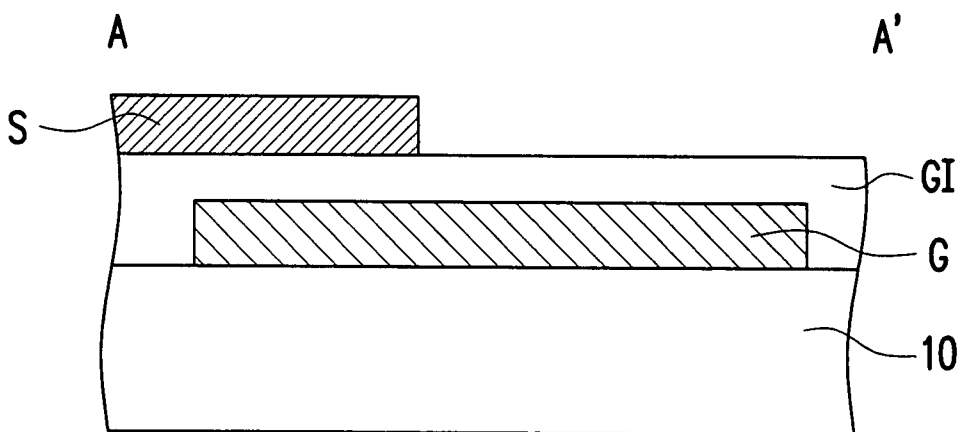


圖 2C

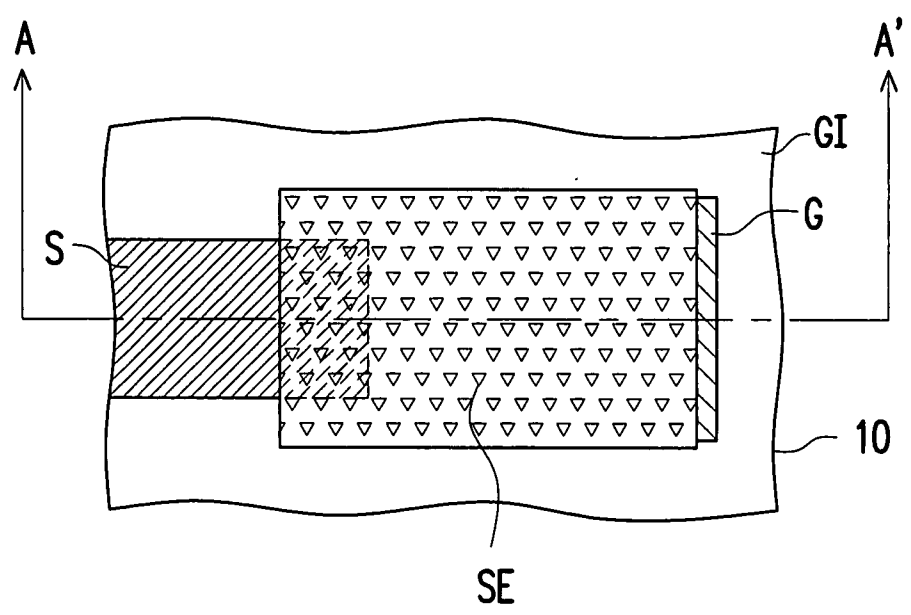


圖 1D

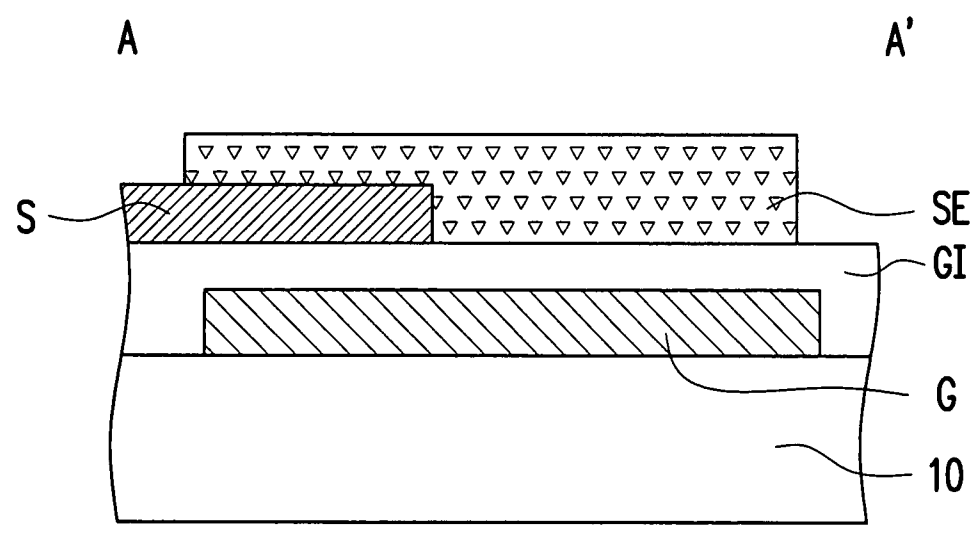


圖 2D

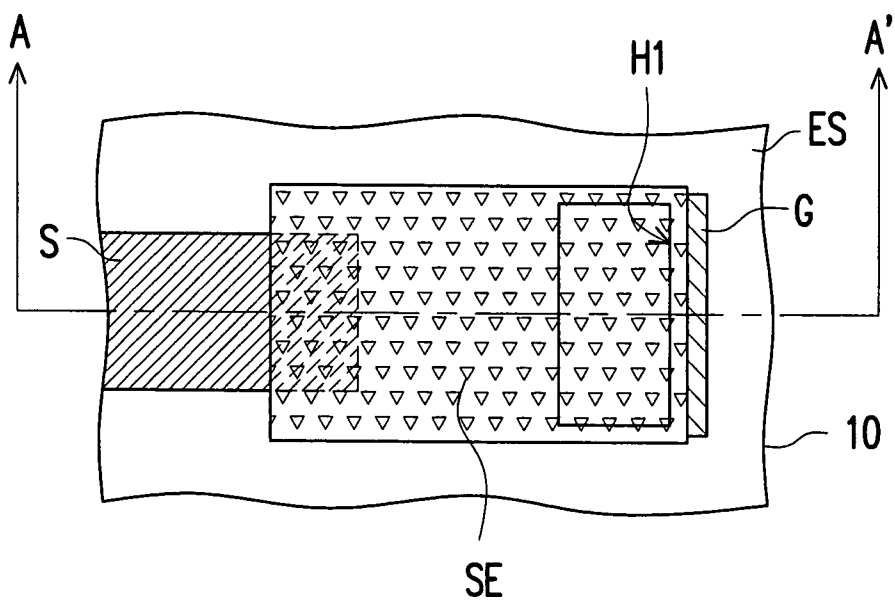


圖 1E

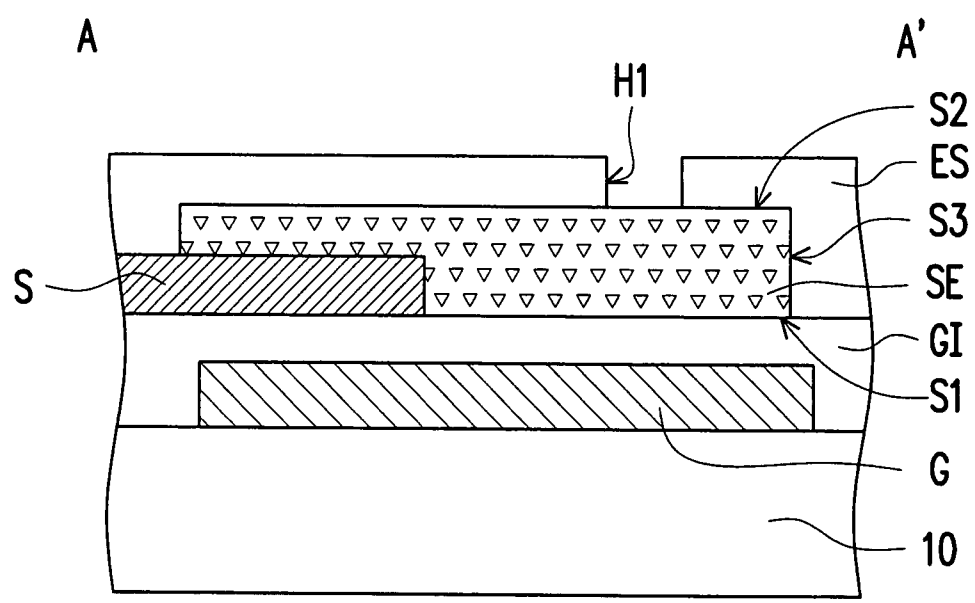
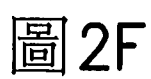


圖 2E



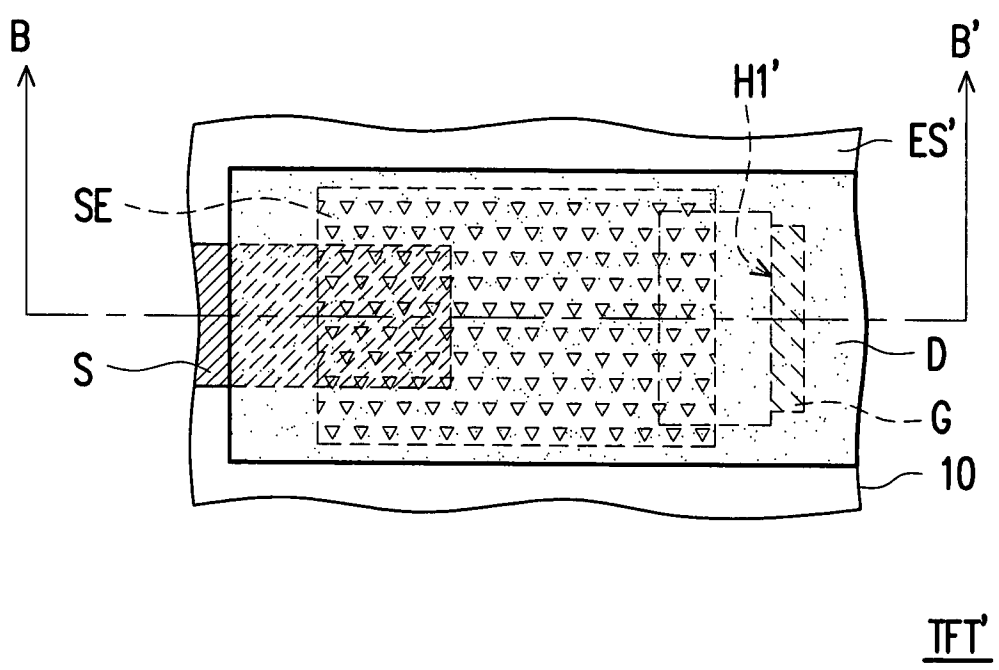


圖 3A

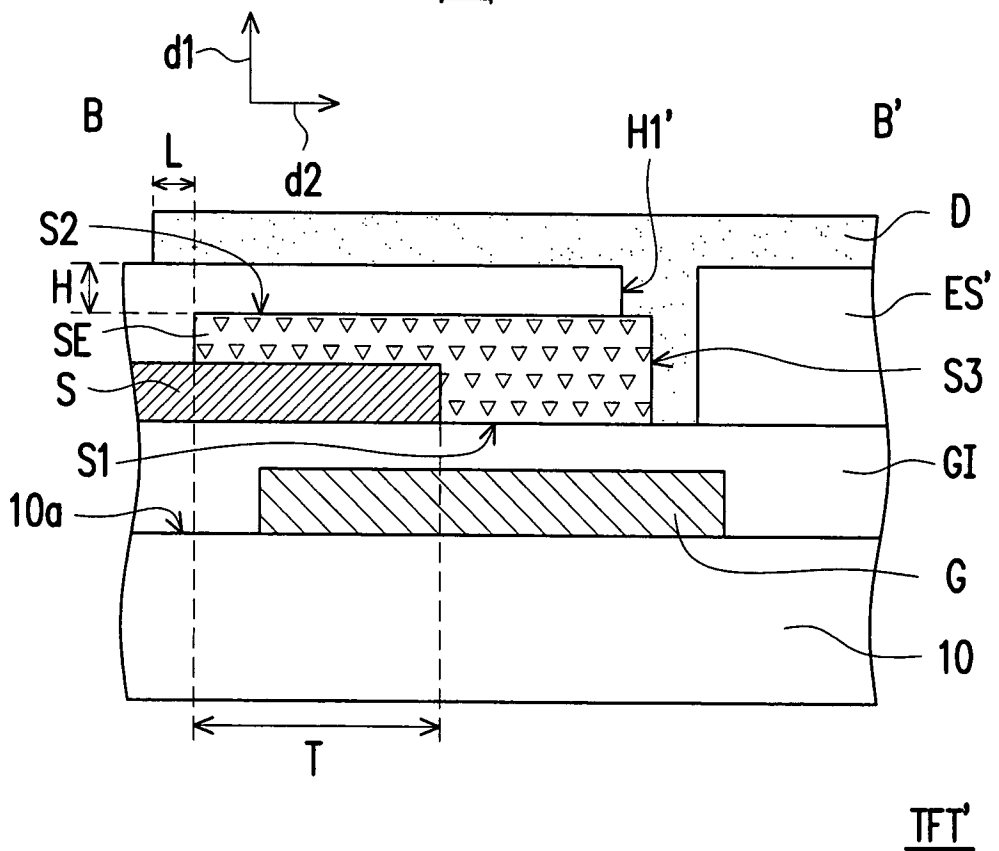


圖 3B

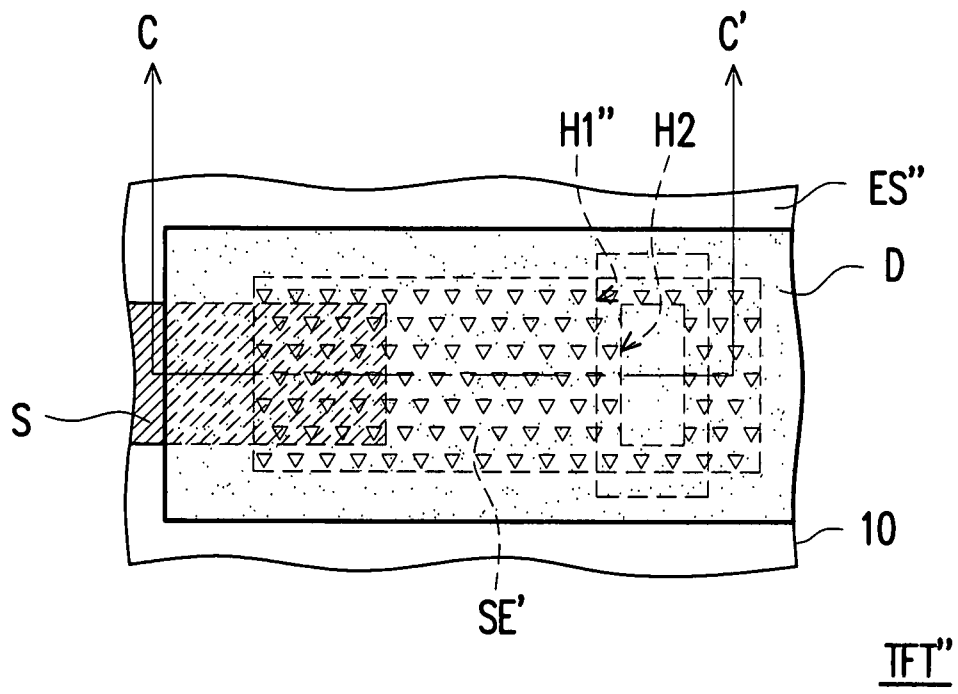


圖 4A

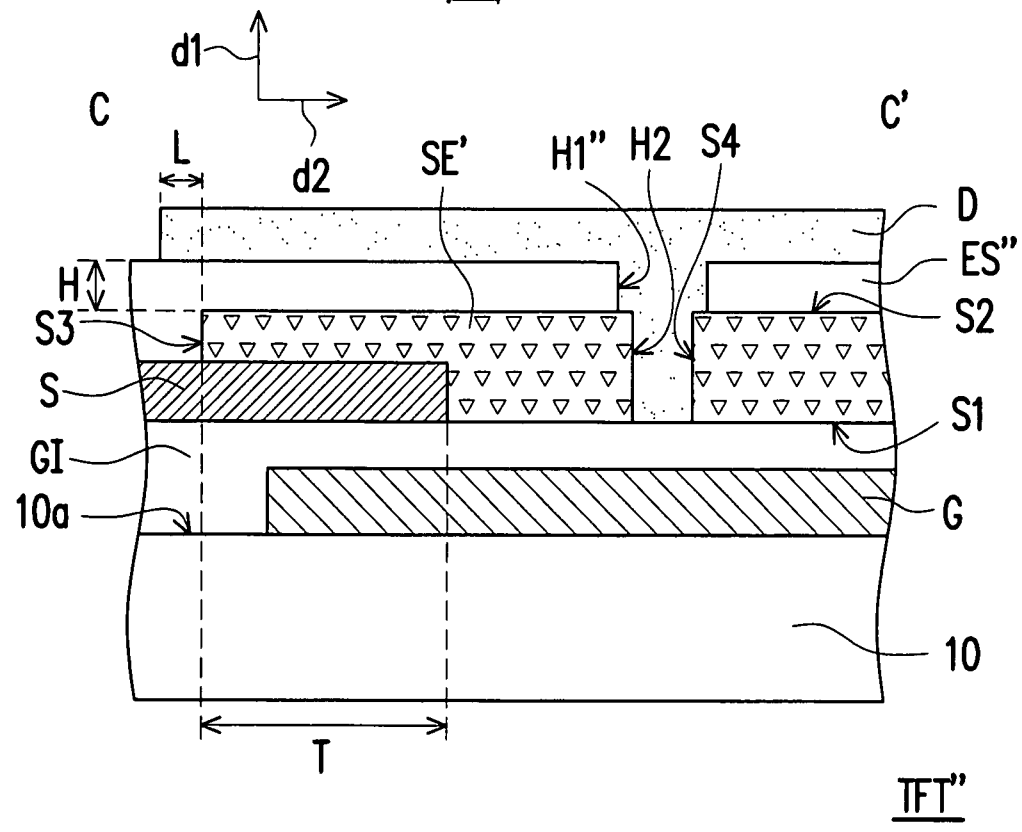


圖 4B