(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2022 年 12 月 15 日 (15.12.2022)

WIPO | PCT

(10) 国际公布号
WO 2022/257092 A1

(51) 国际专利分类号:
H01L 29/20 (2006.01) *H01G 4/33* (2006.01)
H01L 27/01 (2006.01)

(21) 国际申请号: PCT/CN2021/099575

(22) 国际申请日: 2021 年 6 月 11 日 (11.06.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 华为技术有限公司 (HUAWEI TECHNOLOGIES CO., LTD.) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

(72) 发明人: 唐高飞 (TANG, Gaofei); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。 包琦龙 (BAO, Qilong); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。 王汉星 (WANG, Hanxing); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。 蒋其梦 (JIANG, Qimeng); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。 欧阳东法 (OUYANG, Dongfa); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

(74) 代理人: 深圳市深佳知识产权代理事务所 (普通合伙) (SHENPAT INTELLECTUAL PROPERTY AGENCY); 中国广东省深圳市罗湖区南湖街道春风路庐山大厦B座18C2、18D、18E、18E2, Guangdong 518001 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,

(54) **Title:** INTEGRATED DEVICE, SEMICONDUCTOR DEVICE, AND INTEGRATED DEVICE MANUFACTURING METHOD

(54) **发明名称**: 集成器件、半导体器件以及集成器件的制作方法

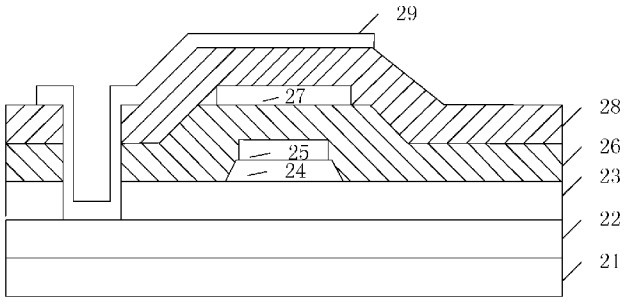


图 2

(57) **Abstract:** An integrated device, a semiconductor device, and an integrated device manufacturing method, for improving the capacitor integration density of an integrated device. The integrated device in embodiments of the present application comprises: a first metal layer on which a first dielectric layer is provided. The first metal layer, the first dielectric layer, and a gate metal layer on the first dielectric layer constitute a first capacitor, and the gate metal layer, a second dielectric layer on the gate metal layer, and a second metal layer on the second dielectric layer constitute a second capacitor. The first metal layer and the second metal layer are connected using a first conductor structure, so that the first capacitor and the second capacitor are connected in parallel.

(57) **摘要**: 一种集成器件、半导体器件以及集成器件的制作方法，用于提高集成器件电容集成密度。本申请实施例集成器件包括：第一金属层上设置有第一介质层，第一金属层、第一介质层和第一介质层之上的栅极金属层构成第一电容，且栅极金属层、栅极金属层之上的第二介质层和第二介质层之上的第二金属层构成第二电容，采用第一导体结构连接第一金属和第二金属层，使得第一电容和第二电容并联连接。

WO 2022/257092 A1

[见续页]

MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

集成器件、半导体器件以及集成器件的制作方法

技术领域

本申请涉及一种微电子技术，尤其涉及一种集成器件、半导体器件以及集成器件的制作方法。

背景技术

氮化镓（GaN）功率器件因其导通电阻小，开通速度快等优点，在电源转换领域极具潜力。但是由于该器件栅极可承受的尖峰电压（10V）小于传统的硅器件，且阈值电压偏小（1.0~2.5 V 之间），在快速开通过程中，由于板上寄生电感的缘故，使得器件栅极驱动波形容易发生振荡，进而造成器件栅极过压损坏或者器件误导通。为了解决该问题，可以在氮化镓器件的平台上，将栅极驱动电路和单管单片集成。

当前在单管工艺平台上，通常使用工艺流程中可获取的金属层来形成电容的极板（如场板层、栅金属层），电容的集成受限于芯片面积。

该芯片面积中由于介质层厚度往往占用大面积，使得电容集成受到限制。

发明内容

本申请实施例提供了一种集成器件、半导体器件以及集成器件的制作方法，用于提高集成器件电容集成密度。

本申请第一方面提供了一种集成器件，包括：第一金属层；设于第一金属层之上的第一介质层；设于第一介质层之上的第二介质层；设于第一介质层与第二介质层之间的栅极金属层；以及，设于第二介质层之上的第二金属层；其中，第一金属层、第一介质层以及栅极金属层用于构成第一电容；第二金属层、第二介质层以及栅极金属层用于构成第二电容；第一金属层与第二金属层通过第一导体结构连接，以使得第一电容与第二电容并联连接。

上述第一方面中，栅极金属层、第一介质层和第一金属层构成第一电容，栅极金属层、第二介质层和第二金属层构成第二电容，即在一个集成器件中同时形成两个电容，且通过第一导体结构将第一金属层和第二金属层连接，使得第一电容和第二电容并联连接，使得集成器件中电容容量提高，即提高了集成器件的电容集成密度。

在一个可能的实施方式中，栅极金属层与第一金属层极性相反，第二金属层与栅极金属层极性相反。

在一个可能的实施方式中，集成器件还包括第三金属层，设于第一金属层之下的 P 型导电层；设于 P 型导电层之下的氮化铝镓层；氮化铝镓层之下包括二维电子气；第一金属层、P 型导电层以及二维电子气用于构成第三电容；第三金属层穿过第二介质层、第一介质层和氮化铝镓层，与二维电子气相接，第三金属层与栅极金属层通过第二导体结构连接，以使得第一电容、第二电容和第三电容并联连接。

上述可能的实施方式中，二维电子气位于氮化铝镓层之下，该二维电子气由第三金属层和栅极金属层间的电压在预设范围内时生成。第一金属层、P 型导电层以及二维电子气

构成第三电容，在集成器件上同时构成三个电容，且通过第二导体结构将第三金属层和栅极金属层相连，使得第一电容、第二电容和第三电容并联，可以进一步提高集成器件电容集成密度。

在一个可能的实施方式中，第三金属层与第一金属层极性相反。

在一个可能的实施方式中，氮化铝镓层设置在氮化铝层之上，二维电子气位于所述氮化铝层之下。

上述可能的实施方式中，二维电子气位于氮化铝层和氮化镓层之间，可以提高二维电子气的电子浓度。

在一个可能的实施方式中，P 型导电层包括 P 型氮化镓或 P 型氮化铝镓。

在一个可能的实施方式中，第一金属层包括氮化钛或钨。

在一个可能的实施方式中，第一导体结构和第二导体结构的材料包括铜或铝。

本申请第二方面提供了一种集成器件，包括：氮化铝镓层；设于氮化铝镓层之上的第一介质层；设于第一介质层之上的第二介质层；设于第一介质层与第二介质层之间的栅极金属层；以及，设于第二介质层之上的第二金属层；其中，氮化铝镓层之下包括二维电子气；二维电子气、第一介质层以及栅极金属层用于构成第一电容；第二金属层、第二介质层以及栅极金属层用于构成第二电容；第二金属层穿过第二介质层、第一介质层和所述氮化铝镓层，与所述二维电子气相接，以使得所述第一电容与所述第二电容并联连接。

上述第二方面中，二维电子气位于氮化铝镓层之下，该二维电子气由第二金属层和栅极金属层间的电压在预设范围内时生成。栅极金属层、第一介质层和二维电子气构成第一电容，栅极金属层、第二介质层和第二金属层构成第二电容，同时在集成器件上形成两个电容，且二维电子气与第二金属层相连接，使得第一电容和第二电容并联，提高集成器件电容集成密度。

在一个可能的实施方式中，第二金属层与栅极金属层极性相反。

在一个可能的实施方式中，第一介质层包括 P 型氮化镓或 P 型氮化铝镓，栅极金属层穿过第一介质层，并形成于 P 型氮化镓或 P 型氮化铝镓之上。

在一个可能的实施方式中，氮化铝镓层设置在氮化铝层之上，二维电子气位于氮化铝层之下。

在一个可能的实施方式中，导体结构的材料包括铜或铝。

本申请第三方面提供了一种半导体器件，包括前述第一方面或第一方面任一种可选方式提供的集成器件，以及在集成器件上形成的半导体构成。

本申请第四方面提供了一种半导体器件，包括前述第二方面或第二方面任一种可选方式提供的集成器件，以及在集成器件上形成的半导体构成。

本申请第五方面提供了一种集成器件的制作方法，包括：在第一金属层上形成第一介质层；在第一介质层上形成栅极金属层；在栅极金属层上形成第二介质层；在第二介质层上形成第二金属层；其中，第一金属层、第一介质层以及栅极金属层用于构成第一电容；第二金属层、第二介质层以及栅极金属层用于构成第二电容；通过第一导体结构将第一金属层与第二金属层相连，以使得第一电容与第二电容并联连接。

在一个可能的实施方式中，该方法还包括：栅极金属层与第一金属层极性相反，第二金属层与栅极金属层极性相反。

在一个可能的实施方式中，该方法还包括：第一金属层形成于 P 型导电层之上，P 型导电层形成于氮化铝镓层之上，氮化铝镓层之下包括二维电子气，第一金属层、P 型导电层以及二维电子气用于构成第三电容；在第二介质层上形成第三金属层，第三金属层穿过第二介质层、第一介质层和氮化铝镓层，与二维电子气相接；通过第二导体结构将第三金属层与栅极金属层相连，以使得第一电容、第二电容和第三电容并联连接。

在一个可能的实施方式中，第三金属层与第一金属层极性相反。

在一个可能的实施方式中，氮化铝镓层形成于氮化铝层之上，二维电子气位于氮化铝层之下。

在一个可能的实施方式中，P 型导电层包括 P 型氮化镓或 P 型氮化铝镓。

在一个可能的实施方式中，第一金属层包括氮化钛或钨。

在一个可能的实施方式中，第一导体结构和第二导体结构的材料包括铜或铝。

本申请第六方面提供了一种集成器件的制作方法，包括：在氮化铝镓层上形成第一介质层；在第一介质层上形成栅极金属层；在栅极金属层上形成第二介质层；在第二介质层上形成第二金属层；氮化铝镓层之下包括二维电子气，二维电子气、第一介质层以及栅极金属层用于构成第一电容；第二金属层、第二介质层以及栅极金属层用于构成第二电容；通过第二金属层穿过第二介质层、第一介质层和氮化铝镓层，与二维电子气相接，以使得第一电容与第二电容并联连接。

在一个可能的实施方式中，第二金属层与栅极金属层极性相反。

在一个可能的实施方式中，第一介质层包括 P 型氮化镓或 P 型氮化铝镓，栅极金属层穿过第一介质层，并形成于 P 型氮化镓或 P 型氮化铝镓之上。

在一个可能的实施方式中，氮化铝镓层形成于氮化铝层之上，二维电子气位于氮化铝层之下。

本申请第七方面提供了一种驱动电路，包括：栅极驱动器，以及第一方面和第二方面的任一种实施方式的集成器件，或使用第五方面和第六方面的任一种实施方式的方法所得到的集成器件；其中：该栅极驱动器为上述集成器件中的栅极提供电流。

本申请第八方面提供了一种电子设备，该电子设备包括第一方面和第二方面的任一种实施方式的集成器件，或使用第五方面和第六方面的任一种实施方式的方法所得到的集成器件。

附图说明

图 1 为本申请实施例提供的功率放大架构图；

图 2 为本申请实施例提供的集成器件的一结构示意图；

图 3 为本申请实施例提供的集成器件的等效电路图一示意图；

图 4 为本申请实施例提供的集成器件的另一结构示意图；

图 5 为本申请实施例提供的集成器件的等效电路图另一示意图；

图 6 为本申请实施例提供的集成器件的另一结构示意图；

图 7 为本申请实施例提供的集成器件的等效电路图另一示意图；

图 8 为本申请实施例提供的集成器件的另一结构示意图；

图 9 为本申请实施例提供的集成器件的等效电路图另一示意图；

图 10 为本申请实施例提供的集成器件的制作方法一实施例示意图；

图 11 为本申请实施例提供的集成器件的制作方法另一实施例示意图；

图 12 为本申请实施例提供的集成器件的制作方法另一实施例示意图；

图 13 为本申请实施例提供的集成器件的制作方法另一实施例示意图；

图 14 为本申请实施例提供的集成器件的制作方法另一实施例示意图；

图 15 为本申请实施例提供的驱动电路示意图；

图 16 为本申请实施例提供的电子设备示意图。

具体实施方式

本申请实施例提供了一种集成器件、半导体器件以及集成器件的制作方法，用于提高集成器件电容集成密度。

下面结合附图，对本申请的实施例进行描述，显然，所描述的实施例仅仅是本申请一部分的实施例，而不是全部的实施例。本领域普通技术人员可知，随着技术的发展和新场景的出现，本申请实施例提供的技术方案对于类似的技术问题，同样适用。

本申请的说明书和权利要求书及上述附图中的术语“第一”、“第二”等是用于区别类似的对象，而不必用于描述特定的顺序或先后次序。应该理解这样使用的数据在适当情况下可以互换，以便这里描述的实施例能够以除了在这里图示或描述的内容以外的顺序实施。此外，术语“包括”和“具有”以及他们的任何变形，意图在于覆盖不排他的包含，例如，包含了一系列步骤或单元的过程、方法、系统、产品或设备不必限于清楚地列出的那些步骤或单元，而是可包括没有清楚地列出的或对于这些过程、方法、产品或设备固有的其它步骤或单元。

本申请实施例中所谓的“上”和“下”是基于功率器件的工艺流程来说的，以“衬底”作为底面，相对于“衬底”，延竖直路径背离“衬底”的方向为“上”，同时，延“衬底”没有设置其他层级的竖直路径的方向为“下”。

应理解，关于例如“A设于B之上”的相关表述，仅体现A在空间意义上位于B的上方，并不限定A和B之间的连接关系，示例性的，在A设于B之上的情况下，A和B可以直接接触；也可以不直接接触，例如：A和B之间可以包括C，其中，C可以不完全隔开A和B，也可以完全隔开A和B。

下面对本申请实施例中的一些关键术语进行解释。

氮化镓（GaN）：氮化镓（GaN）是一种具有较大禁带宽度的半导体，属于宽禁带半导体之列。氮化镓是微波功率晶体管的优良材料，是研制微电子器件、光电子器件的新型半导体材料，具有宽的直接带隙、强的原子键、高的热导率、化学稳定性好（几乎不被任何酸腐蚀）等性质和强的抗辐照能力。

二维电子气(Two-dimensional electron gas，2DEG)：是指电子气可以自由在二维方向移动，而在第三维上受到限制的现象，二维电子气位于氮化镓器件平台中氮化铝镓层和氮化镓层之间，该二维电子气也可以称为沟道电子。它是许多场效应器件（例如 MOSFET、HEMT）工作的基础。

金属-介质-金属（metal-insulators-metal，MIM）电容（也叫板间电容），MIM 电容器对晶体管造成的干扰最小，且可以提供较好的线形度(Linearity)和对称度(Symmetry)，因此得到了更加广泛的应用，特别是混合信号和射频领域。

本申请实施例的集成器件可以应用于任何提高集成电容密度的场景，本申请实施例以氮化镓器件为例。请参阅图 1，图 1 为本申请实施例提供的功率放大架构图，该架构图包括输入模块 11，功率放大器 12 和输出模块 13。功率放大器 12 可以对输入模块 11 的输出功率进行放大，然后再输出到输出模块 13。由于世界各国的电网电压变化很大，比如国家 A 的交流电电压为 220V，相对比较稳定。而国家 B 的电网电压波动比较大，从 90VAC 至 350VAC 不等。宽输入电压范围工作要求输入滤波电容具有更大的容量（低压时），以及更高的耐压额定值（高压时）。为支持更高的耐压，电容制造商必须增加电容的尺寸，导致体积增加很多。采用氮化镓（GaN）器件可以提升开关频率，从而降低变压器的尺寸，即，功率放大器 12 为氮化镓（GaN）器件，GaN 器件是具有更大带宽、更高放大器增益、更高能效、尺寸更小的半导体器件。相对于其他功率放大器，由于 GaN 禁带宽度大、导热率高，GaN 器件可在 200℃以上的高温下工作，能够承载更高的能量密度，可靠性更高；较大禁带宽度和绝缘破坏电场，使得器件导通电阻减少，有利于提升器件整体的能效；电子饱和速度快，以及较高的载流子迁移率，可让器件高速地工作。

目前在单管工艺平台上，通常使用工艺流程中可获取的金属层次来形成电容的极板（如场板层、栅金属层），因此，电容的集成受限于介质层厚度，而介质层往往占用芯片的大部分结构，电容的集成受限于芯片面积。

为了解决上述问题，本申请实施例提供了一种集成器件，下面对该集成器件的结构进行描述。

请参阅图 2，如图 2 所示为本申请实施例提供的集成器件的结构示意图，该集成器件包括半导体衬底 21、氮化镓（GaN）层 22、氮化铝镓（AlGaN）层 23、P 型导电层 24、第一金属层 25、第一介质层 26、栅极金属层 27、第二介质层 28 和第二金属层 29。

半导体衬底 21，该半导体衬底 21 的材料可以是硅（Si）衬底、蓝宝石（Al2O3）衬底、绝缘体上硅（SOI）衬底、氮化镓（GaN）衬底、砷化镓（GaAs）衬底、磷化铟（InP）衬底、氮化铝（AlN）衬底、碳化硅（ SiC）衬底、石英（SiO2）衬底或金刚石（C）衬底。

半导体衬底 21 上设置有氮化镓层 22，该氮化镓层 22 优选为不掺杂（掺杂可以是采用镁 Mg 作为掺杂剂）的氮化镓层。

氮化镓层 22 上设置有氮化铝镓层 23，该氮化铝镓层 23 优选为不掺杂的氮化铝镓层。

氮化铝镓层 23 上设置有 P 型导电层 24，P 型导电层 24 位于氮化铝镓层 23 的有源区上，该 P 型导电层 24 可以是 P 型氮化镓或 P 型氮化铝镓。以 P 型氮化镓为例，该 P 型氮化镓可以为掺铍的氮化镓层、掺锌的氮化镓层或掺镁的氮化镓层。

P 型导电层 24 上设置有第一金属层 25，优选地，该第一金属层的材料可以为氮化钛（TiN）或钨（W），其中，氮化钛是过渡金属氮化物，它由离子键、金属键和共价键混合而成，它具有高强度、高硬度、耐高温、耐酸碱侵蚀、耐磨损以及良好的导电性和导热性，作为欧姆接触金属的极佳材料。

第一金属层 25 上设置有第一介质层 26，该第一介质层 26 同时覆盖在第一金属层 25、P 型导电层 24 和氮化铝镓层 23 上。

第一介质层 26 上设置有栅极金属层 27， 栅极金属层 27 上设置有第二介质层 28，第二介质层 28 上设置有第二金属层 29。

第一介质层 26 可以分隔栅极金属层 27 和第一金属层 25，且第一金属层 25 和栅极金属层 27 的极性相反，使得栅极金属层 27、第一介质层 26 和第一金属层 25 构成第一电容（MIM），第二介质层 28 分隔开栅极金属层 27 和第二金属层 29，且第二金属层 29 和栅极金属层 27 的极性相反，使得，栅极金属层 27、第二介质层 28 和第二金属层 29 构成第二电容（MIM）。当第一金属层 25 与第二金属层 29 通过第一导体结构（图中未示出）连接，此时第一电容的第一端与第二电容的第一端互联，第一电容的第二端和第二电容的第二端互联，即第一电容和第二电容并联连接，则该集成器件的等效电路图可以参照图 3 所示，电路图中虚线连接表示极性相同。其中，也可以通过其他连接方式使得第一电容和第二电容并联连接，也可以通过其他连接方式使得第一电容和第二电容串联连接，此处不作限定。本申请实施例中，栅极金属层可以是正电极层，第二金属层为负电极层。

具体的，第一导体结构可以参照图 4 所示，第一金属层 25 通过其上的介质层的刻蚀孔中的导体 D1 连接到金属 M1，第二金属层 29 通过其上的介质层的刻蚀孔中的导体 D2 连接到金属 M1，其中，两个金属 M1 属于同一块金属（图中未示出）。

本申请实施例通过第一介质层可以分隔栅极金属层和氮化钛层，第二介质层分隔开栅极金属层和第二金属层，且通过第一导体结构使得第一金属层和第二金属层相连，使得第一电容和第二电容并联，使得集成器件的电容容量增大，提高集成器件的耐压性，同时实现了高电压与高电容密度。

对于不需要限制电压范围的集成器件，为实现更高的电容密度，本申请提供了如图 5 所示的集成器件另一结构示意图，该集成器件包括半导体衬底 21、氮化镓（GaN）层 22、氮化铝镓（AlGaN）层 23、P 型导电层 24、第一金属层 25、第一介质层 26、栅极金属层 27、第二介质层 28 和第二金属层 29。

半导体衬底 21，该半导体衬底 21 的材料可以是硅（Si）衬底、蓝宝石（Al2O3）衬底、绝缘体上硅（SOI）衬底、氮化镓（GaN）衬底、砷化镓（GaAs）衬底、磷化铟（InP）衬底、氮化铝（AlN）衬底、碳化硅（ SiC）衬底、石英（SiO2）衬底或金刚石（C）衬底。

半导体衬底 21 上设置有氮化镓层 22，该氮化镓层 22 优选为不掺杂（掺杂可以是采用镁 Mg 作为掺杂剂）的氮化镓层。

氮化镓层 22 上设置有氮化铝镓层 23，该氮化铝镓层 23 优选为不掺杂的氮化铝镓层。

氮化铝镓层 23 上设置有 P 型导电层 24， P 型导电层 24 位于氮化铝镓层 23 的有源区

上，该P型导电层24可以是P型氮化镓或P型氮化铝镓。以P型氮化镓为例，该P型氮化镓可以为掺铍的氮化镓层、掺锌的氮化镓层或掺镁的氮化镓层；

P型导电层24上设置有第一金属层25， 优选的，该第一金属层的材料可以为氮化钛（TiN）或钨（W），其中，氮化钛是过渡金属氮化物，它由离子键、金属键和共价键混合而成，它具有高强度、高硬度、耐高温、耐酸碱侵蚀、耐磨损以及良好的导电性和导热性，作为欧姆接触金属的极佳材料。

第一金属层25上设置有第一介质层26，该第一介质层26同时覆盖在第一金属层25、P型导电层24和氮化铝镓层23上。

第一介质层26上设置有栅极金属层27， 栅极金属层27上设置有第二介质层28，第二介质层28上设置有第二金属层29。

集成器件还包括第三金属层210，该第三金属层210与氮化铝镓层23，其中，该第三金属层210还穿过第一介质层26、第二介质层28和该氮化铝镓层23，与氮化镓层22相连接。

第一介质层26可以分隔栅极金属层27和第一金属层25，且第一金属层25和栅极金属层27的极性相反，使得栅极金属层27、第一介质层26和第一金属层25构成第一电容（MIM），第二介质层28分隔开栅极金属层27和第二金属层29，且第二金属层29和栅极金属层27的极性相反，使得，栅极金属层27、第二介质层28和第二金属层29构成第二电容（MIM），第一金属层25、P型导电层24和二维电子气211构成第三电容（CJ），二维电子气211由栅极金属层57和第三金属层210间的电压在预设范围内时生成，结电容的电压使用范围为5~7V。第三金属层210与二维电子气相接，且第三金属层210与第一金属层25的极性相反。

可选的，氮化镓层和氮化铝镓层之间还包括氮化铝层，二维电子气位于氮化铝层和氮化镓层之间，可以提高二维电子气的电子浓度。当第一金属层25通过第一导体结构（图中未示出）与第二金属层29相连，且第三金属层210与栅极金属层27通过第二导体结构（图中未示出）相连时，第一导体结构和第二导体结构可以是铜或铝，第一电容的第一端、第二电容的第一端和第三电容的第一端互联，第一电容的第二端、第二电容的第二端和第三电容的第二端互联，即，第一电容、第二电容和第三电容并联，则该集成器件的等效电路图可以参照6所示。

上述第一导体和第二导体可以参照图4中第一导体的相关描述，第一金属层25和第二金属层29分别连接金属M1，第三金属层210与栅极金属层27分别连接金属M2。

本申请实施例中，第一金属层、P 型导电层和第三金属层对应的二维电子气构成第三电容，且通过第二导体结构将第三金属层和栅极金属层相连，使得第一电容、第二电容和第三电容并联，使得集成器件的电容容量增大，提高集成器件的耐压性，可以进一步提高集成器件电容集成密度。

请参阅图 7，如图 7 所示为本申请实施例提供的集成器件的另一结构示意图，该集成器件包括半导体衬底21、氮化镓（GaN）层22、氮化铝镓（AlGaN）层23、第一介质层26、

栅极金属层 27、第二介质层 28 和第二金属层 29。

半导体衬底 21，该半导体衬底 21 的材料可以是硅（Si）衬底、蓝宝石（Al2O3）衬底、绝缘体上硅（SOI）衬底、氮化镓（GaN）衬底、砷化镓（GaAs）衬底、磷化铟（InP）衬底、氮化铝（AlN）衬底、碳化硅（ SiC）衬底、石英（SiO2）衬底或金刚石（C）衬底。

半导体衬底 21 上设置有氮化镓层 22，该氮化镓层 22 优选为不掺杂（掺杂可以是采用镁 Mg 作为掺杂剂）的氮化镓层。

氮化镓层 22 上设置有氮化铝镓层 23，该氮化铝镓层 23 优选为不掺杂的氮化铝镓层。

氮化铝镓层 23 上设置有第一介质层 26,其中,第一介质层 26 可以包括第四金属层 261，其中，第四金属层 261 可以是 P 型氮化镓或 P 型氮化铝镓，第四金属层 261 位于氮化铝镓层 23 的有源区上。以 P 型氮化镓为例，该 P 型氮化镓可以为掺铍（Be）的氮化镓层、掺锌（Zn）的氮化镓层或掺镁（Mg）的氮化镓层。可选的，该第四金属层还可以包括氮化钛或钨，其中，该氮化钛或钨完全隔开 P 型氮化镓和栅极金属层 27。

第一介质层 26 上设置有栅极金属层 27，栅极金属层 27 上设置有第二介质层 28，第二介质层 28 上设置有第二金属层 29。此时，第一介质层 26 经刻蚀露出上述第四金属层 261，栅极金属层 27 为在该刻蚀形成的刻蚀孔上形成的。

第一介质层 26 可以分隔栅极金属层 27 和氮化铝镓层 23，氮化铝镓层 23 之下的二维电子气 211 与第二金属层 29 相连接，由于第一介质层包括第四金属层 261，该第四金属层 261 可以是 P 型氮化镓或 P 型氮化铝镓，且第二金属层 29 和栅极金属层 27 的极性相反，使得栅极金属层 27、第一介质层 26 和二维电子气 211 构成的第一电容为结电容（CJ），第二介质层 28 分隔开栅极金属层 27 和第二金属层 29，且第二金属层 29 和栅极金属层 27 的极性相反，使得栅极金属层 27、第二介质层 28 和第二金属层 29 构成第二电容（MIM）。二维电子气 211 由栅极金属层 27 和第二金属层 29 间的电压在预设范围内时生成，结电容的电压使用范围为 5~7V。

可选的，氮化镓层和氮化铝镓层之间还包括氮化铝层，二维电子气位于氮化铝层和氮化镓层之间，可以提高二维电子气的电子浓度。第二金属层穿过第二介质层 28、第一介质层 26 和氮化铝镓层 23，与二维电子气 211 相接，此时第一电容的第一端与第二电容的第一端互联，第一电容的第二端和第二电容的第二端互联，即第一电容和第二电容并联连接，则该集成器件的等效电路图可以参照图 8 所示。其中，也可以通过其他连接方式使得第一电容和第二电容并联连接，也可以通过其他连接方式使得第一电容和第二电容串联连接，此处不作限定。

本申请实施例中，栅极金属层可以是正电极层，第二金属层为负电极层。本申请实施例通过栅极金属层、第一介质层和二维电子气构成第一电容，栅极金属层、第二介质层和第二金属层构成第二电容，二维电子气与第二金属层相关，使得第一电容和第二电容并联，使得集成器件的电容容量增大，提高集成器件的耐压性，提高集成器件电容集成密度。

对于图 2 所示的既满足高电压使用又具备高电容密度的电容器，本申请实施例还提供了如图 9 所示的集成器件的另一结构示意图，该集成器件包括半导体衬底 21、氮化镓层 22、

氮化铝镓层 23、第一介质层 26、栅极金属层 27、第二介质层 28 和第二金属层 29。

半导体衬底 21，该半导体衬底 21 的材料可以是硅（Si）衬底、蓝宝石（Al2O3）衬底、绝缘体上硅（SOI）衬底、氮化镓（GaN）衬底、砷化镓（GaAs）衬底、磷化铟（InP）衬底、氮化铝（AlN）衬底、碳化硅（SiC）衬底、石英（SiO2）衬底或金刚石（C）衬底。

半导体衬底 21 上设置有氮化镓层 22，该氮化镓层 22 优选为不掺杂（掺杂可以是采用镁 Mg 作为掺杂剂）的氮化镓层。

氮化镓层 22 上设置有氮化铝镓层 23，该氮化铝镓层 23 优选为不掺杂的氮化铝镓层。

氮化铝镓层 23 上设置有第一介质层 26，第一介质层 26 上设置有栅极金属层 27，栅极金属层 27 上设置有第二介质层 28，第二介质层 28 上设置有第二金属层 29。

第一介质层 26 可以分隔栅极金属层 27 和氮化铝镓层 23，本申请实施例的第一介质层 26 可以是普通的介质材料，氮化铝镓层 23 之下的二维电子气 211 与第二金属层 29 相连接，且第二金属层 29 和栅极金属层 27 的极性相反，使得栅极金属层 27、第一介质层 26 和二维电子气 211 构成的第一电容为板间电容（MIM），第二介质层 28 分隔开栅极金属层 27 和第二金属层 29，且第二金属层 29 和栅极金属层 27 的极性相反，使得栅极金属层 27、第二介质层 28 和第二金属层 29 构成第二电容（MIM）。二维电子气 211 由栅极金属层 27 和第二金属层 29 间的电压在预设范围内时生成，结电容的电压使用范围为 5~7V。

可选的，氮化镓层和氮化铝镓层之间还包括氮化铝层，二维电子气位于氮化铝层和氮化镓层之间，可以提高二维电子气的电子浓度。第二金属层穿过第二介质层 28、第一介质层 26 和氮化铝镓层 23，与二维电子气 211 相接，此时第一电容的第一端和第二电容的两端相连，即第一电容和第二电容并联连接，则该集成器件的等效电路图可以参照图 10 所示。其中，也可以通过其他连接方式使得第一电容和第二电容并联连接，也可以通过其他连接方式使得第一电容和第二电容串联连接，此处不作限定。本申请实施例中，栅极金属层可以是正电极层，第二金属层为负电极层。

本申请实施例中，栅极金属层、第一介质层和二维电子气构成第一电容，栅极金属层、第二介质层和第二金属层构成第二电容，二维电子气与第二金属层电位相同，使得第一电容和第二电容并联，且没有结电容，使得集成器件的电容容量增大，提高集成器件的耐压性，既可以提高集成器件电容集成密度，又可以实现高工作电压。

本申请实施例中，集成器件中的电容数量不限于 2-3 个或 3 个以上，示例性的，该集成器件上还可以包括一个第四介质层和一个第四金属层，使得该集成器件集多一个电容，又或者还可以将氮化镓层和氮化铝镓层分成两部分，分别由不同的负电极提供二维电子气，即该集成器件上还可以包括另外的结电容或板间电容，具体要并联还是串联可以根据需求通过导体结构连接电容的两端，此处不作限定。

请参阅图 11，图 11 为本申请实施例提供的一种集成器件的制作方法一实施例。

1101. 提供半导体衬底。

本申请实施例中，该半导体衬底的材料可以是硅（Si）衬底、蓝宝石（Al2O3）衬底、

绝缘体上硅（SOI）衬底、氮化镓（GaN）衬底、砷化镓（GaAs）衬底、磷化铟（InP）衬底、氮化铝（AlN）衬底、碳化硅（SiC）衬底、石英（SiO2）衬底或金刚石（C）衬底。

1102.在半导体衬底上形成氮化镓层。

本申请实施例中，在半导体衬底上生长氮化镓外延片，作为一个缓冲层。该氮化镓层优选为不掺杂（掺杂可以是采用镁 Mg 作为掺杂剂）的氮化镓层。

1103.在氮化镓层上形成氮化铝镓层。

本申请实施例中，该氮化铝镓层的厚度可以为 25nm～35nm，具体形成方法可以是在大约 1100℃的温度中生长在氮化镓层上，该氮化铝镓层优选为不掺杂的氮化铝镓层。

1104.在氮化铝镓层上形成 P 型导电层。

本申请实施例中，在氮化铝镓层的有源区上形成 P 型导电层，该 P 型导电层用于耗尽氮化铝镓层上的表面态负电子并中和氮化铝镓层上的悬挂键。P 型导电层可以是 P 型氮化镓或 P 型氮化铝镓。

氮化铝镓层的有源区即为将来要形成栅电极、源电极、漏电极和/或各电极之间的区域。

在一种实现方式下，采用光刻胶覆盖有源区以外的区域，然后再在有源区上形成 P 型导电层，接着去除光刻胶以及有源区以外的 P 型导电层；在另一种实现方式下，在氮化铝镓层上形成 P 型导电层，然后在有源区上形成一层光刻胶，接着将有源区以外的 P 型导电层去除，最后再去除光刻胶。具体形成方式可以根据实际需要进行选择，在此不再赘述。

1105.在 P 型导电层上形成第一金属层。

本申请实施例中，第一金属层只覆盖 P 型导电层，该第一金属层可以是氮化钛或钨，可以提供良好的导电性。其中，氮化钛是过渡金属氮化物，它由离子键、金属键和共价键混合而成，它具有高强度、高硬度、耐高温、耐酸碱侵蚀、耐磨损以及良好的导电性和导热性，作为欧姆接触金属的极佳材料。

1106.在第一金属层上形成第一介质层。

本申请实施例中，在第一金属层上形成第一介质层，该第一介质层同时也覆盖 P 型导电层和氮化铝镓层，该第一介质层用于分隔层级并保持层级间的绝缘性。

1107.在第一介质层上形成栅极金属层。

本申请实施例中，在第一介质层上覆盖一层光刻胶，将该光刻胶保留氮化铝镓层有源区相同位置的一个未覆盖区，然后再在未覆盖区上形成栅极金属层，接着去除光刻胶以及有源区以外的栅极金属层。也可以是步骤 1101 中的另一种实现方式，此处不再赘述。

栅极金属层和第一金属层的极性相反，由第一介质层分隔的栅极金属层和第一金属层构成第一电容，此时，第一电容为板间电容。

1108.在栅极金属层上形成第二介质层。

本申请实施例中，在栅极金属层上形成第二介质层，该第二介质层同时覆盖第一介质层。

1109.在第二介质层上形成第二金属层。

本申请实施例中，直接在第二介质层上形成第二金属层，第二金属层和栅极金属层的极性相反，由第二介质层分隔开的栅极金属层和第二金属层构成第二电容。第二电容为板

间电容。

1110. 通过第一导体结构将第一金属层和第二金属层相连。

本申请实施例中，采用第一导体结构连接第一金属层和第二金属层，可以使得第一电容的第一端和第二电容的第一端互连，第一电容的第二端和第二电容的第二端互连，即第一电容和第二电容并联连接，实现高电压范围与高电容密度的集成器件。

可选的，第一导体结构的材料可以是铜或铝等。

本申请实施例通过第一介质层可以分隔栅极金属层和氮化钛层，第二介质层分隔开栅极金属层和第二金属层，且通过第一导体结构使得第一金属层和第二金属层相连，使得第一电容和第二电容并联，使得集成器件的电容容量增大，提高集成器件的耐压性，同时实现了高电压与高电容密度。

请参阅图 12，图 12 为本申请实施例提供的一种集成器件的制作方法另一实施例。

1201. 提供半导体衬底。

1202. 在半导体衬底上形成氮化镓层。

1203. 在氮化镓层上形成氮化铝镓层。

1204. 在氮化铝镓层上形成 P 型导电层。

1205. 在 P 型导电层上形成第一金属层。

1206. 在第一金属层上形成第一介质层。

1207. 在第一介质层上形成栅极金属层。

1208. 在栅极金属层上形成第二介质层。

1209. 在第二介质层上形成第二金属层。

1210. 通过第一导体结构将第一金属层和第二金属层相连。

本申请实施例中，步骤 1201-1210 可以参照图 12 所示的方法中步骤 1101-1110 的相关描述，此处不再赘述。

1211. 在氮化铝镓层上形成第三金属层。

本申请实施例可以对 P 型导电层区域外的第一介质层、第二介质层和氮化铝镓层进行刻蚀，直到露出氮化镓层，并获得刻蚀孔，然后可以在该刻蚀孔形成第三金属层，第三金属层与第一金属层的极性相反，由栅极金属层和第三金属层间的电压在预设范围内时在氮化铝镓层下生成二维电子气，此时第三金属层与二维电子气相连，即二维电子气和第一金属层的极性相反。

可选的，氮化铝镓层与氮化镓器件平台中的氮化镓层之间还可以有氮化铝层，此时二维电子气位于氮化铝层和氮化镓层之间，可以提高二维电子气的电子浓度。

1212. 通过第二导体结构将第三金属层与栅极金属层相连。

本申请实施例中，第一金属层、P 型导电层和二维电子气共同构成了一个第三电容，由于该 P 型导电层中包括 P 型氮化镓或 P 型氮化铝镓，则该第三电容为结电容，可以采用一个第二导体结构将第三金属层和栅极金属层相连，以使得第一电容、第二电容和第三电容并联，得到一个更高电容密度的集成器件。第一导体结构和第二导体结构的材料可以是

铜或铝。

本申请实施例中，第一金属层、P 型导电层和第三金属层对应的二维电子气构成第三电容，且通过第二导体结构将第三金属层和栅极金属层相连，使得第一电容、第二电容和第三电容并联，使得集成器件的电容容量增大，提高集成器件的耐压性，可以进一步提高集成器件电容集成密度。

请参阅图 13，图 13 为本申请实施例提供的一种集成器件的制作方法另一实施例。

1301. 提供半导体衬底。

1302.在半导体衬底上形成氮化镓层。

1303.在氮化镓层上形成氮化铝镓层。

本申请实施例中，步骤 1301-1303 可以参照图 11 所示方法中步骤 1101-1103 的相关描述，此处不再赘述。

1304.在氮化铝镓层上形成第一介质层。

本申请实施例中，在氮化铝镓层上形成第一介质层，其中，第一介质层可以包含 P 型氮化镓或 P 型氮化铝镓。

1305.通过在第一介质层上刻蚀，露出 P 型氮化镓或 P 型氮化铝镓。

本申请实施例中，对第一介质层进行刻蚀，直到露出第一介质层中的 P 型氮化镓或 P 型氮化铝镓，具体的，当 P 型氮化镓或 P 型氮化铝镓上还设有氮化钛时，只需要对第一介质层刻蚀直到露出氮化钛。

1306.在 P 型氮化镓或 P 型氮化铝镓上形成栅极金属层。

本申请实施例中，在第一介质层刻蚀出的刻蚀孔中形成栅极金属层，该栅极金属层与 P 型氮化镓或 P 型氮化铝镓相连。当 P 型氮化镓或 P 型氮化铝镓上还设有氮化钛时，该栅极金属层与氮化钛相连。

1307.在栅极金属层上形成有第二介质层。

本申请实施例中，该第二介质层同时覆盖第一介质层和栅极金属层。

1308.在第二介质层上形成第二金属层。

本申请实施例中，可以对栅极金属层区域外的第一介质层、第二介质层和氮化铝镓层进行刻蚀，以获得刻蚀孔，该刻蚀孔底端露出氮化镓层，然后可以在这个刻蚀孔以及第二介质层上形成第二金属层，第二金属层和栅极金属层的极性相反，此时由第二介质层分隔开的栅极金属层和第二金属层构成第一电容，第一电容为板间电容，栅极金属层和第二金属层间的电压在预设范围内时在氮化铝镓层下生成了二维电子气，该二维电子气与第二金属层相连，栅极金属层、第一介质层和二维电子气共同构成了一个第三电容（结电容）。第二金属层和二维电子气电位相同，使得第一电容和第二电容的两端互连，即得第一电容和第二电容并联连接。

可选的，氮化铝镓层与氮化镓器件平台中的氮化镓层之间还可以有氮化铝层，此时二维电子气位于氮化铝层和氮化镓层之间，可以提高二维电子气的电子浓度。

本申请实施例中，栅极金属层可以是正电极层，第二金属层为负电极层。本申请实施

例通过栅极金属层、第一介质层和二维电子气构成第一电容，栅极金属层、第二介质层和第二金属层构成第二电容，二维电子气与第二金属层相关，使得第一电容和第二电容并联，使得集成器件的电容容量增大，提高集成器件的耐压性，提高集成器件电容集成密度。

请参阅图 14，图 14 为本申请实施例提供的一种集成器件的制作方法另一实施例。

1401. 提供半导体衬底。

1402. 在半导体衬底上形成氮化镓层。

1403. 在氮化镓层上形成氮化铝镓层。

本申请实施例中，步骤 1401-1403 可以参照图 11 所示方法中步骤 1101-1103 的相关描述，此处不再赘述。

1404. 在氮化铝镓层上形成第一介质层。

本申请实施例中，第一介质层覆盖氮化铝镓层，该第一介质层的材料为板间电容中的介质结构，用于分隔不同层级并提供绝缘性。

1405. 在第一介质层上形成栅极金属层。

本申请实施例中，一种实施方式，直接在第一介质层上形成栅极金属层，然后对处于氮化铝镓层有源区之上的栅极金属层部分覆盖光刻胶，再去除没有覆盖光刻胶的栅极金属层，然后去除光刻胶。

另一种实施方式，在第一介质层上覆盖除了氮化铝镓层有源区之上部分的光刻胶，然后在氮化铝镓层有源区之上的第一介质层位置形成栅极金属层，然后去除光刻胶以及有源区外的栅极金属层。

1406. 在栅极金属层上形成第二介质层。

本申请实施例中，直接在栅极金属层上形成第二介质层，该第二介质层同时覆盖栅极金属层和第一介质层。

1407. 在第二介质层上形成第二金属层。

本申请实施例中，可以对栅极金属层区域外的第一介质层、第二介质层和氮化铝镓层进行刻蚀，以获得刻蚀孔，该刻蚀孔底端露出氮化镓层，然后可以在这个刻蚀孔以及第二介质层上形成第二金属层，第二金属层和栅极金属层的极性相反，此时由第二介质层分隔开的栅极金属层和第二金属层构成第一电容，第一电容为板间电容，栅极金属层和第二金属层间的电压在预设范围内时在氮化铝镓层下生成了二维电子气，第二金属层与二维电子气相连接，栅极金属层、第一介质层和二维电子气共同构成了一个第三电容，第一介质层不包括 P 型氮化镓或 P 型氮化铝镓，则第三电容为板间电容。

第二金属层和二维电子气电位相同，使得第一电容和第二电容的两端互连，即得第一电容和第二电容并联连接。

可选的，氮化铝镓层与氮化镓器件平台中的氮化镓层之间还可以有氮化铝层，此时二维电子气位于氮化铝层和氮化镓层之间，可以提高二维电子气的电子浓度。

本申请实施例中，栅极金属层、第一介质层和二维电子气构成第一电容，栅极金属层、第二介质层和第二金属层构成第二电容，二维电子气与第二金属层电位相同，使得第一电

容和第二电容并联连接，且没有结电容，使得集成器件的电容容量增大，提高集成器件的耐压性，既可以提高集成器件电容集成密度，又可以实现高工作电压。

图 15 所示，为本申请的实施例提供的驱动电路 150 的一种可能的结构示意图。该驱动电路 150 包括栅极驱动器 1501 和集成器件 1502，其中，栅极驱动器件 1501 中可以包括多个电流源，该多个电流源中的一个或多个可以为集成器件 1502 中的栅极金属层提供电流，以改变栅极金属层的电压。该集成器件 1502 可以是图 2、图 5、图 7 和图 9 中的集成器件中任一个。

图 16 所示，为本申请的实施例提供的电子设备 160 的一种可能的结构示意图。该电子设备可以是一个适配器或服务器，以适配器为例，该适配器可以包括图 15 所示的驱动电路 150，即包括栅极驱动器 1501 和集成器件 1502，该集成器件 1502 可以是图 2、图 5、图 7 和图 9 中的集成器件中的任一个。

最后应说明的是：以上各实施例仅用以说明本发明的技术方案，而非对其限制；尽管参照前述各实施例对本发明进行了详细的说明，本领域的普通技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分或者全部技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本发明各实施例技术方案的范围。

权 利 要 求

1．一种集成器件，其特征在于，包括：

第一金属层；

设于所述第一金属层之上的第一介质层；

设于所述第一介质层之上的第二介质层；

设于所述第一介质层与所述第二介质层之间的栅极金属层；以及，

设于所述第二介质层之上的第二金属层；其中，

所述第一金属层、所述第一介质层以及所述栅极金属层用于构成第一电容；

所述第二金属层、所述第二介质层以及所述栅极金属层用于构成第二电容；

所述第一金属层与所述第二金属层通过第一导体结构连接，以使得所述第一电容与所述第二电容并联连接。

2．根据权利要求 1 所述的集成器件，其特征在于，所述栅极金属层与所述第一金属层极性相反，所述第二金属层与所述栅极金属层极性相反。

3．根据权利要求 1 所述的集成器件，其特征在于，所述集成器件还包括第三金属层，

设于所述第一金属层之下的 P 型导电层；

设于所述 P 型导电层之下的氮化铝镓层；

所述氮化铝镓层之下包括二维电子气；

所述第一金属层、所述 P 型导电层以及所述二维电子气用于构成第三电容；

所述第三金属层穿过所述第二介质层、所述第一介质层和所述氮化铝镓层，与所述二维电子气相接，所述第三金属层与所述栅极金属层通过第二导体结构连接，以使得所述第一电容、所述第二电容和所述第三电容并联连接。

4．根据权利要求 3 所述的集成器件，其特征在于，所述第三金属层与所述第一金属层极性相反。

5．根据权利要求 3 所述的集成器件，其特征在于，所述氮化铝镓层设置在氮化铝层之上，所述二维电子气位于所述氮化铝层之下。

6.根据权利要求 1 至 5 任一项所述的集成器件，其特征在于，所述 P 型导电层包括 P 型氮化镓或 P 型氮化铝镓。

7．根据权利要求 1 至 5 任一项所述的集成器件，其特征在于，所述第一金属层包括氮化钛或钨。

8．根据权利要求 2 至 5 任一项所述的集成器件，其特征在于，所述第一导体结构和所述第二导体结构的材料包括铜或铝。

9．一种集成器件，其特征在于，包括：

氮化铝镓层；

设于所述氮化铝镓层之上的第一介质层；

设于所述第一介质层之上的第二介质层；

设于所述第一介质层与所述第二介质层之间的栅极金属层；以及，

设于所述第二介质层之上的第二金属层；其中，

所述氮化铝镓层之下包括二维电子气；

所述二维电子气、所述第一介质层以及所述栅极金属层用于构成第一电容；

所述第二金属层、所述第二介质层以及所述栅极金属层用于构成第二电容；

所述第二金属层穿过所述第二介质层、所述第一介质层和所述氮化铝镓层，与所述二维电子气相接，以使得所述第一电容与所述第二电容并联连接。

10．根据权利要求 9 所述的集成器件，其特征在于，所述第二金属层与所述栅极金属层极性相反。

11．根据权利要求 9-10 任一项所述的集成器件，其特征在于，所述第一介质层包括 P 型氮化镓或 P 型氮化铝镓，所述栅极金属层穿过所述第一介质层，并形成于所述 P 型氮化镓或所述 P 型氮化铝镓之上。

12．根据权利要求 9-10 任一项所述的集成器件，其特征在于，所述氮化铝镓层设置在氮化铝层之上，所述二维电子气位于所述氮化铝层之下。

13．一种半导体器件，其特征在于，包括权利要求 1～12 中任一项所述的集成器件，以及在所述集成器件上形成的半导体构成。

14．一种集成器件的制作方法，其特征在于，包括：

在第一金属层上形成第一介质层；

在所述第一介质层上形成栅极金属层；

在所述栅极金属层上形成第二介质层；

在所述第二介质层上形成第二金属层；其中，

所述第一金属层、所述第一介质层以及所述栅极金属层用于构成第一电容；

所述第二金属层、所述第二介质层以及所述栅极金属层用于构成第二电容；

通过第一导体结构将所述第一金属层与所述第二金属层相连，以使得所述第一电容与所述第二电容并联连接。

15．根据权利要求 14 所述的集成器件的制作方法，其特征在于，所述栅极金属层与所述第一金属层极性相反，所述第二金属层与所述栅极金属层极性相反。

16．根据权利要求 14 所述的集成器件的制作方法，其特征在于，所述第一金属层形成于 P 型导电层之上，所述 P 型导电层形成于氮化铝镓层之上，所述氮化铝镓层之下包括二维电子气，所述第一金属层、所述 P 型导电层以及所述二维电子气用于构成第三电容；

在所述第二介质层上形成第三金属层，所述第三金属层穿过所述第二介质层、所述第一介质层和所述氮化铝镓层，与所述二维电子气相接；

通过第二导体结构将所述第三金属层与所述栅极金属层相连，以使得所述第一电容、所述第二电容和所述第三电容并联连接。

17．根据权利要求 16 所述的集成器件的制作方法，其特征在于，所述第三金属层与所述第一金属层极性相反。

18．根据权利要求 16 所述的集成器件的制作方法，其特征在于，所述氮化铝镓层形成于氮化铝层之上，所述二维电子气位于所述氮化铝层之下。

19．根据权利要求 16 至 18 任一项所述的集成器件的制作方法，其特征在于，所述 P

型导电层包括P型氮化镓或P型氮化铝镓。

20．根据权利要求14至18任一项所述的集成器件的制作方法，其特征在于，所述第一金属层包括氮化钛或钨。

21．根据权利要求16至18任一项所述的集成器件的制作方法，其特征在于，所述第一导体结构和所述第二导体结构的材料包括铜或铝。

22．一种集成器件的制作方法，其特征在于，包括：

在氮化铝镓层上形成第一介质层；

在所述第一介质层上形成栅极金属层；

在所述栅极金属层上形成第二介质层；

在所述第二介质层上形成第二金属层；

所述氮化铝镓层之下包括二维电子气，所述二维电子气、所述第一介质层以及所述栅极金属层用于构成第一电容；

所述第二金属层、所述第二介质层以及所述栅极金属层用于构成第二电容；

通过所述第二金属层穿过所述第二介质层、所述第一介质层和所述氮化铝镓层，与所述二维电子气相接，以使得所述第一电容与所述第二电容并联连接。

23．根据权利要求22所述的集成器件的制作方法，其特征在于，所述第二金属层与所述栅极金属层极性相反。

24．根据权利要求22所述的集成器件的制作方法，其特征在于，所述第一介质层包括P型氮化镓或P型氮化铝镓，所述栅极金属层穿过所述第一介质层，并形成于所述P型氮化镓或所述P型氮化铝镓之上。

25．根据权利要求22至24任一项所述的集成器件的制作方法，其特征在于，所述氮化铝镓层形成于氮化铝层之上，所述二维电子气位于所述氮化铝层之下。

26．一种驱动电路，其特征在于，包括：

栅极驱动器和如权利要求1至12中任一项所述的集成器件，或使用如权利要求14至25任一项所述的集成器件的制作方法所得到的集成器件；其中：所述栅极驱动器用于为所述集成器件提供电流。

27.一种电子设备，其特征在于，包括如权利要求1至12中任一项所述的集成器件，或使用如权利要求14至25任一项所述的集成器件的制作方法所得到的集成器件。

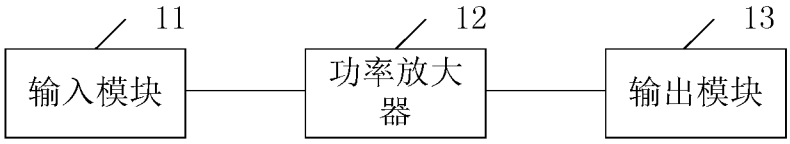


图 1

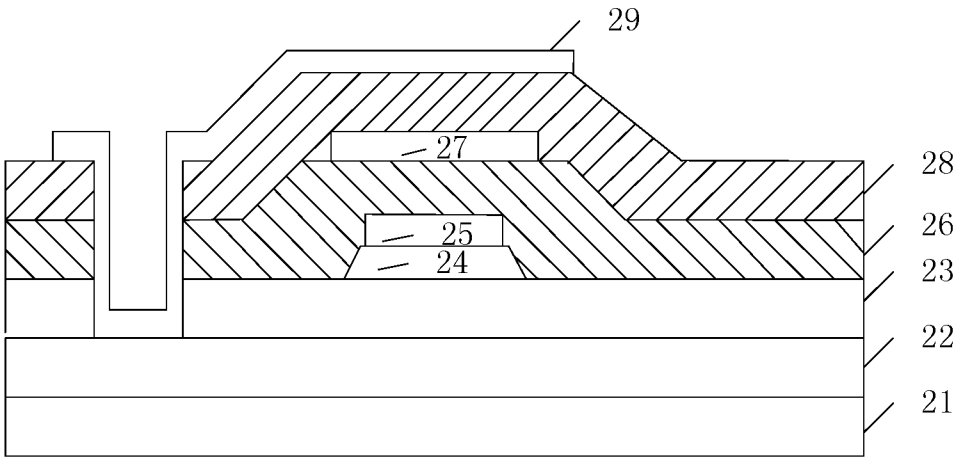


图 2

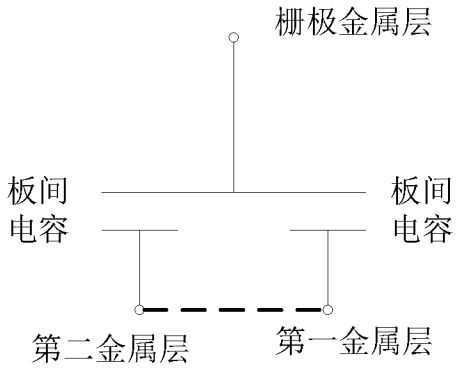

栅极金属层
板间
电容
板间
电容
第二金属层
第一金属层

图 3

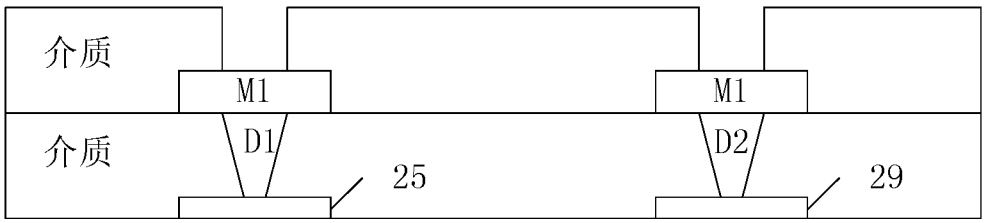

介质
介质
M1
M1
D1
D2
25
29

图 4

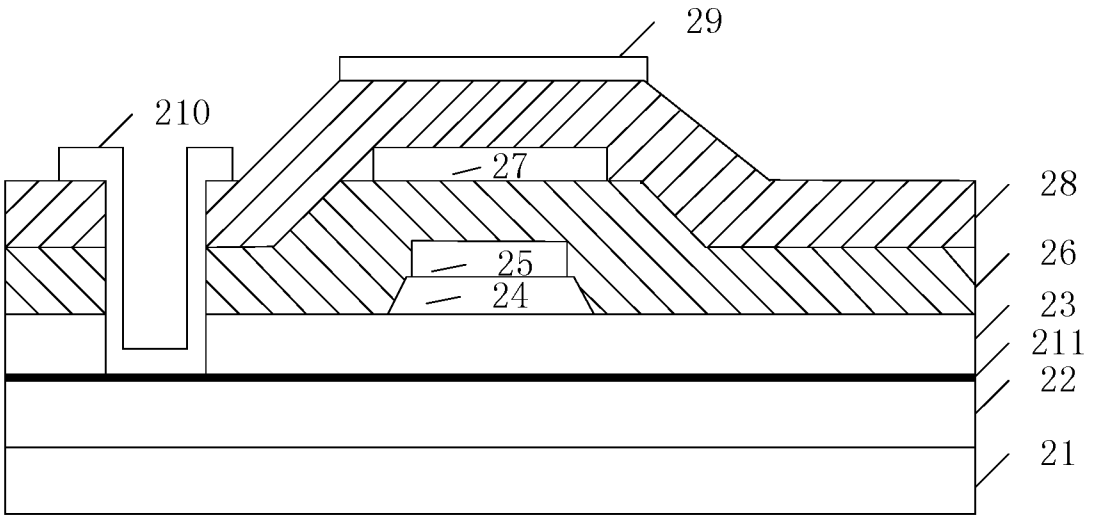

29
210
27
28
26
25
24
23
211
22
21

图 5

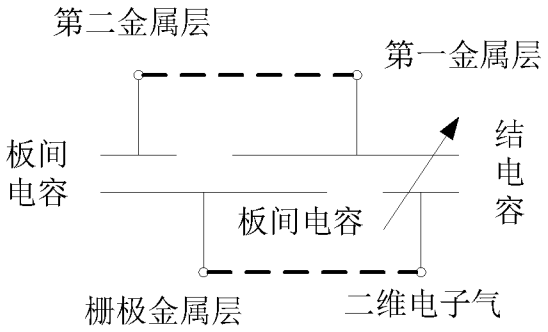

第二金属层
第一金属层
板间
电容
结
电
容
板间电容
栅极金属层
二维电子气

图 6

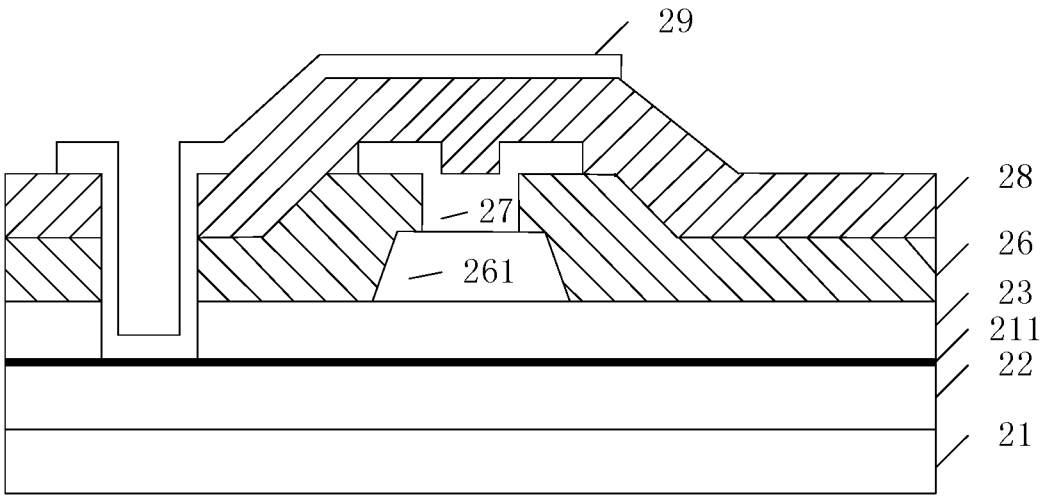

29
28
27
26
261
23
211
22
21

图 7

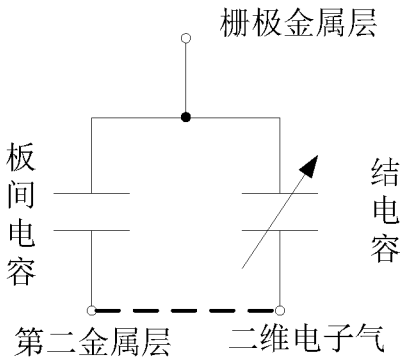

栅极金属层
板
间
电
容
结
电
容
第二金属层
二维电子气

图 8

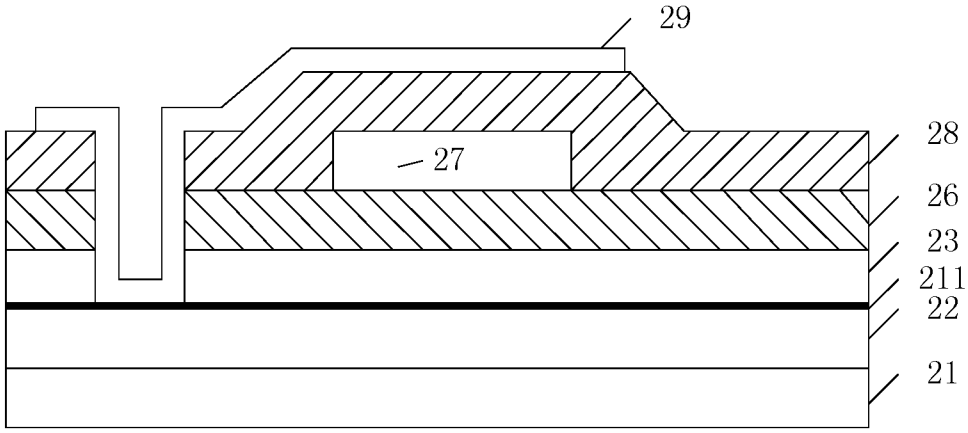


图 9

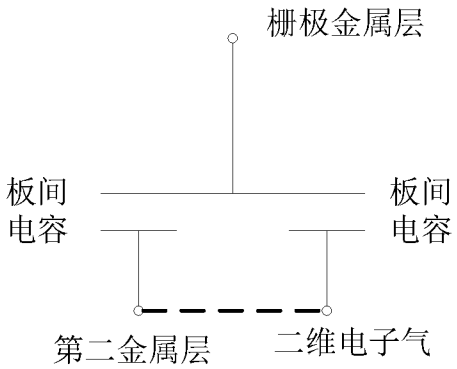


图 10

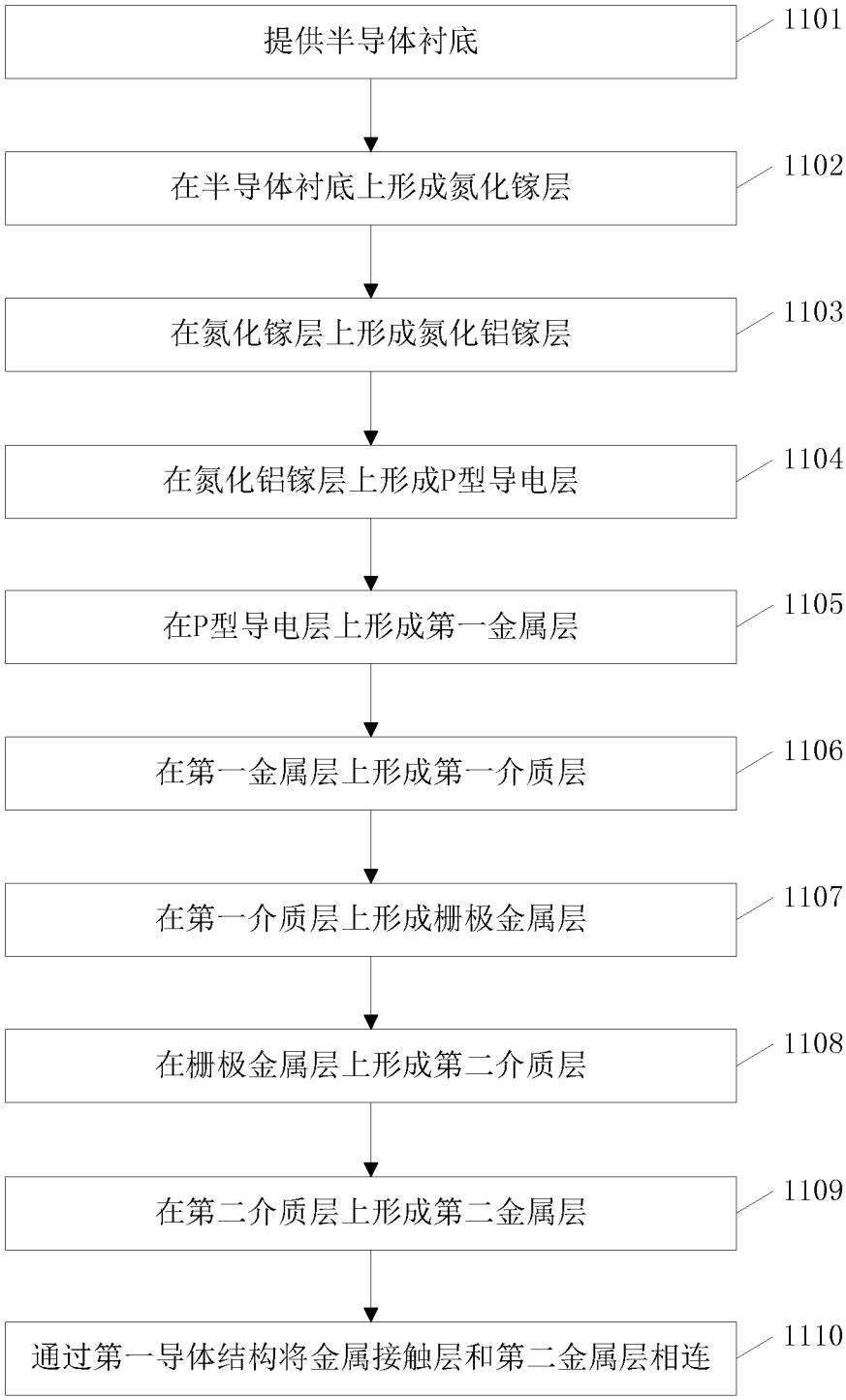

提供半导体衬底
1101
在半导体衬底上形成氮化镓层
1102
在氮化镓层上形成氮化铝镓层
1103
在氮化铝镓层上形成P型导电层
1104
在P型导电层上形成第一金属层
1105
在第一金属层上形成第一介质层
1106
在第一介质层上形成栅极金属层
1107
在栅极金属层上形成第二介质层
1108
在第二介质层上形成第二金属层
1109
通过第一导体结构将金属接触层和第二金属层相连
1110

图 11

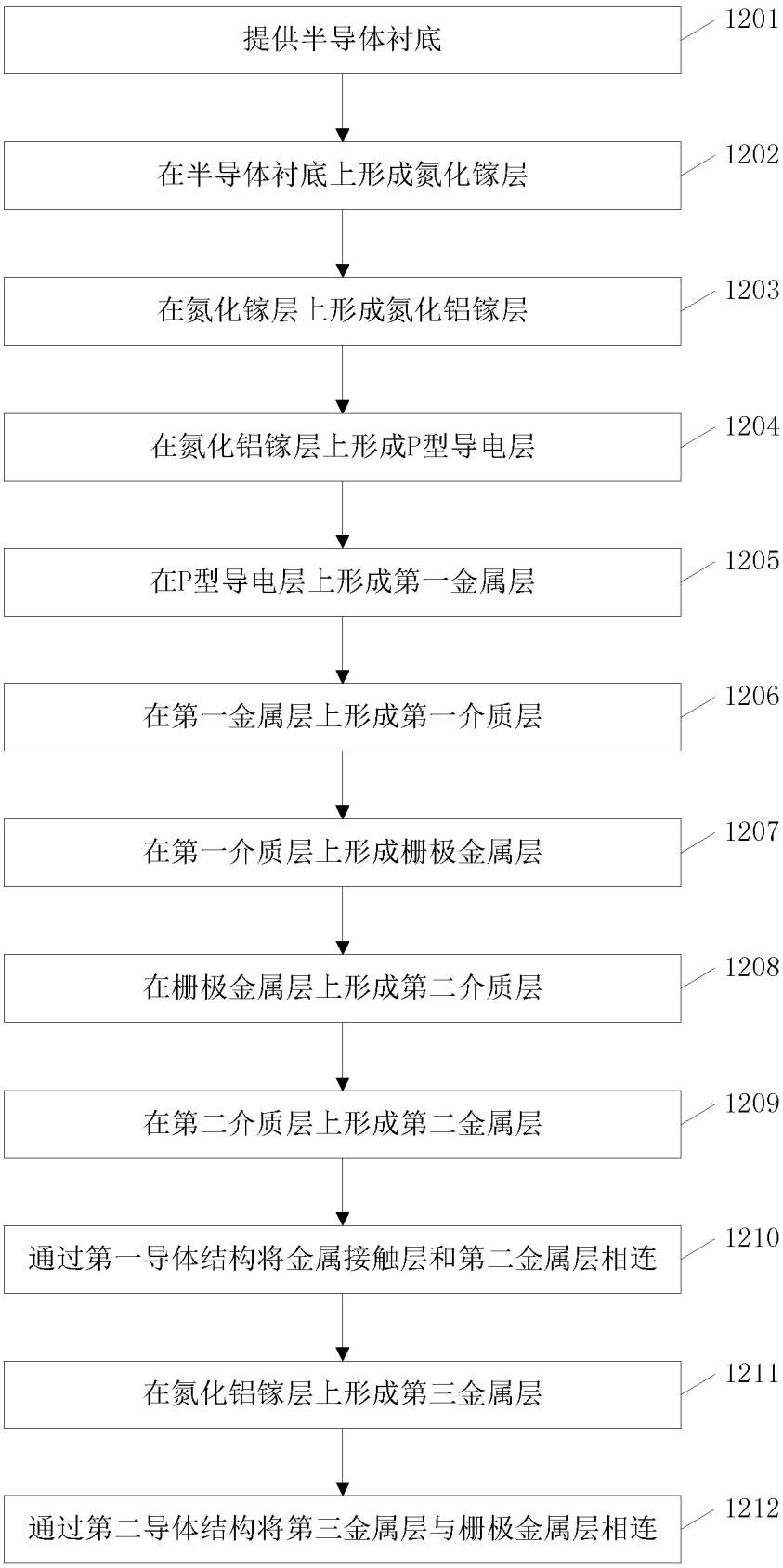

提供半导体衬底
1201
在半导体衬底上形成氮化镓层
1202
在氮化镓层上形成氮化铝镓层
1203
在氮化铝镓层上形成P型导电层
1204
在P型导电层上形成第一金属层
1205
在第一金属层上形成第一介质层
1206
在第一介质层上形成栅极金属层
1207
在栅极金属层上形成第二介质层
1208
在第二介质层上形成第二金属层
1209
通过第一导体结构将金属接触层和第二金属层相连
1210
在氮化铝镓层上形成第三金属层
1211
通过第二导体结构将第三金属层与栅极金属层相连
1212

图 12

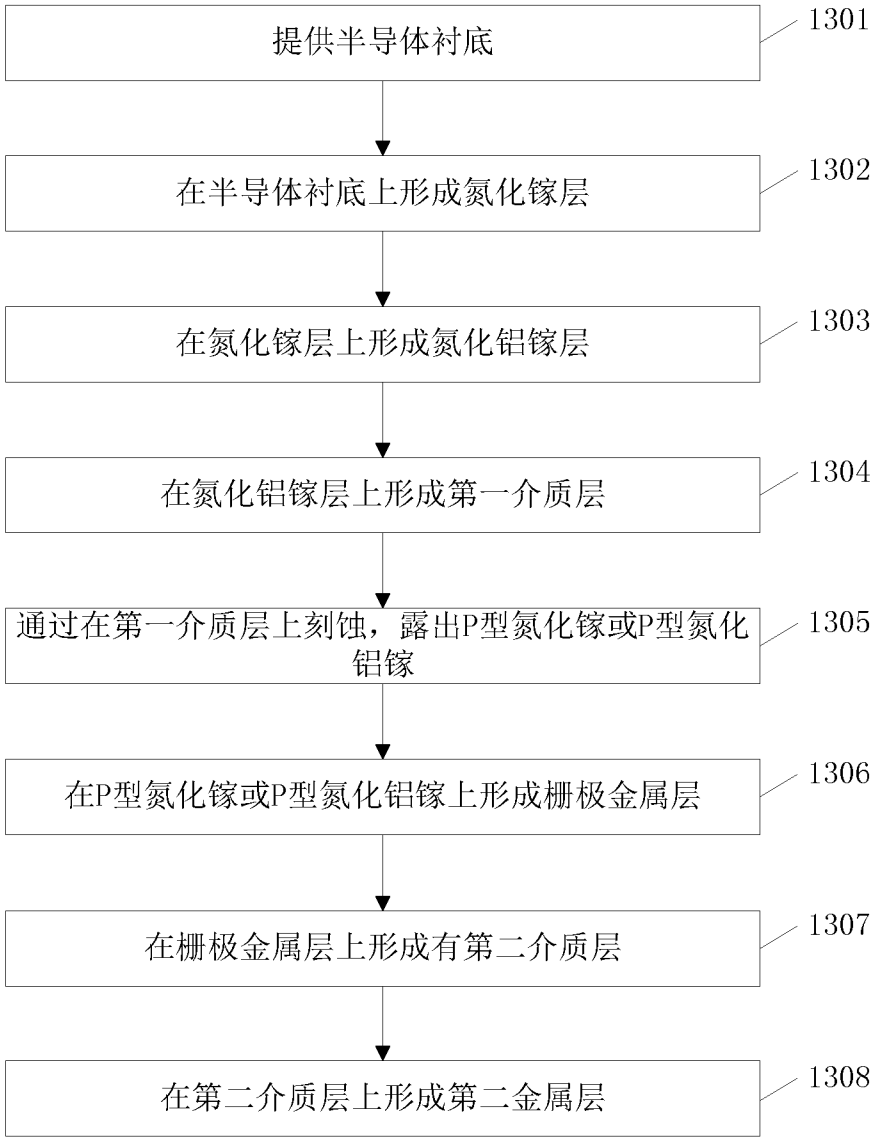

提供半导体衬底
1301
在半导体衬底上形成氮化镓层
1302
在氮化镓层上形成氮化铝镓层
1303
在氮化铝镓层上形成第一介质层
1304
通过在第一介质层上刻蚀，露出P型氮化镓或P型氮化铝镓
1305
在P型氮化镓或P型氮化铝镓上形成栅极金属层
1306
在栅极金属层上形成有第二介质层
1307
在第二介质层上形成第二金属层
1308

图 13

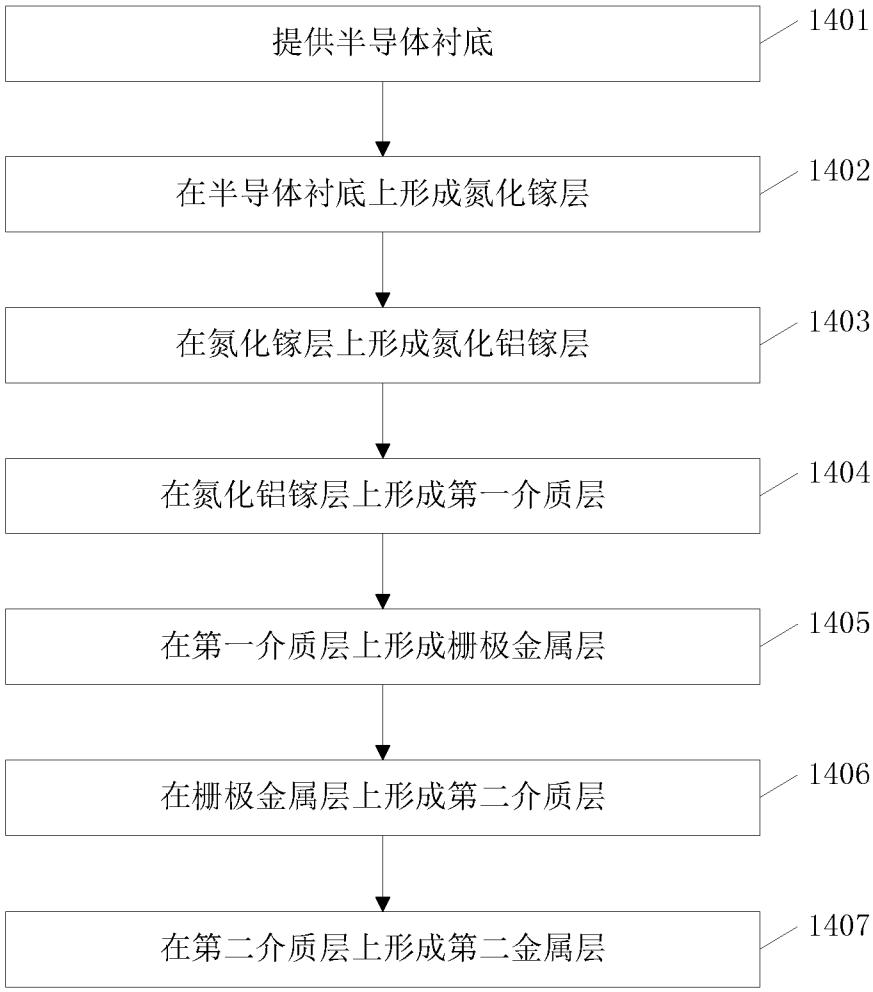

提供半导体衬底
1401
在半导体衬底上形成氮化镓层
1402
在氮化镓层上形成氮化铝镓层
1403
在氮化铝镓层上形成第一介质层
1404
在第一介质层上形成栅极金属层
1405
在栅极金属层上形成第二介质层
1406
在第二介质层上形成第二金属层
1407

图 14

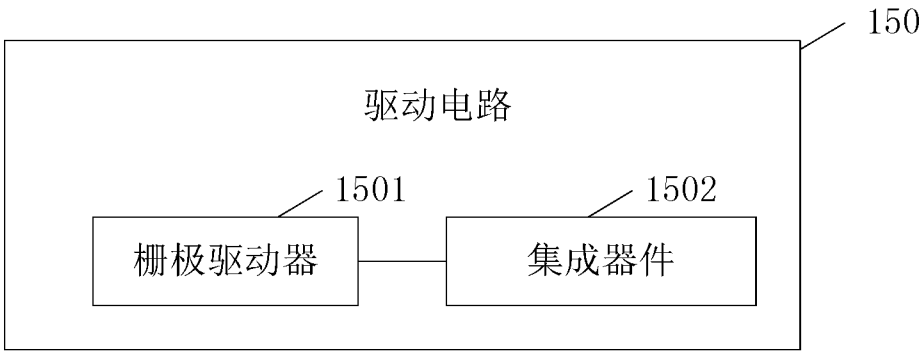

150
驱动电路
1501
栅极驱动器
1502
集成器件

图 15

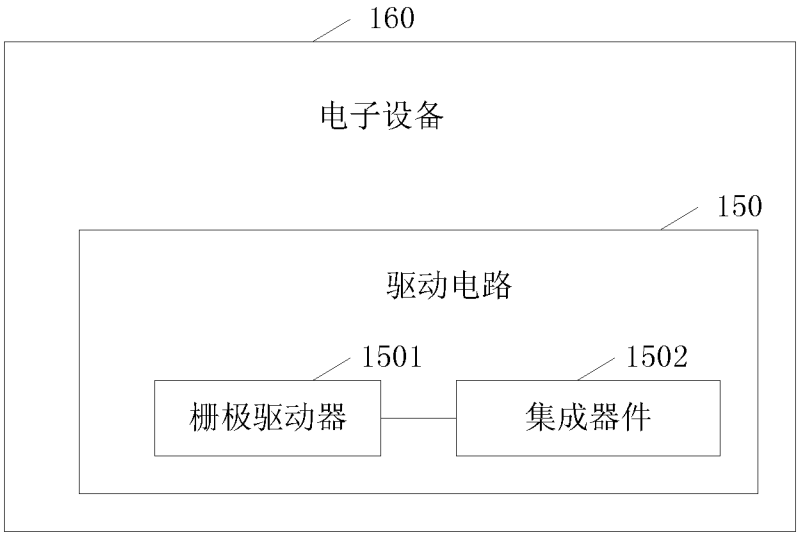


图 16

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2021/099575

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/20(2006.01)i; H01L 27/01(2006.01)i; H01G 4/33(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L; H01G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CNPAT, CNKI, IEEE: 电容, 并联, 第一, 第二, 金属, 介质, 介电, 绝缘, 氮化铝镓, 氮化镓, 二维电子气, capacitor, parallel, first, second, metal, dielectric, insulate, GaAlN, GaN, two dimensional electron gas

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 104795428 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 22 July 2015 (2015-07-22) description, paragraphs 0076-0145, and figures 2-3	1-27
A	CN 104536223 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 22 April 2015 (2015-04-22) entire document	1-27
A	CN 103730450 A (SHANGHAI EVERDISPLAY OPTRONICS LIMITED) 16 April 2014 (2014-04-16) entire document	1-27
A	CN 111344774 A (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 26 June 2020 (2020-06-26) entire document	1-27
A	US 2009057828 A1 (KANG, M. I.) 05 March 2009 (2009-03-05) entire document	1-27

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
22 February 2022	**09 March 2022**
Name and mailing address of the ISA/CN **China National Intellectual Property Administration (ISA/CN)** **No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088, China** Facsimile No. **(86-10)62019451**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2021/099575

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	104795428	A	22 July 2015	None			
CN	104536223	A	22 April 2015	US	2018074378	A1	15 March 2018
				US	10168593	B2	01 January 2019
				WO	2016106791	A1	07 July 2016
CN	103730450	A	16 April 2014	TW	201521255	A	01 June 2015
				JP	2015102867	A	04 June 2015
CN	111344774	A	26 June 2020	DE	112018005958	T5	06 August 2020
				JP	2019095566	A	20 June 2019
				US	2020294447	A1	17 September 2020
				WO	2019102907	A1	31 May 2019
US	2009057828	A1	05 March 2009	TW	200913228	A	16 March 2009
				CN	101378057	A	04 March 2009
				CN	101378057	B	08 February 2012
				KR	20090022042	A	04 March 2009
				KR	100897824	B1	18 May 2009

国际检索报告

国际申请号
PCT/CN2021/099575

A. 主题的分类

H01L 29/20(2006.01)i; H01L 27/01(2006.01)i; H01G 4/33(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L; H01G

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

WPI, EPODOC, CNPAT, CNKI, IEEE: 电容，并联，第一，第二，金属，介质，介电，绝缘，氮化铝镓，氮化镓，二维电子气，capacitor, parallel, first, second, metal, dielectric, insulate, GaAlN, GaN, two dimensional electron gas

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
X	CN 104795428 A (京东方科技集团股份有限公司 等) 2015年7月22日 (2015-07-22) 说明书第0076-0145段，附图2-3	1-27
A	CN 104536223 A (深圳市华星光电技术有限公司) 2015年4月22日 (2015-04-22) 全文	1-27
A	CN 103730450 A (上海和辉光电有限公司) 2014年4月16日 (2014-04-16) 全文	1-27
A	CN 111344774 A (索尼半导体解决方案公司) 2020年6月26日 (2020-06-26) 全文	1-27
A	US 2009057828 A1 (KANG, Myung-Il) 2009年3月5日 (2009-03-05) 全文	1-27

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2022年2月22日	2022年3月9日
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 李勇 电话号码 （86—10）53961453

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2021/099575

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104795428	A	2015年7月22日	无			
CN	104536223	A	2015年4月22日	US	2018074378	A1	2018年3月15日
				US	10168593	B2	2019年1月1日
				WO	2016106791	A1	2016年7月7日
CN	103730450	A	2014年4月16日	TW	201521255	A	2015年6月1日
				JP	2015102867	A	2015年6月4日
CN	111344774	A	2020年6月26日	DE	112018005958	T5	2020年8月6日
				JP	2019095566	A	2019年6月20日
				US	2020294447	A1	2020年9月17日
				WO	2019102907	A1	2019年5月31日
US	2009057828	A1	2009年3月5日	TW	200913228	A	2009年3月16日
				CN	101378057	A	2009年3月4日
				CN	101378057	B	2012年2月8日
				KR	20090022042	A	2009年3月4日
				KR	100897824	B1	2009年5月18日