

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-229099

(P2005-229099A)

(43) 公開日 平成17年8月25日(2005.8.25)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 27/105	HO 1 L 27/10 4 4 7	5 F 0 8 3
G 1 1 C 11/15	G 1 1 C 11/15 1 1 0	
HO 1 L 43/08	HO 1 L 43/08 Z	

審査請求 未請求 請求項の数 47 O L 外国語出願 (全 22 頁)

(21) 出願番号 特願2004-360344 (P2004-360344)
 (22) 出願日 平成16年12月13日 (2004.12.13)
 (31) 優先権主張番号 10/735436
 (32) 優先日 平成15年12月12日 (2003.12.12)
 (33) 優先権主張国 米国 (US)

(71) 出願人 504457740
 マグラブズ, インコーポレイテッド
 アメリカ合衆国, カリフォルニア州,
 サン ノゼ, ウェスト サン カルロス
 ストリート 番号1600 333
 (74) 代理人 100094318
 弁理士 山田 行一
 (74) 代理人 100123995
 弁理士 野田 雅一
 (72) 発明者 ハイブリッヒ ススナー
 アメリカ合衆国, カリフォルニア州,
 ポロ アルト, サンタ リタ アヴェニ
 ュー 551
 Fターム(参考) 5F083 FZ10 GA10 JA37 JA39

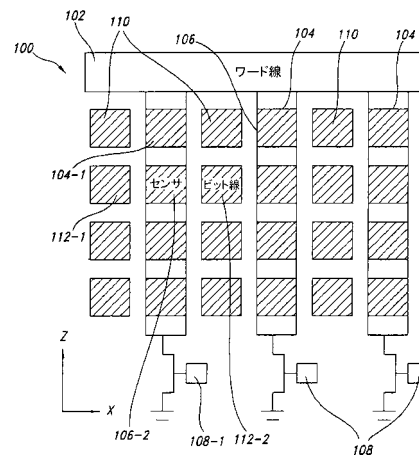
(54) 【発明の名称】 積層可能な構造を有する高密度磁気ランダムアクセスメモリ (MRAM) のための方法および装置

(57) 【要約】 (修正有)

【課題】 メモリが要する面積を減らすと共に、メモリ抵抗に於ける限界要件を下げる事によって製造を容易にし、メモリセルの選択性を向上させ、拡張可能にする方法を提供する。

【解決手段】 積層可能な構造を有する磁気ランダムアクセスメモリ (MRAM) 100であり、第1のワード線102は、電流を運ぶように構成されている。第1のメモリ縦列は、ワード線に電氣的に結合されるとともに、互いに隣接して電氣的に接続された複数のメモリセル106から構成される。第1のビット線縦列は、第1のワード線から電氣的に絶縁されるとともに、第1のメモリ縦列に磁氣的に結合され且つ第1のメモリ縦列から電氣的に絶縁されている。第1のビット線縦列は、互いに電氣的に絶縁され且つメモリ読み出し及びメモリ書き込み中に電流を運ぶように構成された複数のビット線112を備える。第1のビット線縦列は、第1のメモリ縦列と平行である。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

積層可能な構造を有する磁気ランダムアクセスメモリ(MRAM)であって、互いに電氣的に結合され且つ互いに上下に積層された複数の磁気メモリセルを備え、各磁気メモリセルがデータを記憶するように構成された第1のメモリ縦列と、

前記第1のメモリ縦列に電氣的に結合された導電性の第1のワード線と、

前記第1のメモリ縦列から水平に配置され且つ前記第1のメモリ縦列と平行に配置されるとともに、前記第1のワード線から電氣的に絶縁された第1のビット線縦列であり、前記第1のメモリ縦列から電氣的に絶縁され且つ互いに電氣的に絶縁された導電性の複数のビット線を備え、これらの複数のビット線のうちの1つを通じて流れる電流が複数の磁気メモリセルのうちの1つに影響を与える磁場を形成するように、十分に近接して位置されている第1のビット線縦列と、

を備えるMRAM。

【請求項 2】

複数の前記各ビット線が、複数の前記各磁気メモリセルのうちの1つと垂直にアライメントされる、請求項1に記載のMRAM。

【請求項 3】

複数の前記各ビット線が、前記第1のメモリ縦列に対して垂直である、請求項1に記載のMRAM。

【請求項 4】

前記ビット線縦列と前記メモリ縦列との間に位置された絶縁体を更に備える、請求項1に記載のMRAM。

【請求項 5】

前記第1のワード線から電氣的に絶縁されるとともに、互いに電氣的に絶縁され且つメモリ読み出し及びメモリ書き込み中に電流を運ぶように構成された導電性の複数のビット線を備える第2のビット線縦列を更に備える、請求項1に記載のMRAM。

【請求項 6】

前記第2のビット線縦列が、前記第1のメモリ縦列から電氣的に絶縁されている、請求項5に記載のMRAM。

【請求項 7】

前記第2のビット線縦列が、前記第1のビット線縦列と平行である、請求項6に記載のMRAM。

【請求項 8】

前記第1および第2のビット線縦列が、前記第1のワード線に対して垂直である、請求項7に記載のMRAM。

【請求項 9】

前記第1および第2のビット線縦列が前記第1のメモリ縦列の両側にある、請求項7に記載のMRAM。

【請求項 10】

前記第1のワード線に対して電氣的に結合されるとともに、互いに隣接して電氣的に結合され且つそれぞれがデータを記憶するように構成された複数の磁気メモリセルを備える第2のメモリ縦列であり、前記第1のメモリ縦列と平行で且つ前記第1のビット線縦列に隣接する第2のメモリ縦列を更に備える、請求項9に記載のMRAM。

【請求項 11】

前記第1のワード線と平行な導電性の第2のワード線と、

前記第2のワード線に対して電氣的に結合されるとともに、互いに隣接して電氣的に結合され且つそれぞれがデータを記憶するように構成された複数の磁気メモリセルを備える第3のメモリ縦列と、

を更に備える、請求項10に記載のMRAM。

【請求項 12】

10

20

30

40

50

前記第3のメモリ縦列が前記第1のメモリ縦列と平行である、請求項11に記載のMRAM。

【請求項13】

前記第3のメモリ縦列が、前記第1のビット線縦列と前記第2のビット線縦列との間に位置されている、請求項12に記載のMRAM。

【請求項14】

前記第1のメモリ縦列内の複数のメモリセルのうちの1つが、前記第1のワード線を介して前記第1のメモリ縦列へと電流が流れ且つ前記第2のビット線縦列内の複数のビット線のうちの1つを通じて電流が流れる際に、データを記憶するように構成されている、請求項11に記載のMRAM。

10

【請求項15】

前記第1のメモリ縦列内の複数のメモリセルのうちの1つが、前記第1のビット線縦列内の複数のビット線のうちの1つを通じて電流が流れる際に、データを記憶するように更に構成されている、請求項14に記載のMRAM。

【請求項16】

前記第1のビット線縦列内の複数のビット線のうちの1つを通じて流れる電流の方向が、前記第2のビット線縦列内の複数のビット線のうちの1つを通じて流れる電流の方向と反対である、請求項15に記載のMRAM。

【請求項17】

前記第1のビット線縦列内の複数のビット線のうちの1つを通じて流れる電流の方向が、前記第2のビット線縦列内の複数のビット線のうちの1つを通じて流れる電流の方向と同じである、請求項15に記載のMRAM。

20

【請求項18】

前記第1のメモリ縦列内の複数のメモリセルのそれぞれが、磁気分極を有するように構成された読み出し層と、前記読み出し層に結合され、磁気分極を有するように構成されるとともに、前記読み出し層よりも高い保磁力を有する記憶層と、を更に備える、請求項1に記載のMRAM。

【請求項19】

前記読み出し層および前記記憶層が、その磁気分極が、メモリ書き込み中に複数のビット線のうちの1つを流れる電流によって生成される磁場に合わせられるように構成され、前記読み出し層が、その磁気分極が、メモリ読み出し中に複数のビット線のうちの1つを流れる電流によって生成される磁場に合わせられるように構成されている、請求項18に記載のMRAM。

30

【請求項20】

積層可能な構造を有する磁気ランダムアクセスメモリ(MRAM)であって、電流を運ぶように構成されたワード線と、前記ワード線に対して電氣的に結合されるとともに、データを記憶するように構成された磁気メモリセルと、前記メモリセルに対して磁氣的に結合されるとともに、前記ワード線から電氣的に絶縁されたビット線であって、メモリ書き込み動作中に前記磁気メモリセル内を所定の磁気分極に設定するとともに、メモリ読み出し動作中に前記磁気メモリセル内を所定の磁気分極に設定するように構成されたビット線と、を備えるMRAM。

40

【請求項21】

前記ビット線が、メモリ読み出し動作中に前記磁気メモリセル内の磁気分極を反転させるように更に構成されている、請求項20に記載のMRAM。

【請求項22】

ワード線と、ワード線に電氣的に結合された磁気メモリセルと、メモリセルに磁氣的に結合されて隣接し且つメモリセルから電氣的に絶縁されたビット線とを用いて、磁気ラン

50

ダムアクセスメモリ(MRAM)に対して書き込む方法であって、

前記ワード線内で電流を生成させるステップと、

前記磁気メモリセル内で電流を受けるステップと、

前記ビット線の周囲に磁場を生成するステップと、

前記磁場の方向にしたがって、前記磁気メモリセル内の磁気分極をアライメントする棄てると、

を含む方法。

【請求項 23】

前記磁場の方向にしたがって、前記磁気メモリセルの読み出し層内の磁気分極をアライメントするステップと、

10

前記磁場の方向にしたがって、前記読み出し層に結合され且つ前記読み出し層よりも高い保磁力を有する記憶層内の磁気分極をアライメントするステップと、

を更に含む、請求項 22 に記載の方法。

【請求項 24】

電流を生成させるステップと、

前記メモリセルのスイッチング磁場を電氣的に低減させるステップと、

を更に含む、請求項 23 に記載の方法。

【請求項 25】

前記メモリセルを加熱するステップと、

前記メモリセルのスイッチング磁場を低減するステップと、

を更に含む、請求項 23 に記載の方法

20

【請求項 26】

電流を生成させるステップと、

前記メモリセルのスイッチング磁場を磁氣的に低減するステップと、

を更に含む、請求項 23 に記載の方法。

【請求項 27】

ワード線と、ワード線に電氣的に結合された磁気メモリセルと、磁気メモリセルに磁氣的に結合されて隣接し且つ磁気メモリセルから電氣的に絶縁されたビット線とを用いて、

磁気ランダムアクセスメモリ(MRAM)から読み出す方法であって、

前記ビット線の周囲に磁場を生成するステップと、

30

前記磁場の方向にしたがって、前記メモリセル内の磁気分極をアライメントするステップと、

前記メモリセルの抵抗を測定するステップと、

前記磁気メモリセル内の磁気分極を反転させるステップと、

前記磁気メモリセルの抵抗を測定するステップと、

を含む方法。

【請求項 28】

前記ワード線内で電流を生成させるステップと、

前記磁気メモリセル内で電流を受けるステップと、

を更に含む、請求項 27 に記載の方法。

40

【請求項 29】

前記ビット線の周囲の磁場を反転させるステップを更に含む、請求項 27 に記載の方法

。

【請求項 30】

前記磁場の方向にしたがって、前記磁気メモリセルの読み出し層内の磁気分極をアライメントするステップと、

前記読み出し層内の磁気分極を反転させるステップと、

を更に含む、請求項 27 に記載の方法。

【請求項 31】

ワード線と、ワード線に電氣的に結合された磁気メモリセルと、メモリセルに磁氣的に

50

結合されて隣接し且つメモリセルから電氣的に絶縁されたビット線とを用いて、磁気ランダムアクセスメモリ(MRAM)から読み出す方法であって、

前記磁気メモリセルの抵抗を測定するステップと、

前記ビット線の周囲に磁場を形成するステップと、

前記磁場の方向にしたがって、前記磁気メモリセル内の既存の分極を磁氣的に反転させるステップと、

前記メモリセルの抵抗を測定するステップと、

を含む方法。

【請求項 3 2】

ワード線と、メモリ縦列を形成し且つ前記ワード線に電氣的に結合された複数の磁気メモリセルと、前記メモリ縦列に磁氣的に結合されて隣接し且つメモリ縦列から電氣的に絶縁されたビット線と、前記メモリ縦列に結合されたスイッチとを用いて、磁気ランダムアクセスメモリ(MRAM)を選択する方法であって、

前記ワード線内で電流を生成させるステップと、

前記スイッチしか作動させないステップと、

を含む方法。

【請求項 3 3】

積層可能な構造を有する磁気ランダムアクセスメモリ(MRAM)であって、

メモリセルを備え、このメモリセルが、

情報を記憶するように構成された保磁力が高い記憶層と、

前記記憶層に結合され且つ磁気トンネル接合(MTJ)を形成するように構成された薄い絶縁層と、

前記薄い絶縁層に結合された保磁力が低い読み出し層であって、前記記憶層の磁化を決定するために対応する読み出しを行なうように構成された読み出し層と、

を備えるMRAM。

【請求項 3 4】

前記記憶層および前記読み出し層が、複数のC o P t層を更に備え、C o P t層の数、前記記憶層と前記読み出し層との間の相対保磁力を決定する、請求項 3 3 に記載のMRAM。

【請求項 3 5】

前記磁気メモリセルに対して磁氣的に結合されるとともに、前記磁気メモリセルから電氣的に絶縁された第 1 のビット線と、

前記磁気メモリセルに対して磁氣的に結合され、前記磁気メモリセルから電氣的に絶縁されるとともに、前記第 1 のビット線と平行を成す第 2 のビット線と、

を更に備え、

前記第 1 および第 2 のビット線が、反対方向に電流を運ぶことにより前記磁気メモリセルの場所に磁場を生成するように構成されている、請求項 3 4 に記載のMRAM。

【請求項 3 6】

前記磁気メモリセルに対して磁氣的に結合されるとともに、前記磁気メモリセルから電氣的に絶縁された第 1 のビット線と、

前記磁気メモリセルに対して磁氣的に結合され、前記磁気メモリセルから電氣的に絶縁されるとともに、前記第 1 のビット線と平行を成す第 2 のビット線と、

を更に備え、

前記第 1 および第 2 のビット線が、同じ方向に電流を運ぶことにより前記磁気メモリセルの場所に磁場を生成するように構成されている、請求項 3 4 に記載のMRAM。

【請求項 3 7】

前記磁気メモリセルが第 1 のビット線と第 2 のビット線との間に設けられている、請求項 3 6 に記載のMRAM。

【請求項 3 8】

前記記憶層に結合され且つ前記第 1 および第 2 のビット線を前記磁気メモリに対して磁

10

20

30

40

50

氣的に結合するように構成されたクラッド層を更に備え、前記記憶層の磁化が、前記記憶層および前記クラッド層の逆平行な磁気結合により切り換わる、請求項 36 に記載の M R A M。

【請求項 39】

前記メモリセルに結合された第 1 の C u T a 層と、
前記第 1 のビット線に結合された第 2 の C u T a 層と、
前記第 2 のビット線に結合された第 3 の C u T a 層と、
を更に備え、
前記第 1、第 2、第 3 の C u T a 層が、前記磁気メモリセル、前記第 1 のビット線、前記第 2 のビット線の抵抗を制御するように構成されている、請求項 38 に記載の M R A M 10

【請求項 40】

積層可能な複数の層を有するとともに、導電性の複数のワード線を有する磁気ランダムアクセスメモリ (M R A M) であって、
第 1 の層が、
第 1 の横列に沿ってアライメントされる複数の第 1 の磁気メモリセルであって、それぞれが絶縁体によって互いに分離されて互いに電氣的に絶縁されるとともに情報を記憶するように構成され、それぞれが複数のワード線のうちの対応する 1 つに結合されている第 1 の磁気メモリセルと、
第 1 の横列から平行且つ水平に配置されるとともに第 1 の横列から電氣的に絶縁される 20
導電性の第 1 のビット線であって、複数の前記第 1 の磁気メモリセルから選択するように構成されるとともに、第 1 の横列に対して磁氣的に結合できるように十分に近接して位置されている第 1 のビット線と、
を備える M R A M。

【請求項 41】

前記第 1 の横列と平行な導電性の第 2 のビット線を更に備え、前記第 1 の横列が、前記第 1 のビット線と前記第 2 のビット線との間に位置するとともに、前記第 1 の横列から電氣的に絶縁され、前記第 2 のビット線が、前記第 1 のビット線と共に、複数の第 1 の磁気メモリセルから選択するように構成され、前記第 2 のビット線が、第 1 の横列に対して磁氣的に結合できるように十分に近接して位置されている、請求項 40 に記載の M R A M。 30

【請求項 42】

第 2 の横列に沿ってアライメントされ、それぞれが互いに電氣的に絶縁されるとともに情報を記憶するように構成された複数の第 2 の磁気メモリセルを更に備え、前記第 2 の横列が、前記第 1 の横列から平行且つ水平に配置され、前記第 2 のビット線が、前記第 1 の横列と前記第 2 の横列との間に設けられ、複数の前記ワード線のそれぞれが、複数の前記第 1 および第 2 の磁気メモリセルのうちの対応する 1 つに結合されている、請求項 41 に記載の M R A M。

【請求項 43】

前記第 1、第 2 のビット線および前記第 1、第 2 の横列が、互いに垂直にアライメントされている、請求項 42 に記載の M R A M。 40

【請求項 44】

第 2 の層が、
第 3 の横列に沿ってアライメントされる複数の第 3 の磁気メモリセルであり、それぞれが互いに電氣的に絶縁されるとともに情報を記憶するように構成され、それぞれが複数の前記第 1 の磁気メモリセルのうちの対応する 1 つに対して電氣的に結合され、前記第 3 の横列が前記第 1 の横列の下側に垂直に配置されている第 3 の磁気メモリセルと、
第 3 の横列から平行且つ水平に配置されるとともに第 3 の横列から電氣的に絶縁される 40
導電性の第 3 のビット線であり、複数の前記第 3 の磁気メモリセルから選択するように構成されるとともに、第 3 の横列に対して磁氣的に結合できるように十分に近接して位置されており、前記第 1 のビット線の下側に垂直に配置されている第 3 のビット線と、 50

を備える、請求項 4 2 に記載の M R A M。

【請求項 4 5】

前記第 3 の横列と平行な導電性の第 4 のビット線を更に備え、磁気メモリセルの前記第 3 の横列が、前記第 3 のビット線と前記第 4 のビット線との間に位置され、前記第 4 のビット線が、前記第 2 のビット線と共に、複数の第 3 の磁気メモリセルから選択するように構成され、前記第 4 のビット線が、第 1 の横列に対して磁氣的に結合できるように十分に近接して位置されている、請求項 4 4 に記載の M R A M。

【請求項 4 6】

第 2 の横列に沿ってアライメントされた複数の第 2 の磁気メモリセルを更に備え、第 2 の横列の各メモリセルが、第 2 の横列の他の全てのメモリセルから電氣的に絶縁されるとともに情報を記憶するように構成され、前記第 2 の横列が、前記第 1 の横列から平行且つ水平に配置され、前記第 2 のビット線が、前記第 2 の横列と前記第 1 の横列との間に位置され、複数の前記ワード線のそれぞれが、複数の前記第 1 および第 2 の磁気メモリセルのうちの対応する 1 つに結合されている、請求項 4 5 に記載の M R A M。

10

【請求項 4 7】

共面磁気ランダムアクセスメモリセル (M R A M) を製造する方法であって、誘電面上に複数の磁気メモリセルを堆積させるステップと、複数のメモリセルを堆積させると同時に、誘電面上に複数のビット線を堆積させるステップと、を含む方法。

20

【発明の詳細な説明】

【発明の分野】

【0 0 0 1】

[0001] 一般に、本発明は、磁気ランダムアクセスメモリ (M R A M) に関する。具体的には、本発明は、磁気記憶要素の垂直なスタックを備える高密度メモリ構造に関する。

【関連技術の説明】

【0 0 0 2】

[0002] 一般に、M R A M デバイスは、トンネル接合によって分離された 2 つの磁性層を有するメモリセルの平面配列から構成される。一方の磁性層は、固定された基準層であり、他方の磁性層は、記憶のために変更される磁気分極を有する記憶層である。記憶層は、基準層の磁化と略平行または逆平行な磁気単軸異方性軸に沿う 2 方向のうちの一方向に沿って方向付けることができる。

30

【0 0 0 3】

[0003] メモリセルに対するメモリ書き込みは、記憶層を基準層に対して平行位置または逆平行位置にアライメントする。メモリ読み出しは、読み出されるメモリセルの抵抗を決定するとともに、メモリセルの抵抗に基づいて記憶層のアライメントを決定する。その後、メモリセルの「値」が分かる。

【0 0 0 4】

[0004] 従来技術に伴う 1 つの問題は、M R A M セルを製造することが難しく、また、M R A M がかなりの大きさの空間を必要とし、したがって、M R A M 密度が低くなるということである。また、メモリ書き込みは、所定の半分のビットの書き込みを回避し、あるいは、クロストークに起因する隣接ビットの書き込みを回避するため、狭い分布のスイッチング磁場を必要とする。メモリ読み出しは、通常、読み出されるセルの抵抗と基準セルとを比較することによって行なわれる。この場合も同様に、メモリチップにわたるセル抵抗値の許容誤差は比較的厳しい。したがって、M R A M を製造することが難しく、また、M R A M の密度が低い。

40

【0 0 0 5】

[0005] 製造が容易で且つメモリセルの良好な選択性を与える高密度の M R A M が必要である。本発明は、メモリが要する面積を減らすとともに、メモリ抵抗における限界要件を下げることによって製造を容易にし、また、メモリセルの選択性を向上させて拡張可能に

50

しなければならない。

【発明の概要】

【0006】

[0006]本発明は、積層可能な構造を有する磁気ランダムアクセスメモリ(MRAM)を備える。第1のワード線は、電流を運ぶように構成されている。第1のメモリ縦列は、ワード線に電氣的に結合されるとともに、互いに隣接して電氣的に接続された複数のメモリセルから構成される。各メモリセルは、メモリセルの磁氣的なアライメントによってデータを記憶するように構成されている。第1のビット線縦列は、第1のワード線から電氣的に絶縁されるとともに、第1のメモリ縦列に磁氣的に結合され且つ第1のメモリ縦列から電氣的に絶縁されている。第1のビット線縦列は、互いに電氣的に絶縁され且つメモリ読み出し及びメモリ書き込み中に電流を運ぶように構成された複数のビット線を備える。第1のビット線縦列は、第1のメモリ縦列と平行である。

10

【0007】

[0007]本発明の利点としては、ワード線の数減らすことによりMRAMの面積を減少できる点を挙げることができる。これにより、メモリセル1つ当たりのスイッチ(例えば、トランジスタまたはダイオード)の数が減り、ビット線とメモリセルとの間の幾何学的な関係が向上するとともに、製造の簡略化が図られ、選択性が向上して、密度が増大する。例えば、本発明は、たった1F²のセルサイズを有する8層構造を適用することができる。

【本発明の詳細な説明】

20

【0008】

[0017]以下の磁気メモリセルで使用される積層プロセスおよび材料は、材料加工技術において良く知られている。特定の実施形態について説明されているが、当業者であれば分かるように、ここに記載されている材料および積層プロセス以外の他の材料および他の積層プロセスが、本発明にしたがって使用されても良い。

【0009】

[0018]図1は、MRAM100の一実施形態の断面を示す概略図である。MRAM100は、メモリ列(縦列)104に接続された導電性のワード線102を含む。各メモリ列104は、互いに上下に積層されて電氣的に接続された1または複数のメモリセル106から構成される。

30

【0010】

[0019]メモリセル106は、2つの層、すなわち、記憶層と読み出し層とから構成される磁気トンネル接合(MTJ)である。両方の層は、面内磁化または面外磁化を有する磁性体である。記憶層は、読み出し層よりも高い保磁力を有する。面内磁化を有する層は、例えばNi₈₀Fe₂₀合金、Co合金、または、CoFe合金をほぼ用いて形成されても良い。面外磁化を有して形成された層は、例えば、Co/Pt積層体または希土類遷移金属合金によって形成されても良い。各メモリ列104内には4つのメモリセル106が示されているが、それよりも少ないメモリセル、あるいは、それよりも多いメモリセルを含んでいても良い。

【0011】

40

[0020]メモリ列104には、ワード線102と反対側に、スイッチ108が設けられている。このスイッチ108は、動作中に、1または複数のメモリ列104をONする。ワード線102は、スイッチ108-1が作動される時に例えばメモリ列104-1を通じて流れる電流を運ぶ。本発明の一態様では、複数のメモリセル106に対してスイッチ108が1つだけで済む。一実施形態において、スイッチ108はトランジスタである。一般に、従来、各メモリセルは、1つのメモリセル毎に1つのトランジスタを有する。

【0012】

[0021]ビット線列110は、メモリ列104と並行して位置されている。図1では、各メモリ列同士の間には1つのビット線列が示されているが、当業者であれば分かるように、本発明においては、更に少ないビット線列が使用されても良い。ビット線列は、複数のビ

50

ット線 1 1 2 を含む。ビット線 1 1 2 は、電流を運ぶことによりメモリセル 1 0 6 内の記憶層および読み出し層の極性を切り換える磁場を生成する導体である。ビット線 1 1 2 をメモリセル 1 1 0 の側部に位置させることにより、マスキング層の数が減るとともに、メモリ製造中における処理ステップの数が減少する。本発明は、1 T n M T J および 1 D n M T J のそれぞれを得るために、1 T 1 M T J および 1 D 1 M T J 構造の両方に適用できる。

【 0 0 1 3 】

[0022]一実施形態において、M R A M 1 0 0 は、メモリ列 1 0 4 にアドレスをとるトランジスタ 1 0 8 と、電力を供給し且つアドレスレジスタ等（図示せず）を検出する周辺回路とを有する基板上に組み立てられる。シリコンウエハが基板として使用されても良いが、適当な電気的特性および熱的特性を有する他の材料が基板として使用されても良い。基板は、アドレストランジスタ 1 0 8 および全ての周辺エレクトロニクスをその内部に組み込むことができるようになっていなければならない。基板は、M R A M セルによって形成される熱を分散できる十分な熱伝導率を有していなければならない。

10

【 0 0 1 4 】

[0023]図 2 は、図 1 に基づく本発明の一実施形態の平面図を示す概略図である。M R A M 2 0 0 は、メモリ列 2 2 0 に接続されたワード線 2 1 0 を有する。ビット線 2 3 0 は、ワード線 2 1 0 に対して垂直であり、図 1 に示されるように積層されている。各ワード線 2 1 0 は、M R A M 2 0 0 の構造およびアーキテクチャにしたがって、幾つかのメモリ列 2 2 0 を作動させる。

20

【 0 0 1 5 】

[0024]図 3 は、面外磁化を伴う本発明の一実施形態を示す断面図である。M R A M 3 0 0 はワード線 3 0 5 を含み、このワード線 3 0 5 は、メモリセル 3 1 5 を有するメモリ列 3 1 0 に接続されている。ワード線 3 0 5 と反対側には、スイッチ 3 2 0 が接続されている。ビット線列 3 2 5 は、複数のビット線 3 3 0 を有する。

【 0 0 1 6 】

[0025]一実施形態において、M R A M 3 0 0 のメモリセル 3 1 5 およびビット線 3 3 0 は、複数の層から構成される。要素 3 4 0 は、これらの複数の層を示している。層 3 4 5 は、厚さが約 3 0 n m の $N i _ { 0 } F e _ { 2 0 }$ を含んでいても良い。作動時にビット線の上下における磁場の漏れを防止するためのクラッド層として、上端および下端の $N i F e$ 層 3 4 5 が含まれていても良い。層 3 4 5 の 1 つの目的は、ビット線 3 3 0 の上下ではなく、ビット線の一方側に、磁束を集中させることである。

30

【 0 0 1 7 】

[0026]層 3 5 0 は、3 4 0 において 4 つの繰り返し層として示される (C u T a) から構成される積層体であり、この積層体は、ビット線 3 3 0 の導電率を調整するために含まれていても良い。各層の C u および T a の厚さはそれぞれ、1 0 n m および 5 n m であっても良い。

【 0 0 1 8 】

[0027]層 3 5 5 は、(C o P t) から構成される積層体 (4 繰り返し) であり、読み出し層よりも保磁力が高い (硬い) 記憶層である。C o の厚さは約 0 . 5 n m であっても良く、また、P t の厚さは約 2 n m であっても良い。

40

【 0 0 1 9 】

[0028]層 3 6 0 は、(P t C o) から構成される積層体 (2 繰り返し) であり、記憶層よりも保磁力が低い (柔らかい) 読み出し層である。C o の厚さは約 0 . 5 n m であっても良く、また、P t の厚さは約 2 n m であっても良い。C o P t 積層体においては、層の厚さ及び繰り返し数を変えることにより、強制磁場 (c o e r c i v e f i e l d) を調整することができる。一般に、強制磁場は、繰り返し数の増大に伴って大きくなる。読み出し層および記憶層のための強制磁場の値の一例は、読み出し層においては 2 0 0 e であり、記憶層においては 6 0 0 e である。読み出し層および記憶層の両方の磁気分極は、メモリ書き込み中にアライメントされ、一方、読み出し層だけの磁気分極は、メモリ読み

50

出し中に切り換えられる。

【0020】

[0029]層365は、 Al_2O_3 であり、層355, 360間にトンネルバリアを形成する絶縁層である。 Al_2O_3 は、約1nmの厚さであっても良い。層365は、例えば約0.8nmの金属アルミニウムを堆積させ且つこの金属アルミニウムをプラズマを用いて酸化させることにより或いは自然酸化させることにより形成されても良い。要素340中の他の層は、スパッタリングによって堆積されても良い。メモリセル315を形成する要素340同士は、銅、アルミニウム、または、他の導体によって接続されても良い。ビット線330を形成する要素340同士は、絶縁体、例えば SiO_2 、 Al_2O_3 、あるいは、他の酸化物によって接続されても良い。当業者であれば分かるように、メモリセル315およびビット線330は、互いに同じ方法で或いは同じ材料を用いて形成される必要はないが、それらが同じ場合には製造が容易になる。

10

【0021】

[0030]面外磁化の場合、磁気記憶層および磁気読み出し層は、Co/Pt積層体、CoFeNi/Pt積層体、Co/Pt合金、Co/Pd積層体、Co/Pd合金、CoFeNi/Pd積層体、Co/Au積層体、CoFeNi/Au積層体、Co/Ni積層体、Ni/Cu積層体、または、希土類遷移金属合金によって形成されても良い。選択方法として加熱が使用される場合(後述する)、記憶層は、プロッキング温度が低い反強磁性層、例えば厚さが6nmの $Ir_{20}Mn_{80}$ と交換バイアスされ得る。

【0022】

[0031]メモリセル間の層370は、メモリ列を通じた電流の伝送を容易にするCuの蒸着またはスパッタリングによって形成されても良い。層370の厚さは、約100~300nmである。層370の厚さは、メモリセル間で望まれる選択性にしたがって異なっても良い。メモリセル間の空間が大きいと、1つのビット線を使用する選択に役立つが、2つのビット線を使用して選択する場合には、メモリセル間の空間を狭くする必要がある。様々な層がメモリセルのための特定の目的を有するが、これらの層は、記憶が成されない場合には、ビット線に関与しない。むしろ、ビット線は、メモリセルを選択するために電流を運ぶ材料を含有していなければならない。メモリセルと同じ材料を用いてビット線を積層すると、MRAMの製造が容易になる。

20

【0023】

[0032]図4は、ビット線、磁場、メモリセルを示す図である。メモリの書き込みを行なう1つの方法、すなわち、面外磁化の場合にMRAM300内にデータを記憶する1つの方法は、メモリセル400においては以下の通りである。面内磁化の場合のメモリ書き込み動作は、異なっており、以下において後述する。ビット線410, 420には、反対方向に流れる電流が供給される。ビット線410の電流は、図4の面内に入り込む方向で垂直に流れており、ビット線420の電流は、図2の面から抜け出す方向で垂直に流れている。電流が反対方向であるため、各ビット線410, 420の周囲の磁場は逆向きである。ビット線410の周囲の磁場は、時計回りであり、一方、ビット線420の周囲の磁場は、反時計回りである。

30

【0024】

[0033]メモリセル400は、対応するワード線に給電し且つ適切なスイッチをONしてメモリセル400が属するメモリ列を選択することにより選択される。

40

【0025】

[0034]メモリセルを通じて流れる電流は、幾つかの作用のうちの1つによって、スイッチング磁場を低減する。最初に、トンネルバリアを通じて流れる電流に起因する記憶層のサーマルヒーティングにより、スイッチング磁場が低減する。メモリセル400の加熱により、記憶層および読み出し層の磁極性を、ビット線410, 420の周囲の磁場の蓄積作用にアライメントすることができる。ビット線410, 420を通じて流れる電流のパルスを調整することにより、待機温度にある他のメモリセルではなく、加熱された接合部だけが切り換わるようにすることができる。

50

【 0 0 2 6 】

[0035]また、メモリセル400のメモリ列を通じて垂直に流れる電流に起因するエルステッド磁場は、スイッチング磁場を低減する。これは、円筒対称に起因して磁化の反転を助ける面内渦状態の形成にエルステッド磁場が有利に働くからである。

【 0 0 2 7 】

[0036]最後に、スピン分極された電子を、読み出し層から、あるいは、分極する更に別の層から、記憶層内に注入することにより、記憶層磁化のスイッチング磁場を低減することができる。

【 0 0 2 8 】

[0037]ビット線410, 420を通じて流れる電流がメモリセル400へとリークしないように、メモリセル400は、ビット線410, 420から十分に離間されていなければならない。また、ビット線410, 420の周囲の磁場がメモリセル400の磁極性に影響を与えるように、メモリセル400は、ビット線410, 420に対して十分に接近していなければならない。一実施形態において、メモリセル400は、ビット線410から約100nm離間されている。一般に、ビット線410, 420(およびワード線、図1参照)を通じて流れる電流は、1~5mAの範囲である。当業者であれば分かるように、メモリセルとビット線との間の距離は、従来と異なるが、本発明の限定要因ではない。メモリセル間の距離が短くなると、密度が増大する。これは、通常、メモリ設計における目標である。また、電流レベルは、特定の用途に応じて異なっても良い。

【 0 0 2 9 】

[0038]図5は、面外磁化を伴うメモリセルの記憶層および読み出し層を示す図である。メモリ書き込み後、メモリセル500は、同じ方向にアライメントされる読み出し層510および記憶層520の両方における磁気分極を有する。読み出し層510は、誘電体層530によって、記憶層520から分離されている。誘電体層530は、読み出し層510と記憶層520との間にトンネル接合を作成する。図5では、上側が読み出し層になっているが、読み出し層または記憶層のいずれかが上側または下側であっても良い。また、上側(平行)位置および下側(逆平行)位置にある記憶層520に対して「1」および「0」の記憶値が任意に割り当てられても良い。

【 0 0 3 0 】

[0039]メモリ読み出しを行なう1つの方法、すなわち、メモリセルからデータを検索する1つの方法は、面外磁化を成すメモリセル106-2においては以下の通りである。1つのワード線とトランジスタとの間で複数のメモリセルを接続することに伴う1つの問題は、個々のメモリセルの抵抗、したがって、メモリセル内の記憶層の分極を検出することが非常に難しいということである。本発明は、差動読み出しを用いて、この困難を克服する。

【 0 0 3 1 】

[0040]メモリ書き込みに類似した方法においては、各ビット線112-1, 112-2を通じて逆方向の電流が流れる(図4も参照)。メモリセル106-2(400も参照)を貫く磁場の強度は、ビット線112-1, 112-2(410, 420も参照)を通じて流れる電流の強度に直接に関連している。メモリセル106-2(400も参照)を貫く磁場は、記憶層520よりも保磁力が低いことからその磁極性を切り換えることが容易な読み出し層510(図5参照)を切り換えられる程度に十分に強いが、記憶層520を切り換えられるほど強くは無い。読み出し層510での磁気分極が実際に切り換わっているか否かは問題ではなく、むしろ、それは、ビット線112-1, 112-2(410, 420も参照)を通じて流れる電流に基づいて所定の状態に入る。

【 0 0 3 2 】

[0041]その後、良く知られた方法によって、メモリ列104-1の抵抗が決定される。その後、ビット線112-1, 112-2を通じて流れる電流の方向が切り換えられ、各磁場は、この場合も記憶層520を切り換えることなく、読み出し層510における磁気分極のアライメントを切り換える。メモリ列104-1の抵抗が再び決定される。第1の

読み出しと第2の読み出しとの間の抵抗差と、第1および第2の読み出し中における読み出し層510の周知の磁気分極とに基づいて、記憶層320の磁気分極が分かってくる。メモリセルの抵抗は、記憶層および読み出し層の両方が同じ方向にアライメントされている場合には低く、上記両方の層が反対方向にアライメントされている場合には高い。

【0033】

[0042]例えば、読み出し層510が最初に上方向にアライメントされた後に下方向にアライメントされ且つ第2の読み出し中の抵抗が増大する場合には、記憶層520が上方向にアライメントされる(平行)。逆に、読み出し層510が最初に上方向にアライメントされた後に下方向にアライメントされ且つ第2の読み出し中の抵抗が減少する場合には、記憶層520が下方向にアライメントされる(逆平行)。2点メモリ読み出しは、1点メモリ読み出しよりも多くの時間を要する場合があるが、NANDモードで使用される場合には、積層可能な配置によって、読み出しプロセスが簡略化されるとともに、性能が向上する。

10

【0034】

[0043]不揮発性メモリセルには、一般に使用される2つの構造(アーキテクチャ)、すなわち、NORおよびNANDが存在する。NOR構造において、各ビットセルは、別個のワード線および別個のビット線によって個別にアドレス指定される。NAND構造においては、例えば1つの共通のワード線に対して複数のメモリセルが直列に接続される。接続された各セルを個々のビット線がアドレス指定する間、共通のワード線が「ON」状態を保つ。NOR構造は、多くの場合、プログラミングのために使用され、一方、一般に、NANDメモリは、記憶用途のために使用される。ここで説明した積層可能な構造は、NAND構成での使用に適している。

20

【0035】

[0044]他の実施形態においては、読み出し層の磁化の待機方向が常に例えば上向き方向に固定されるように、読み出し層にバイアスがかけられる(例えば、交換層を用いて)。その後、読み出し方式は、隣り合うビット線に逆向きの電流パルスを加えて、読み出し層の磁化を一時的に下向きに切り換える(記憶層を切り換えることなく)とともに、それに伴って生じるメモリストックの両端の電圧を測定することを含む。パルスがスタックの抵抗の一時的な増大に対応する場合には、記憶層が上向きに磁化される。逆に、パルスがスタックの抵抗の一時的な減少に対応する場合には、記憶層が下向きに磁化される。この実施形態において、読み出しプロセスは、記憶層の磁化の状態を決定するための1つのステップだけから構成される。

30

【0036】

[0045]他の実施形態において、メモリセルの選択は、両方のビット線ではなく、1つのビット線を通じて流れる電流を用いて行なわれる。当業者であれば分かるように、本発明は、メモリセルおよびワード線に対するビット線の位置も包含する。電流を運ぶ2つのビット線は、選択性を向上させるが、本発明を実行するために必ずしも必要なものではない。これは、メモリ読み出し及びメモリ書き込みの両方に当てはまる。

【0037】

[0046]図6は、面内磁化を伴う本発明の一実施形態を示す断面図である。MRAM600はワード線605を含み、このワード線605は、メモリセル615を有するメモリ列610に接続されている。ワード線605と反対側には、スイッチ620が接続されている。ビット線列625は、複数のビット線630を含む。一実施形態において、MRAM600のメモリセル615およびビット線630は、後述する複数の層から構成される。要素640は、これらの複数の層を示している。層645は、厚さが約10nmのCuと厚さが約3nmのTaとを有する(Cu/Ta)(4繰り返し)から構成される積層体を含んでいても良い。層645を使用することにより、線の長さおよび幅によって決まるビット線の導電率を、適当な値に調整しても良い。層645の抵抗は、MTJに対してあまり影響を与えない。これは、トンネルバリアが非常に大きな抵抗を有するからである。

40

【0038】

50

[0047]層650は、IrMnの厚さが約5nmの $\text{Ir}_{20}\text{Mn}_{80}$ の結晶格子である。層655は、IrMn(層650)とともに記憶層を構成する、 $\text{Co}_{90}\text{Fe}_{10}$ である。層655の厚さは、約10~50nmである。

【0039】

[0048]層660は、厚さが約1.2nmの Al_2O_3 である。層660は、記憶層と読み出し層との間にトンネルバリアを形成する。層660は、例えば、約0.8nmの金属アルミニウムを堆積させ且つその金属アルミニウムをプラズマを用いて或いは自然酸化により酸化させることによって形成されても良い。要素640中の他の層は、スパッタリングによって堆積されても良い。

【0040】

[0049]層670は、厚さが約25nmの $\text{Ni}_{80}\text{Fe}_{20}$ である。層670は、隣り合うビット線の一番上にあるNiFe層の磁化と平行に静磁氣的に結合されるフリー層を形成する。

【0041】

[0050]ビット線630を作り出す要素640同士は、絶縁体、例えば SiO_2 、 Al_2O_3 、あるいは、他の酸化物によって接続されても良い。当業者であれば分かるように、メモリセル615およびビット線630は、互いに同じ方法で或いは同じ材料を用いて形成される必要はないが、それらが同じ場合には製造が容易になる。

【0042】

[0051]メモリセル間の層680は、メモリ列を通じた電流の伝送を容易にするCuである。様々な層がメモリセルのための特定の目的を有するが、これらの層は、記憶が成されない場合には、ビット線に関与しない。むしろ、ビット線は、メモリセルを選択するために電流を運ぶ材料を含有していなければならない。メモリセルと同じ材料を用いてビット線を積層すると、MRAMの製造が容易になる。

【0043】

[0052]メモリ書き込みを行なう1つの方法、すなわち、面外磁化においてMRAM600内にデータを記憶する1つの方法は、メモリセル615においては以下の通りである。同じ方向で流れる電流(または、パルス電流)がビット線630-1, 630-2に対して供給される。ビット線630-1, 630-2の電流は、図6の面内に垂直に入り込んで流れるように示されている。各ビット線630-1, 630-2上の層670は、クラッド層としての機能を果たす。層670は、ビット線630-1, 630-2を通じて流れる電流によって生成されるエルステッド磁場内で分極される。ビット線630-1, 630-2上のこれらの層670とメモリセル615上の層670との間の平行な静磁気結合により、メモリセル615内の層670の磁化は、ビット線630-1, 630-2の磁場に対して平行にアライメントされる。

【0044】

[0053]メモリセル615を選択するために、電流は、ワード線605、メモリ列610-1、スイッチ620-1を通じて流れる。その後、記憶層との逆平行な静磁気結合により、記憶層が逆平行方向に切り換わる。

【0045】

[0054]メモリセルを通じて流れる電流は、幾つかの作用のうちの一つによって、スイッチング磁場を低減する。最初に、トンネルバリアを通じて流れる電流に起因する記憶層のサーマルヒーティングにより、スイッチング磁場が低減する。電流が十分に大きい場合、記憶層は、そのプロッキング温度を超えて加熱される。 $\text{Ir}_{20}\text{Mn}_{80}$ においては、この層の厚さを変えることにより、プロッキング温度を150~300まで調整できることが知られている。Co磁化は、NiFe層に対して逆平行になるとともに、温度が待機温度まで下がると、この方向で固定される。したがって、ビット線の電流パルスによって作成される磁場の方向は、記憶層の磁化のアライメントを決定する。

【0046】

[0055]また、メモリセルのメモリ列を通じて垂直に流れる電流に起因するエルステッド

10

20

30

40

50

磁場は、スイッチング磁場を低減する。これは、円筒対称に起因して磁化の反転を助ける面内渦状態の形成にエルステッド磁場が有利に働くからである。一実施形態において、記憶層は、 $\text{Co}_{50}\text{Fe}_{50}$ または IrMn の厚さが例えば 4 nm 減少した CoFe/IrMn バリアを用いて作られ、それにより、高い保磁力を有するが、ループシフトがない。

【0047】

[0056]最後に、スピン分極された電子を、読み出し層から、あるいは、分極する更に別の層から、記憶層内に注入することにより、記憶層磁化のスイッチング磁場を低減することができる。

【0048】

[0057]面内磁化におけるメモリ読み出しは、読み出し層の初期設定中および読み出し層の切り換え中にビット線を通じて運ばれる電流が反対方向ではなく同じ方向に流れる点を除き、面外磁化における場合と同じ態様で行なわれる。

【0049】

[0058]他の実施形態において、メモリセルの選択は、両方のビット線ではなく、1つのビット線を通じて流れる電流を用いて行なわれる。当業者であれば分かるように、本発明は、メモリセルおよびワード線に対するビット線の位置も包含する。電流を運ぶ2つのビット線は、選択性を向上させるが、本発明を実行するために必ずしも必要なものではない。これは、メモリ読み出し及びメモリ書き込みの両方に当てはまる。

【0050】

[0059]図7は、本発明における製造およびプロセスの流れを示す図である。ブロック700においては、メモリセルに接続するために埋め込まれた導体パッドを用いて誘電面705を平坦化することにより始まる。ブロック710においては、バッファ/センサ/導体スタック715を堆積させるとともに、フォトレジスト720をスピンコーティングする。ブロック725においては、メモリセルおよびビット線のパターン730を露光して現像する。ブロック735においては、センサスタック740を貫通するようにイオンビームを用いてエッチングを行なうとともに、誘電体740を充填し、フォトレジストを離昇する。ブロック750においては、バッファ755を平坦化し、ブランクを誘電体で埋めて、レジストを回転させるとともに、フォトレジストにより次の導体スタックのための導体パッドを露光して現像する。ブロック760においては、バッファに至るまでエッチングし、レジストを除去して、ブランクを導体765で埋めるとともに、誘電体770に 30
合わせて平坦化し、レジストを除去する。この方法では、1つのセンサ層毎に、2つのフォトマスクングおよび1つの平坦化しか必要ない。

【0051】

[0060]図8は、ワード線と、ワード線に電氣的に結合されたメモリセルと、メモリセルに結合されて隣接し且つメモリセルから電氣的に絶縁されたビット線とを用いて、MRAMに対するメモリ書き込みを実行する1つの方法を示すフローチャートである。ブロック800においては、ワード線内で電流を生成させる。ブロック810においては、メモリセルで電流を受ける。ブロック820においては、ビット線の周囲に磁場を生成する。ブロック830においては、磁場の方向にしたがってメモリセルの読み出し層内で磁気分極をアライメントする。ブロック840においては、磁場の方向にしたがって記憶層内で磁気分極をアライメントする。この場合、記憶層は、読み出し層に結合されており、読み出し層よりも高い保磁力を有する。

【0052】

[0061]図9は、ワード線と、ワード線に電氣的に結合されたメモリセルと、メモリセルに結合されて隣接し且つメモリセルから電氣的に絶縁されたビット線とを用いて、MRAMにおいてメモリ読み出しを実行する1つの方法を示すフローチャートである。ブロック900においては、ビット線の周囲に磁場を生成する。ブロック910においては、ワード線内で電流を生成させる。ブロック920においては、メモリセルで電流を受ける。ブロック930においては、磁場の方向にしたがってメモリセルの読み出し層内で磁気分極をアライメントする。ブロック940においては、メモリセルの抵抗を測定する。ブロッ 50

ク 9 5 0 においては、ビット線の周囲の磁場を反転させる。ブロック 9 6 0 においては、読み出し層内で磁気分極を反転させる。ブロック 9 7 0 においては、メモリセルの抵抗を測定する。

【 0 0 5 3 】

[0062]本発明の利点としては、積層構造によって M R A M セルの面積を減らすことができる点を挙げることができる。これにより、ワード線の数が減り、ビット線とメモリセルとの間の幾何学的な関係が向上するとともに、1つのセル毎に1つのトランジスタを使用するのではなく、メモリストック毎に1つのトランジスタだけを使用することができる。また、読み出しプロセスが簡略化され、1つのセルの磁性状態を変える時に極性の決定だけを必要とする。一方、従来技術は、セルの抵抗と明確な基準セルとを比較し、狭い分布抵抗値を必要とする。ビット線および記憶セルの共面メタライゼーションプロセスによって、また、層毎にたった2つのマスクを繰り返し適用することにより、製造プロセスが簡略化される。他の利点としては、隣り合う2つのビット線を使用することにより、書き込みの選択性が向上するとともに、メモリ密度が増大する点を挙げることができる。例えば、本発明は、たった 1 F 2 のセルサイズを有する 8 層構造を適用することができる。

10

【 0 0 5 4 】

[0063]当業者であれば分かるように、本発明から逸脱することなく、様々な材料から構成される構成を使用することができる。本発明の図示の実施形態は、例えばトランジスタを含むが、当業者であれば分かるように、これらのトランジスタを、同様の機能を有する構成要素、例えばダイオードと交換し及び/又は取って代えることにより、適切な回路リルーティングを適用しても良い。また、特定の厚さ又は特定の比率で要素の特定の組み合わせを開示してきた。しかしながら、当業者であれば分かるように、他の比率に設定され、他の厚さおよび他の材料が使用されても良い。ここに記載された実施形態は、単に可能な開示内容を提供するように意図されているだけであり、本発明の特徴を制限しようとするものではない。先の説明、図面、請求項から当業者であれば分かるように、以下の請求項に規定された本発明の範囲から逸脱することなく、本発明に対して改良および変更を行なうことができる。

20

【 図面の簡単な説明 】

【 0 0 5 5 】

【 図 1 】 本発明の一実施形態の概略断面図である。

30

【 図 2 】 図 1 における本発明の一実施形態の概略平面図である。

【 図 3 】 面外磁化を伴う本発明の一実施形態を示す図である。

【 図 4 】 ビット線、磁場、メモリセルを示す図である。

【 図 5 】 記憶層、読み出し層、メモリセルを示す図である。

【 図 6 】 面内磁化を伴う本発明の一実施形態を示す図である。

【 図 7 】 本発明におけるセンサビット線の製造およびプロセスの流れを示す図である。

【 図 8 】 メモリ書き込みを実行する1つの方法を示すフローチャートである。

【 図 9 】 メモリ読み出しを実行する1つの方法を示すフローチャートである。

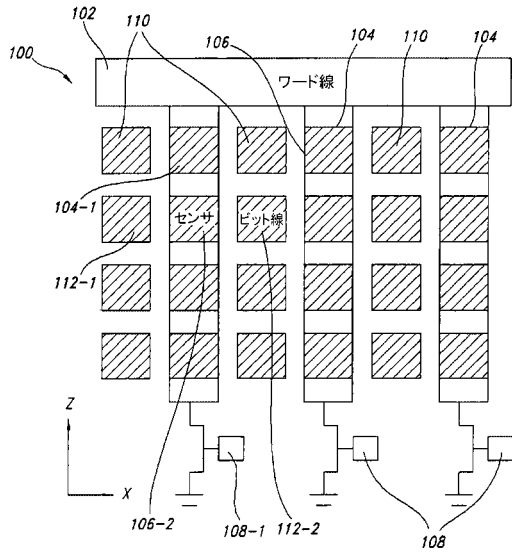
【 符号の説明 】

【 0 0 5 6 】

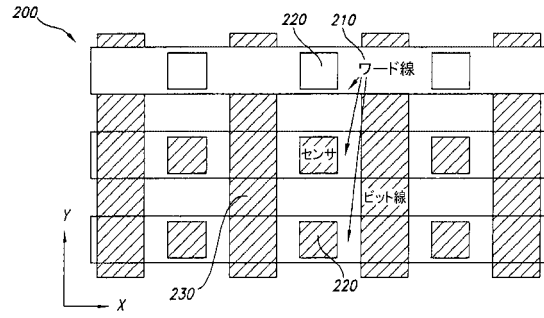
40

1 0 0 ... M R A M、 1 0 2 ... ワード線、 1 0 4 ... メモリ列、 1 0 6 ... メモリセル、 1 0 8 ... スイッチ、 1 1 0 ... ビット線列、 1 1 2 ... ビット線。

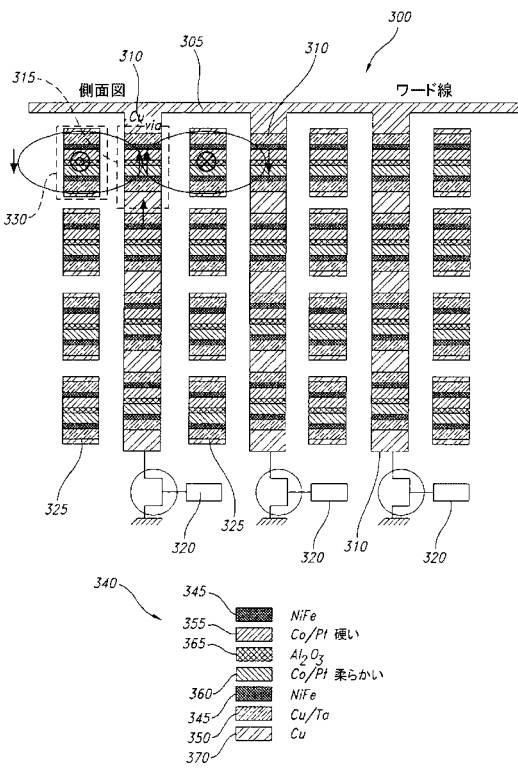
【 図 1 】



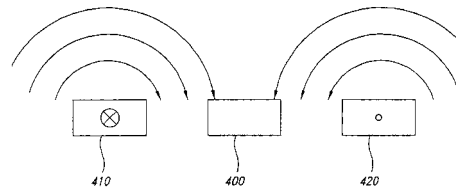
【 図 2 】



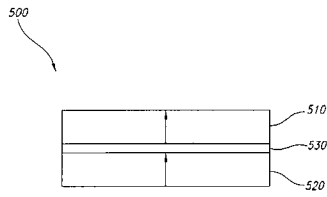
【 図 3 】



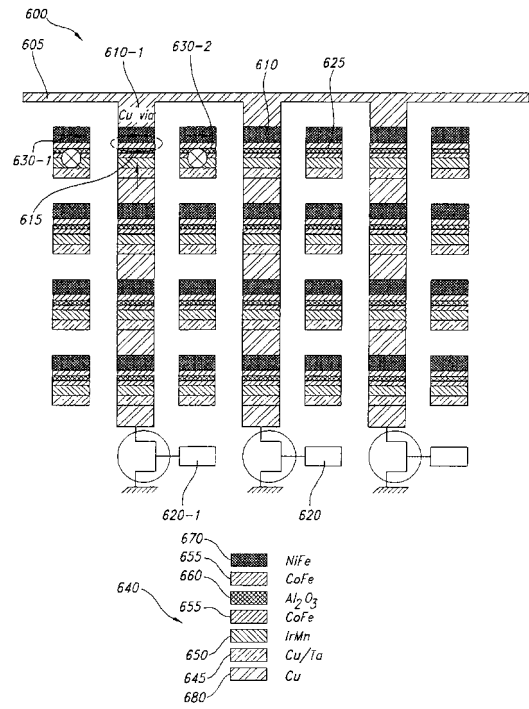
【 図 4 】



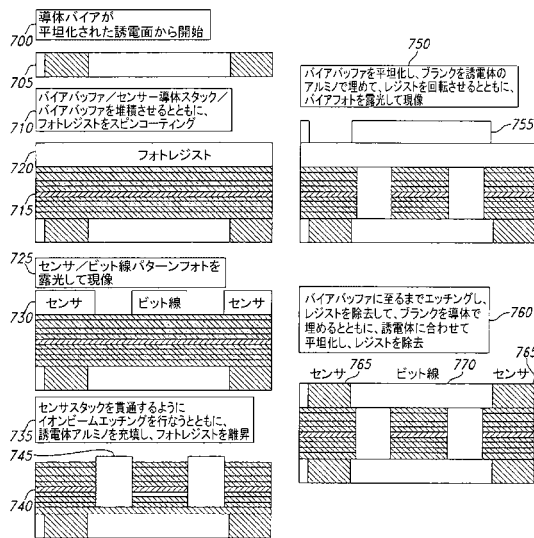
【 図 5 】



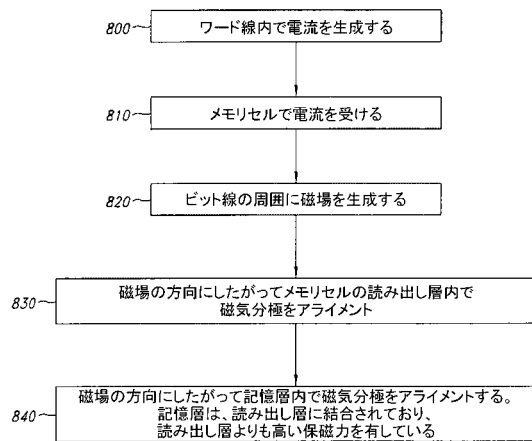
【 図 6 】



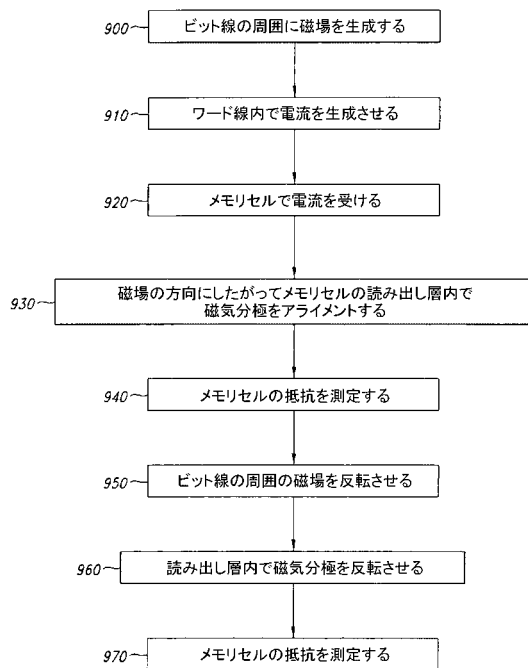
【 図 7 】



【 図 8 】



【 図 9 】



【 手続 補正 書 】

【 提出 日 】 平成 17 年 3 月 4 日 (2005.3.4)

【 手続 補正 1 】

【 補正 対象 書類 名 】 明 細 書

【 補正 対象 項目 名 】 0 0 1 2

【 補正 方法 】 変 更

【 補正 の 内 容 】

【 0 0 1 2 】

【0021】ビット線列 1 1 0 は、メモリ列 1 0 4 と並行して位置されている。図 1 では、各メモリ列同士の間には 1 つのビット線列が示されているが、当業者であれば分かるように、本発明においては、更に少ないビット線列が使用されても良い。ビット線列は、複数のビット線 1 1 2 を含む。ビット線 1 1 2 は、電流を運ぶことによりメモリセル 1 0 6 内の記憶層および読み出し層の極性を切り換える磁場を生成する導体である。ビット線 1 1 2 をメモリセル 1 0 6 の側部に位置させることにより、マスキング層の数が減るとともに、メモリ製造における処理ステップの数が減少する。本発明は、1 T n M T J および 1 D n M T J のそれぞれを得るために、1 T 1 M T J および 1 D 1 M T J 構造の両方に適用できる。

【 手続 補正 2 】

【 補正 対象 書類 名 】 明 細 書

【 補正 対象 項目 名 】 0 0 1 9

【 補正 方法 】 変 更

【 補正 の 内 容 】

【 0 0 1 9 】

【0028】層 3 6 0 は、(C o / P t) から構成される積層体 (2 繰り返し) であり、記憶層よりも保磁力が低い (柔らかい) 読み出し層である。C o の厚さは約 0 . 5 n m であっ

ても良く、また、Ptの厚さは約2nmであっても良い。CoPt積層体においては、層の厚さ及び繰り返し数を変えることにより、強制磁場(coercive field)を調整することができる。一般に、強制磁場は、繰り返し数の増大に伴って大きくなる。読み出し層および記憶層のための強制磁場の値の一例は、読み出し層においては200eであり、記憶層においては600eである。読み出し層および記憶層の両方の磁気分極は、メモリ書き込み中にアライメントされ、一方、読み出し層だけの磁気分極は、メモリ読み出し中に切り換えられる。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正の内容】

【0023】

[0032]図4は、ビット線、磁場、メモリセルを示す図である。メモリの書き込みを行なう1つの方法、すなわち、面外磁化の場合にMRAM300内にデータを記憶する1つの方法は、メモリセル400においては以下の通りである。面内磁化の場合のメモリ書き込み動作は、異なっており、以下において後述する。ビット線410, 420には、反対方向に流れる電流が供給される。ビット線410の電流は、図4の面内に入り込む方向で垂直に流れており、ビット線420の電流は、図4の面から抜け出す方向で垂直に流れている。電流が反対方向であるため、各ビット線410, 420の周囲の磁場は逆向きである。ビット線410の周囲の磁場は、時計回りであり、一方、ビット線420の周囲の磁場は、反時計回りである。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0032

【補正方法】変更

【補正の内容】

【0032】

[0041]その後、良く知られた方法によって、メモリ列104-1の抵抗が決定される。その後、ビット線112-1, 112-2を通じて流れる電流の方向が切り換えられ、各磁場は、この場合も記憶層520を切り換えることなく、読み出し層510における磁気分極のアライメントを切り換える。メモリ列104-1の抵抗が再び決定される。第1の読み出しと第2の読み出しとの間の抵抗差と、第1および第2の読み出し中における読み出し層510の周知の磁気分極とに基づいて、記憶層520の磁気分極が分かってくる。メモリセルの抵抗は、記憶層および読み出し層の両方が同じ方向にアライメントされている場合には低く、上記両方の層が反対方向にアライメントされている場合には高い。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0040

【補正方法】変更

【補正の内容】

【0040】

[0049]層670は、厚さが約25nmのNi₈₀Fe₂₀である。層670は、隣り合うビット線の一番上にあるNiFe層の磁化と平行に静磁氣的に結合されるフリー層を形成する。図6に示すCoFeの層655'は、より明確にはCo₉₀Fe₁₀からなる。この層655'は、Ni₈₀Fe₂₀だけの単一層670に代えて、例えばCo₉₀Fe₁₀/Ni₈₀Fe₂₀の二重層であるフリー層が望まれる場合に、任意的に付加される層である。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0043

【補正方法】変更

【補正の内容】

【0043】

[0052]メモリ書き込みを行なう1つの方法、すなわち、面内磁化においてMRAM600内にデータを記憶する1つの方法は、メモリセル615においては以下の通りである。同じ方向で流れる電流（または、パルス電流）がビット線630-1, 630-2に対して供給される。ビット線630-1, 630-2の電流は、図6の面内に垂直に入り込んで流れるように示されている。各ビット線630-1, 630-2上の層670は、クラッド層としての機能を果たす。層670は、ビット線630-1, 630-2を通じて流れる電流によって生成されるエルステッド磁場内で分極される。ビット線630-1, 630-2上のこれらの層670とメモリセル615上の層670との間の平行な静磁気結合により、メモリセル615内の層670の磁化は、ビット線630-1, 630-2の磁場に対して平行にアライメントされる。

【手続補正7】

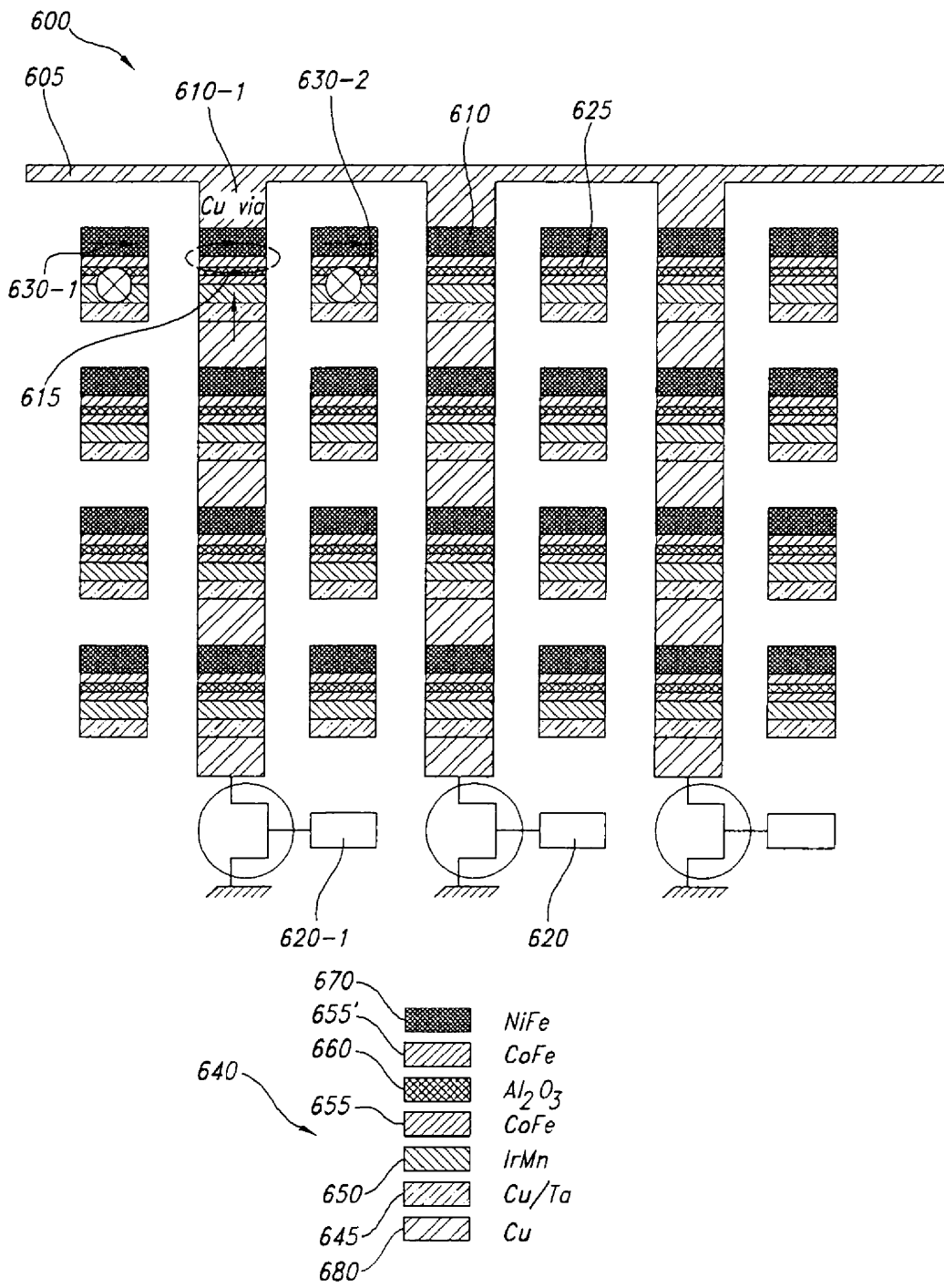
【補正対象書類名】図面

【補正対象項目名】図6

【補正方法】変更

【補正の内容】

【 図 6 】



【外国語明細書】

2005229099000001.pdf