

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年1月2日(02.01.2020)



(10) 国際公開番号

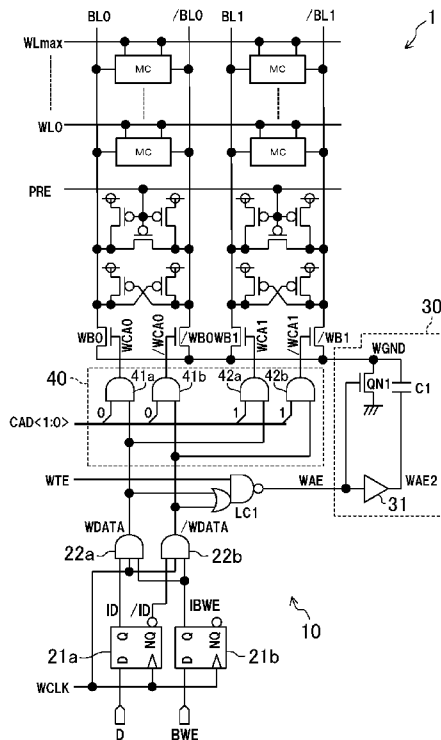
WO 2020/003519 A1

- (51) 国際特許分類:
G11C 7/12 (2006.01) G11C 11/419 (2006.01)
- (21) 国際出願番号: PCT/JP2018/024905
- (22) 国際出願日: 2018年6月29日(29.06.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 株式会社ソシオネクスト(SOCIONEXT INC.) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 Kanagawa (JP).
- (72) 発明者: 山上 由展(YAMAGAMI Yoshinobu); 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 株式会社ソシオネクスト内 Kanagawa (JP).

- (74) 代理人: 特許業務法人前田特許事務所(MAEDA & PARTNERS); 〒5300004 大阪府大阪市北区堂島浜1丁目2番1号 新ダイビル23階 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: SEMICONDUCTOR MEMORY DEVICE AND DATA WRITING METHOD

(54) 発明の名称: 半導体記憶装置およびデータ書き込み方法



(57) Abstract: According to the present invention, a memory cell array (1) includes a plurality of memory cells (MC) connected to a pair of bit lines (BL, BL) and a word line (WL). A writing circuit (10) includes a negative potential generation circuit (30) that generates a potential that is lower than a lower power supply potential supplied to the memory cell (MC). The writing circuit (10) activates the negative potential generation circuit (30) when a write mask signal (BWE) indicates an enabled state, and supplies the potential generated by the negative potential generation circuit (30) to the bit line that supplies raw data. Conversely, the writing circuit (10) inactivates the negative potential generation circuit (30) when the write mask signal (BWE) indicates a disabled state, without supplying data to the pair of bit lines.

(57) 要約: メモリセルアレイ (1) は、ビット線対 (BL, /BL) およびワード線 (WL) に接続された複数のメモリセル (MC) を備える。書き込み回路 (10) は、メモリセル (MC) に与えられる低い方の電源電位よりも低い電位を生成する負電位生成回路 (30) を有する。書き込み回路 (10) は、ライトマスク信号 (BWE) がイネーブル状態を示すとき、負電位生成回路 (30) をアクティブにし、ローデータを供給するビット線に負電位生成回路 (30) が生成した電位を供給する。一方、ライトマスク信号 (BWE) がディセーブル状態を示すとき、ビット線対へのデータ供給を行わず、負電位生成回路 (30) をインアクティブにする。

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：半導体記憶装置およびデータ書き込み方法

技術分野

[0001] 本開示は、半導体記憶装置に関し、書き込み動作時にビット線の電位を負電位にする技術に関する。

背景技術

[0002] 半導体記憶装置に関して、書き込み動作時に、ビット線の電位を負電位にすることによって書き込みマージンを改善する技術が知られている。例えば、特許文献1では、MOSトランジスタで形成した容量素子605が設けられており、書き込みデータDBおよび書き込み制御信号WEによって書き込み動作を行う際に、信号BSTBによる制御に従って、容量素子605による降圧動作によりビット線BLの電位を負電位にする構成が開示されている。また、特許文献2では、MOSトランジスタで形成した容量素子216が設けられており、書き込みデータDATA__INおよび書き込み制御信号WRITE__ENによって書き込み動作を行う際に、容量素子216による降圧動作によりビット線の電位を負電位にする構成が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：米国特許第7486540号明細書（図6，7）

特許文献2：米国特許第9378788号明細書（図3）

発明の概要

発明が解決しようとする課題

[0004] 半導体記憶装置の中には、いわゆるビットライト機能に対応したものがある。ビットライト機能とは、あるビット1／0に接続されたメモリセルへの書き込みを行うか否かを制御する機能のことをいう。

[0005] ところが、特許文献1，2の構成では、書き込み動作を行う際には、全てのビット1／0が負電位を生成する。このため、このままの構成でビットラ

イト機能に対応させた場合には、書き込みを行わないビット 1 / 0 でも負電位生成のための降圧動作が行われてしまい、不要な電力を消費してしまう。

[0006] 本開示は、書き込み動作時にビット線電位を負電位にする技術を採用した半導体記憶装置について、より低消費電力で、ビットライト機能に対応させることを目的とする。

課題を解決するための手段

[0007] 本開示の第 1 態様では、半導体記憶装置は、複数のビット線対と、複数のワード線と、第 1 電位の第 1 電源と、前記第 1 電位よりも低い第 2 電位の第 2 電源との間に設けられ、前記複数のビット線対のいずれか、および、前記複数のワード線のいずれかに接続されたメモリセルが、複数個、アレイ状に並べられたメモリセルアレイと、1 つまたは複数の前記ビット線対に対して設けられており、書き込み動作時において、入力データに応じて、当該ビット線対へのデータ供給を行う書き込み回路とを備える。前記書き込み回路は、前記第 2 電位よりも低い第 3 電位を生成する負電位生成回路を有し、かつ、当該ビット線対へのデータ供給を行うイネーブル状態か、当該ビット線対へのデータ供給を行わないディセーブル状態かを示すライトマスク信号を受け、前記ライトマスク信号が前記イネーブル状態を示すときは、当該ビット線対へのデータ供給を行うとともに、前記負電位生成回路をアクティブにし、当該ビット線対のうちローデータを供給する方のビット線に、前記負電位生成回路によって生成された前記第 3 電位を供給する一方、前記ライトマスク信号が前記ディセーブル状態を示すときは、当該ビット線対へのデータ供給を行わず、前記負電位生成回路をインアクティブにする。

[0008] この態様によると、メモリセルアレイは、第 1 電位の第 1 電源と、第 1 電位よりも低い第 2 電位の第 2 電源との間に設けられ、ビット線対およびワード線に接続された複数個のメモリセルを備える。書き込み回路は、メモリセルに与えられる低い方の電源電位である第 2 電位よりも低い第 3 電位を生成する負電位生成回路を有する。そして、書き込み回路は、ライトマスク信号がイネーブル状態を示すときは、当該ビット線対へのデータ供給を行うと

もに、負電位生成回路をアクティブにし、当該ビット線対のうちローデータを供給するビット線に、負電位生成回路によって生成された第3電位を供給する。一方、ライトマスク信号がディセーブル状態を示すときは、当該ビット線対へのデータ供給を行わず、負電位生成回路をインアクティブにする。すなわち、書き込み回路では、当該ビット線対へのデータ供給を行わない場合には、負電位生成回路はインアクティブになり、不要な電力は消費されない。したがって、より低消費電力で、半導体記憶装置をビットライト機能に対応させることができる。

[0009] 本開示の第2態様では、半導体記憶装置は、複数のビット線対と、複数のワード線と、第1電位の第1電源と、前記第1電位よりも低い第2電位の第2電源との間に設けられ、前記複数のビット線対のいずれか、および、前記複数のワード線のいずれかに接続されたメモリセルが、複数個、アレイ状に並べられたメモリセルアレイと、前記第2電位よりも低い第3電位を生成する負電位生成回路とを備える。前記半導体記憶装置において、データを書き込む方法は、1つまたは複数の前記ビット線対に対してデータ供給を行うときは、前記負電位生成回路をアクティブにし、当該ビット線対のうちローデータを供給する方のビット線に、前記負電位生成回路によって生成された前記第3電位を供給するステップと、1つまたは複数の前記ビット線対に対してデータ供給を行わないときは、前記負電位生成回路をインアクティブにするステップとを備える。

[0010] この態様によると、半導体記憶装置は、第1電位の第1電源と、第1電位よりも低い第2電位の第2電源との間に設けられ、ビット線対およびワード線に接続された複数個のメモリセルを備える。そして、ビット線対へのデータ供給を行うときは、第2電位よりも低い第3電位を生成する負電位生成回路をアクティブにし、当該ビット線対のうちローデータを供給する方のビット線に、負電位生成回路によって生成された第3電位を供給する。ビット線対へのデータ供給を行わないときは、負電位生成回路をインアクティブにする。すなわち、ビット線対へのデータ供給を行わない場合は、負電位生成回

路はインアクティブになり、不要な電力は消費されない。したがって、より低消費電力で、半導体記憶装置をビットライト機能に対応させることができる。

発明の効果

[0011] 本開示によると、書き込み動作時にビット線電位を負電位にする技術を採用した半導体記憶装置について、より低消費電力で、ビットライト機能に対応させることができる。

図面の簡単な説明

[0012] [図1]第1実施形態に係る半導体記憶装置の回路構成例

[図2]メモリセルの回路構成

[図3]書き込み動作を示すタイミングチャート

[図4]第1実施形態に係る半導体記憶装置の他の回路構成例

[図5]第2実施形態に係る半導体記憶装置の回路構成例

[図6]第2実施形態に係る半導体記憶装置の他の回路構成例

[図7] (a), (b) はメモリセルの他の回路構成

発明を実施するための形態

[0013] 以下、実施の形態について、図面を参照して説明する。なお、以下の説明では、信号線やノードに付した符号は、当該信号線における信号やデータ、および当該ノードにおける電位を表すために用いる場合がある。また、VDD、VSSは、電源自体、および、当該電源が供給する電位の両方を表すものとする。また、信号のハイレベルを“H”、ローレベルを“L”と表記する場合がある。

[0014] (第1実施形態)

図1は第1実施形態に係る半導体記憶装置の回路構成例を示す。図1において、(BL0, /BL0), (BL1, /BL1)はビット線対、WL0~WLmaxはワード線、MCはメモリセルである。メモリセルMCは複数個、アレイ状に並べられており、メモリセルアレイ1を構成している。各メモリセルMCは、ビット線対のいずれか、および、ワード線のいずれかに接続さ

れている。

[0015] 図2はメモリセルMCの回路構成である。図2のメモリセルMCは、いわゆる1RWメモリセルであり、6個のトランジスタによって構成されている。図2に示すように、メモリセルMCは、電源VDD（第1電位としての電源電位VDDを供給）と、電源VSS（第2電位としての接地電位VSSを供給）との間に設けられている。

[0016] なお、図1は2カラム品、すなわち、1つの書き込み回路10に2カラム分のメモリセルが選択的に接続される構成を示している。図1では、書き込み回路10およびこれに接続される2カラム分の構成を示しているが、実際の半導体記憶装置では、図1のような構成が、多数（例えば、128個または256個）設けられている。また、図の簡略化のために、リード系回路については図示を省略している。

[0017] 書き込み回路10は、Dラッチ回路21a、21b、3入力AND回路22a、22b、論理回路LC1、および、負電位生成回路30を備える。Dラッチ回路21aは、入力データDをデータ入力とし、書き込みクロックWCLKをクロック入力とする。Dラッチ回路21bは、ビットライト信号BWEをデータ入力とし、書き込みクロックWCLKをクロック入力とする。3入力AND回路22aは、Dラッチ回路21aの出力ID、書き込みクロックWCLK、およびDラッチ回路21bの出力IBWEを入力とする。3入力AND回路22bは、Dラッチ回路21aの反転出力／ID、書き込みクロックWCLK、およびDラッチ回路21bの出力IBWEを入力とする。3入力ANDゲート22a、22bの出力は、書き込みデータ線対WDATA、／WDATAにそれぞれ接続されている。

[0018] 論理回路LC1は、ORゲートとNANDゲートの組み合わせからなり、ORゲートは書き込みデータWDATA、／WDATAを入力とし、NANDゲートはORゲートの出力とライト制御信号WTEとを入力とする。論理回路LC1の出力WAEは、負電位生成回路30に与えられる。

[0019] 負電位生成回路30は、トランジスタQN1、容量素子C1およびバッフ

ア回路31を備え、論理回路LC1の出力WAEに応じて、出力ノードWGNDの電位を制御する。すなわち、出力WAEが“H”（ハイレベル）のときは、トランジスタQN1がオン状態になり、出力ノードWGNDは接地電位VSSになる。出力WAEが“L”（ローレベル）のときは、トランジスタQN1がオフ状態になり、バッファ回路31の出力WAE2が“L”になるため、容量素子C1による降圧動作（チャージポンプ動作）によって、出力ノードWGNDは接地電位VSSよりもさらに低い電位（第3電位）になる。すなわち、負電位生成回路30は、接地電位VSSよりも低い第3電位を生成する。なお、容量素子C1は、実際には例えば、ソース／ドレインを短絡したMOSトランジスタによって構成される。MOSトランジスタのサイズを増減することによって、第3電位のレベルを調整することができる。

[0020] カラム選択回路40は、各ビット線BL0、 $\overline{\text{BL0}}$ 、BL1、 $\overline{\text{BL1}}$ に対応する4個のANDゲート41a、41b、42a、42bを備える。ANDゲート41a、41bは、カラムアドレス信号CAD<0>を一方の入力とし、他方の入力に書き込みデータ線対WDATA、 $\overline{\text{WDATA}}$ がそれぞれ接続されている。ANDゲート42a、42bは、カラムアドレス信号CAD<1>を一方の入力とし、他方の入力に書き込みデータ線対WDATA、 $\overline{\text{WDATA}}$ がそれぞれ接続されている。

[0021] 各ビット線BL0、 $\overline{\text{BL0}}$ 、BL1、 $\overline{\text{BL1}}$ に、トランジスタWB0、 $\overline{\text{WB0}}$ 、WB1、 $\overline{\text{WB1}}$ が、それぞれ設けられている。トランジスタWB0、 $\overline{\text{WB0}}$ 、WB1、 $\overline{\text{WB1}}$ のソースノードは、負電位生成回路30の出力ノードWGNDと接続されている。また、トランジスタWB0、 $\overline{\text{WB0}}$ 、WB1、 $\overline{\text{WB1}}$ のゲートには、カラム選択回路40におけるANDゲート41a、41b、42a、42bの出力がそれぞれ与えられている。

[0022] 図1の半導体記憶装置における書き込み動作について、図3のタイミングチャートを参照して説明する。ここでは、ビットライト信号BWEが、ビット線対へのデータ供給を行うか否かを示すライトマスク信号として機能する

。ビットライト信号BWEは、“H”のときは、ビット線対へのデータ供給を行うイネーブル状態を示し、“L”のときは、ビット線対へのデータ供給を行わないディセーブル状態を示す。ビットライト信号BWEによる制御によって、ビットライト機能を実現することができる。なお、ビットライト信号BWEの論理レベルと、ビット線対へのデータ供給を行うか否かとの関係は、この逆であってもかまわない。

[0023] 書き込み動作を行う前は、全てのワード線WL (WL0~WLmax)は“L”であり、全てのビット線対(BL0, /BL0), (BL1, /BL1)は、“L”のプリチャージ信号PREによって“H”にプリチャージされている。

[0024] ビットライト信号BWEが“H”であり、イネーブル状態を示している場合は、書き込み動作は次のようになる。

[0025] Dラッチ回路21a, 21bは、書き込みクロックWCLKの立ち上がりで、入力データDおよびビットライト信号BWEをそれぞれラッチする。書き込みクロックWCLKが“H”の期間、すなわち書き込みサイクル中は、Dラッチ回路21bの出力IBWEは“H”になる。この期間では、入力データDに応じて、3入力ANDゲート22a, 22bの出力すなわち書き込みデータWDATA, /WDATAのいずれか一方が“H”になる。例えば、入力データDが“H”のとき、WDATA=“H”、/WDATA=“L”になる。

[0026] またこのとき、ライト制御信号WTEは“L”である。これにより、論理回路LC1の出力WAEは、書き込みデータWDATA, /WDATAの論理レベルにかかわらず、“H”になる。このため、負電位生成回路30においてトランジスタQN1はオン状態になり、出力ノードWGNDの電位は接地電位VSSになる。これにより、各ビット線BL0, /BL0, BL1, /BL1に設けられたトランジスタWB0, /WB0, WB1, /WB1のソースには、接地電位VSSが与えられる。

[0027] 次に、プリチャージ信号PREが“H”になり、ビット線対(BL0, /

BL0), (BL1, /BL1)のプリチャージが解除される。また、いずれかのワード線WL(ここではWL0とする)が“H”になり活性化する。

[0028] そして、カラム選択回路40の動作によって、トランジスタWB0, /WB0, WB1, /WB1のうちのいずれかがオンする。具体的には、カラムアドレス信号CADによって、ビット線対(BL0, /BL0), (BL1, /BL1)のいずれかが選択され、選択されたビット線対に設けられたトランジスタ対のうち、書き込みデータWDATA, /WDATAのうち“H”である方がゲートに与えられるトランジスタがオンする。例えば、 $CAD<0> = “H”$ 、 $CAD<1> = “L”$ 、 $WDATA = “H”$ 、 $/WDATA = “L”$ とすると、ビット線対(BL0, /BL0)が選択され、トランジスタ対WB0, /WB0のうちトランジスタWB0がオンする。他のトランジスタ/WB0, WB1, /WB1はオンしない。この結果、ビット線BL0は“H”から“L”に遷移し、トランジスタWB0のソース電位、すなわち、負電位生成回路30の出力ノードWGNDの電位である接地電位VSSに変化する(図3ではL1としている)。

[0029] 次に、いずれか1つのビット線(ここではビット線BL0)の電位が“L”に変化したタイミングで、ライト制御信号WTEが“L”から“H”に変化する。これにより、論理回路LC1の出力WAEは“H”から“L”に変化し、負電位生成回路30においてトランジスタQN1はオフ状態になる。この結果、出力ノードWGNDは、ハイインピーダンスな“L”になる。また、論理回路LC1の出力WAEが“H”から“L”に変化することによって、バッファ回路31の出力WAE2は、バッファ回路31の遅延時間後に“H”から“L”に変化する。

[0030] 出力ノードWGNDは、容量素子C1の一端が接続されており、容量素子C1の他端はバッファ回路31の出力WAE2が接続されている。出力WAE2が“H”から“L”に変化すると、ハイインピーダンスな“L”になっている出力ノードWGNDは、容量素子C1による降圧動作(チャージポンプ動作)によって、容量素子C1の容量値に応じたさらに低い“L”に変化

する。これにより、ビット線BL0の電位も、トランジスタWB0を介してさらに低い電位の“L”に変化する（図3ではL2としている）。このようにして、メモリセルMCへのデータ書き込みが完了する。

[0031] 書き込み動作の後、全てのワード線WL（WL0～WLmax）は“L”に戻り、全てのビット線対（BL0，／BL0），（BL1，／BL1）は、“L”のプリチャージ信号PREによって“H”にプリチャージされた状態に戻る。また、ライト制御信号WTE、書き込みクロックWCLKも“H”から“L”に戻る。

[0032] ビットライト信号BWEが“L”であり、ディセーブル状態を示している場合は、書き込み動作は次のようになる。

[0033] Dラッチ回路21a，21bは、書き込みクロックWCLKの立ち上がりで、入力データDおよびビットライト信号BWEをそれぞれラッチする。書き込みクロックWCLKが“H”の期間、すなわち書き込みサイクル中は、Dラッチ回路21bの出力IBWEは“L”になる。このため、入力データDにかかわらず、3入力ANDゲート22a，22bの出力すなわち書き込みデータWDATA，／WDATAは、両方とも“L”のまま、変化しない。

[0034] 次に、プリチャージ信号PREが“H”になり、ビット線対（BL0，／BL0），（BL1，／BL1）のプリチャージが解除される。また、いずれかのワード線WL（ここではWL0とする）が“H”になり活性化する。ところが、書き込みデータWDATA，／WDATAは両方とも“L”のままなので、トランジスタWB0，／WB0，WB1，／WB1は全てオフ状態を維持する。したがって、メモリセルMCへのデータ書き込みは行われない。

[0035] さらに、ライト制御信号WTEが“L”から“H”に変化しても、論理回路LC1の出力WAEは“H”を維持し、バッファ回路31の出力WAE2も“H”を維持する。したがって、負電位生成回路30はインアクティブになり、容量素子C1による降圧動作（チャージポンプ動作）は行われない。

[0036] 書き込み動作の後、全てのワード線WL (WL 0 ~ WL max) は“L”に戻り、全てのビット線対 (BL 0, /BL 0), (BL 1, /BL 1) は、“L”のプリチャージ信号PREによって“H”にプリチャージされた状態に戻る。また、ライト制御信号WTE、書き込みクロックWCLKも“H”から“L”に戻る。

[0037] 以上のように本実施形態によると、書き込み回路10は、ビットライト信号BWEがイネーブル状態を示すときは、ビット線対へのデータ供給を行うとともに、負電位生成回路30をアクティブにし、“L”を供給するビット線例えばビット線BL 0に、トランジスタWB 0を介して、負電位生成回路30によって生成された、接地電位VSSよりも低い電位を供給する。一方、ビットライト信号BWEがディセーブル状態を示すときは、ビット線対へのデータ供給を行わず、負電位生成回路30をインアクティブにする。すなわち、書き込み回路10では、対応するビット線対へのデータ供給を行わない場合には、負電位生成回路30はインアクティブになり、不要な電力は消費されない。したがって、より低消費電力で、半導体記憶装置をビットライト機能に対応させることができる。

[0038] なお、図1では、本実施形態に係る半導体記憶装置の構成の一例として、1つの書き込み回路10に2カラム分のメモリセルが選択的に接続される構成を示した。ただし、本実施形態に係る半導体記憶装置において、書き込み回路に接続されるカラム数は、2に限られるものではない。

[0039] 図4は1カラム品、すなわち、1つの書き込み回路10に1カラム分のメモリセルが接続される構成を示す。図4の構成では、図1の構成におけるカラム選択回路40が省かれており、書き込みデータ線対WDATA, /WDATAが直接、トランジスタ対WB 0, /WB 0のゲートに接続されている。図4の構成における書き込み動作は、上述した図1の構成における書き込み動作と同様である。

[0040] (第2実施形態)

図5は第2実施形態に係る半導体記憶装置の回路構成例を示す。図5では

、図1の構成と共通の構成要素については図1と同一の符号を付しており、ここではその詳細な説明を省略する場合がある。

[0041] 図5は図1と同様に、2カラム品、すなわち、1つの書き込み回路15に2カラム分のメモリセルが選択的に接続される構成を示している。図1では、書き込み回路15およびこれに接続される2カラム分の構成を示しているが、実際の半導体記憶装置では、図5のような構成が、多数（例えば、128個または256個）設けられている。また、図の簡略化のために、リード系回路については図示を省略している。

[0042] 書き込み回路15は、Dラッチ回路21a、21b、3入力AND回路22a、22b、論理回路LC1、および、負電位生成回路30を備える。これらの構成は、図1と同様である。

[0043] 本実施形態では、書き込みデータ線対WDATA、/WDATAとビット線対(BL0、/BL0)、(BL1、/BL1)との接続形態が、第1実施形態と異なっている。

[0044] 図1の構成では、書き込みデータ線対WDATA、/WDATAは、カラム選択回路40を経由して、各ビット線BL0、/BL0、BL1、/BL1にそれぞれ設けられたトランジスタWB0、/WB0、WB1、/WB1のゲートに接続されている。

[0045] これに対して図5の構成では、ライトバッファを構成するインバータ24a、24bとカラムスイッチCOLSEL0、COLSEL1とが設けられている。なお、インバータ24a、24bは、書き込み回路15からビット線対に供給されるデータを受け、そのデータをビット線対に供給するバッファの一例である。インバータ24a、24bは、入力に、書き込みデータ線対WDATA、/WDATAがそれぞれ接続されている。インバータ24aの出力/WDは、カラムスイッチCOLSEL0を介してビット線/BL0と接続され、カラムスイッチCOLSEL1を介してビット線/BL1と接続されている。インバータ24bの出力WDは、カラムスイッチCOLSEL0を介してビット線BL0と接続され、カラムスイッチCOLSEL1を

介してビット線BL1と接続されている。

[0046] インバータ24a, 24bは、電源ノードWVDDがトランジスタ23を介して電源と接続されており、接地ノードが負電位生成回路30の出力ノードWGNDと接続されている。トランジスタ23は、ゲートにDラッチ回路21bの反転出力／IBWEを受ける。

[0047] 図5の半導体記憶装置における書き込み動作について、説明する。なお、図3のタイミングチャートは、本実施形態にも適用できる。本実施形態でも、ビットライト信号BWEが、ビット線対へのデータ供給を行うか否かを示すライトマスク信号として機能する。ビットライト信号BWEは、“H”のときは、ビット線対への書き込みを行うイネーブル状態を示し、“L”のときは、当該ビット線対への書き込みを行わないディセーブル状態を示す。

[0048] 書き込み動作を行う前は、全てのワード線WL (WL0～WLmax)は“L”であり、全てのビット線対 (BL0, /BL0), (BL1, /BL1)は、“L”のプリチャージ信号PREによって“H”にプリチャージされている。

[0049] ビットライト信号BWEが“H”であり、イネーブル状態を示している場合は、書き込み動作は次のようになる。

[0050] Dラッチ回路21a, 21bは、書き込みクロックWCLKの立ち上がりで、入力データDおよびビットライト信号BWEをそれぞれラッチする。書き込みクロックWCLKが“H”の期間、すなわち書き込みサイクル中は、Dラッチ回路21bの出力IBWEは“H”になる。この期間では、入力データDに応じて、3入力ANDゲート22a, 22bの出力すなわち書き込みデータWDATA, /WDATAのいずれか一方が“H”になる。例えば、入力データDが“H”のとき、WDATA=“H”、/WDATA=“L”になる。

[0051] またこのとき、ライト制御信号WTEは“L”である。これにより、論理回路LC1の出力WAEは、書き込みデータWDATA, /WDATAの論理レベルにかかわらず、“H”になる。このため、負電位生成回路30にお

いてトランジスタQ N 1はオン状態になり、出力ノードW G N Dの電位は接地電位V S Sになる。これにより、インバータ2 4 a, 2 4 bの接地ノードには、接地電位V S Sが与えられる。また、Dラッチ回路2 1 bの反転出力／I B W Eは“L”であるので、トランジスタ2 3はオン状態になり、インバータ2 4 a, 2 4 bの電源ノードW V D Dは“H”になる。この結果、インバータ2 4 aの出力／W Dは“L”になり、インバータ2 4 bの出力W Dは“H”になる。

[0052] 次に、プリチャージ信号P R Eが“H”になり、ビット線対（B L 0, ／B L 0）, （B L 1, ／B L 1）のプリチャージが解除される。また、いずれかのワード線W L（ここではW L 0とする）が“H”になり活性化する。

[0053] そして、カラムアドレス信号C A Dによって、カラムスイッチC O L S E L 0, C O L S E L 1のいずれか1つが選択され、オンする。例えば、C A D<0>= “H”、C A D<1>= “L” とすると、カラムスイッチC O L S E L 0がオンし、インバータ2 4 a, 2 4 bの出力／W D, W Dが、ビット線対／B L 0, B L 0にそれぞれ伝達される。この結果、ビット線B L 0は“H”から“L”に遷移し、負電位生成回路3 0の出力ノードW G N Dの電位である接地電位V S Sに変化する。

[0054] 次に、いずれか1つのビット線（ここではビット線B L 0）の電位が“L”に変化したタイミングで、ライト制御信号W T Eが“L”から“H”に変化する。これにより、論理回路L C 1の出力W A Eは、“H”から“L”に変化し、負電位生成回路3 0においてトランジスタQ N 1はオフ状態になる。この結果、出力ノードW G N Dは、ハイインピーダンスな“L”になる。また、論理回路L C 1の出力W A Eが“H”から“L”に変化することによって、バッファ回路3 1の出力W A E 2は、バッファ回路3 1の遅延時間後に“H”から“L”に変化する。

[0055] 出力ノードW G N Dは、容量素子C 1の一端が接続されており、容量素子C 1の他端にはバッファ回路3 1の出力W A E 2が接続されている。出力W A E 2が“H”から“L”に変化すると、ハイインピーダンスな“L”にな

っている出力ノードWGNDは、容量素子C1による降圧動作（チャージポンプ動作）によって、容量素子C1の容量値に応じたさらに低い“L”に変化する。これにより、ビット線BL0の電位も、インバータ24bを介して、さらに低い電位の“L”に変化する。このようにして、メモリセルMCへのデータ書き込みが完了する。

[0056] 書き込み動作の後、全てのワード線WL（WL0～WLmax）は“L”に戻り、全てのビット線対（BL0，／BL0），（BL1，／BL1）は、“L”のプリチャージ信号PREによって“H”にプリチャージされた状態に戻る。また、ライト制御信号WTE、書き込みクロックWCLKも“H”から“L”に戻る。

[0057] ビットライト信号BWEが“L”であり、ディセーブル状態を示している場合は、書き込み動作は次のようになる。

[0058] Dラッチ回路21a，21bは、書き込みクロックWCLKの立ち上がりで、入力データDおよびビットライト信号BWEをそれぞれラッチする。書き込みクロックWCLKが“H”の期間、すなわち書き込みサイクル中は、Dラッチ回路21bの出力IBWEは“L”になる。このため、入力データDにかかわらず、3入力ANDゲート22a，22bの出力すなわち書き込みデータDATA，／WDATAは、両方とも“L”のまま、変化しない。また、Dラッチ回路21bの反転出力／IBWEは“H”であるので、トランジスタ23はオフ状態になり、インバータ24a，24bの電源ノードWVDDは、電源との接続が遮断される。これにより、インバータ24a，24bの出力／WD，WDはハイインピーダンス状態となる。

[0059] 次に、プリチャージ信号PREが“H”になり、ビット線対（BL0，／BL0），（BL1，／BL1）のプリチャージが解除される。また、いずれかのワード線WL（ここではWL0とする）が“H”になり活性化する。カラムアドレス信号CADによって、カラムスイッチCOLSEL0，COLSEL1のいずれか1つが選択され、オンする。ところが、インバータ24a，24bの出力／WD，WDがハイインピーダンス状態であるため、メ

メモリセルMCへのデータ書き込みは行われない。

[0060] さらに、ライト制御信号WTEが“L”から“H”に変化しても、論理回路LC1の出力WAEは“H”を維持し、バッファ回路31の出力WAE2も“H”を維持する。したがって、負電位生成回路30はインアクティブになり、容量素子C1による降圧動作（チャージポンプ動作）は行われない。

[0061] 書き込み動作の後、全てのワード線WL（WL0～WLmax）は“L”に戻り、全てのビット線対（BL0、／BL0）、（BL1、／BL1）は、“L”のプリチャージ信号PREによって“H”にプリチャージされた状態に戻る。また、ライト制御信号WTE、書き込みクロックWCLKも“H”から“L”に戻る。

[0062] 以上のように本実施形態によると、書き込み回路15は、ビットライト信号BWEがイネーブル状態を示すときは、ビット線対へのデータ供給を行うとともに、負電位生成回路30をアクティブにし、“L”を供給するビット線例えばビット線BL0に、インバータ24bを介して、負電位生成回路30によって生成された、接地電位VSSよりも低い電位を供給する。一方、ビットライト信号BWEがディセーブル状態を示すときは、ビット線対へのデータ供給を行わず、負電位生成回路30をインアクティブにする。すなわち、書き込み回路10では、対応するビット線対へのデータ供給を行わない場合には、負電位生成回路30はインアクティブになり、不要な電力は消費されない。したがって、より低消費電力で、半導体記憶装置をビットライト機能に対応させることができる。

[0063] なお、図5では、本実施形態に係る半導体記憶装置の構成の一例として、1つの書き込み回路15に2カラム分のメモリセルが選択的に接続される構成を示した。ただし、本実施形態に係る半導体記憶装置において、書き込み回路に接続されるカラム数は、2に限られるものではない。

[0064] 図6は1カラム品、すなわち、1つの書き込み回路15に1カラム分のメモリセルが接続される構成を示す。図6の構成では、図5の構成におけるカラムスイッチCOLSEL0、COLSEL1が省かれており、代わりに、

ライトタイミング信号WTによってオンオフ制御されるライトスイッチWSWが、ビット線対／BL0，BL0に設けられている。図6の構成における書き込み動作は、上述した図5の構成における書き込み動作と、ほぼ同様である。ただし、上述した動作において、カラムアドレス信号CADによってカラムスイッチCOLSEL0，COLSEL1のいずれか1つがオンする代わりに、ライトタイミング信号WTによってライトスイッチWSWがオンする。

[0065] また、上述の実施形態では、半導体記憶装置は図2に示す1RWメモリセルを備えるものとした。ただし、その他のメモリセルについても、本開示は適用可能である。例えば、図7(a)に示す1R1Wメモリセルを用いた半導体記憶装置では、ライトビット線および反転ライトビット線からなるビット線対に対して、上述の実施形態で示した書き込み回路10，15を設ければよい。また、図7(b)に示す2RWメモリセルを用いた半導体記憶装置では、ビット線Aおよび反転ビット線Aからなるビット線対と、ビット線Bおよび反転ビット線Bからなるビット線対とに対して、それぞれ、上述の実施形態で示した書き込み回路10，15を設ければよい。

[0066] (変形例)

上述した第1および第2実施形態では、ビットライト信号BWEが、ビット線対へのデータ供給を行うか否かを示すライトマスク信号として機能するものとした。すなわち、ビットライト信号BWEの論理レベルによって、ビット線対への書き込みを行うか否かを制御するものとした。

[0067] 本変形例では、書き込みクロックWCLKを用いて、ビット線対への書き込みを行うか否かを制御するものとする。すなわち、書き込みを行うときは、書き込みクロックWCLKとしてクロック信号を供給し、書き込みを行わないときは、書き込みクロックWCLKとしてクロック信号の供給を停止する。本変形例では、書き込みクロックWCLKが、ビット線対へのデータ供給を行うか否かを示すライトマスク信号として機能する。

[0068] 例えば図1の構成において、ビットライト信号BWEは“H”にし、書き

込みを行うときは、書き込みクロックWCLKとしてクロック信号を供給する。これにより、書き込みデータWDATA, /WDATAは、一方が“H”になり、他方が“L”になる。一方、書き込みを行わないときは、書き込みクロックWCLKとしてクロック信号の供給を停止する。これにより、書き込みデータWDATA, /WDATAは両方とも“L”になり、ビット線対へのデータ供給は行われない。

[0069] また、ビットライト信号BWEと書き込みクロックWCLKの両方を、ライトマスク信号として用いてもよい。例えば、ビット単位で書き込みの有無を制御する場合は、ビットライト信号BWEを用いて制御を行い、メモリセルアレイ全体で書き込みの有無を制御する場合は、書き込みクロックWCLKを用いて制御を行う、というようにしてもよい。

産業上の利用可能性

[0070] 本開示では、書き込み動作時にビット線電位を負電位にする技術を採用した半導体記憶装置について、より低消費電力で、ビットライト機能に対応させることができるので、例えば、LSIの消費電力の低減に有用である。

符号の説明

[0071] 1 メモリセルアレイ

10, 15 書き込み回路

24a, 24b インバータ（バッファ）

30 負電位生成回路

MC メモリセル

(BL0, /BL0), (BL1, /BL1) ビット線対

WL0~WLmax ワード線

BWE ビットライト信号（ライトマスク信号）

WCLK 書き込みクロック（ライトマスク信号）

WB0, /WB0, WB1, /WB1 トランジスタ

請求の範囲

[請求項1]

複数のビット線対と、

複数のワード線と、

第1電位の第1電源と、前記第1電位よりも低い第2電位の第2電源との間に設けられ、前記複数のビット線対のいずれか、および、前記複数のワード線のいずれかに接続されたメモリセルが、複数個、アレイ状に並べられたメモリセルアレイと、

1つまたは複数の前記ビット線対に対して設けられており、書き込み動作時において、入力データに応じて、当該ビット線対へのデータ供給を行う書き込み回路とを備え、

前記書き込み回路は、

前記第2電位よりも低い第3電位を生成する負電位生成回路を有し、かつ、

当該ビット線対へのデータ供給を行うイネーブル状態か、当該ビット線対へのデータ供給を行わないディセーブル状態かを示すライトマスク信号を受け、

前記ライトマスク信号が前記イネーブル状態を示すときは、当該ビット線対へのデータ供給を行うとともに、前記負電位生成回路をアクティブにし、当該ビット線対のうちローデータを供給する方のビット線に、前記負電位生成回路によって生成された前記第3電位を供給する一方、

前記ライトマスク信号が前記ディセーブル状態を示すときは、当該ビット線対へのデータ供給を行わず、前記負電位生成回路をインアクティブにする

ことを特徴とする半導体記憶装置。

[請求項2]

請求項1記載の半導体記憶装置において、

前記ビット線対は、第1および第2ビット線を含み、

ドレインが前記第1ビット線に接続されており、ソースが前記負電

位生成回路の出力ノードと接続されており、ゲートに、前記書き込み回路から前記第1ビット線に供給されるデータを受ける第1トランジスタと、

ドレインが前記第2ビット線に接続されており、ソースが前記負電位生成回路の出力ノードと接続されており、ゲートに、前記書き込み回路から前記第2ビット線に供給されるデータを受ける第2トランジスタとを備える

ことを特徴とする半導体記憶装置。

[請求項3]

請求項1記載の半導体記憶装置において、

前記ビット線対は、第1および第2ビット線を含み、

入力に前記書き込み回路から前記第1ビット線に供給されるデータを受け、出力が前記第1ビット線に接続されており、接地ノードが前記負電位生成回路の出力ノードと接続されている第1バッファと、

入力に前記書き込み回路から前記第2ビット線に供給されるデータを受け、出力が前記第2ビット線に接続されており、接地ノードが前記負電位生成回路の出力ノードと接続されている第2バッファとを備える

ことを特徴とする半導体記憶装置。

[請求項4]

請求項1記載の半導体記憶装置において、

前記ライトマスク信号は、ハイレベルまたはローレベルのうちいずれか一方のときは前記イネーブル状態を示し、他方のときは前記ディセーブル状態を示す信号である

ことを特徴とする半導体記憶装置。

[請求項5]

請求項1記載の半導体記憶装置において、

前記ライトマスク信号は、クロック信号を供給しているときは前記イネーブル状態を示し、クロック信号を供給していないときは前記ディセーブル状態を示す信号である

ことを特徴とする半導体記憶装置。

[請求項6] 半導体記憶装置において、データを書き込む方法であって、

前記半導体記憶装置は、

複数のビット線対と、

複数のワード線と、

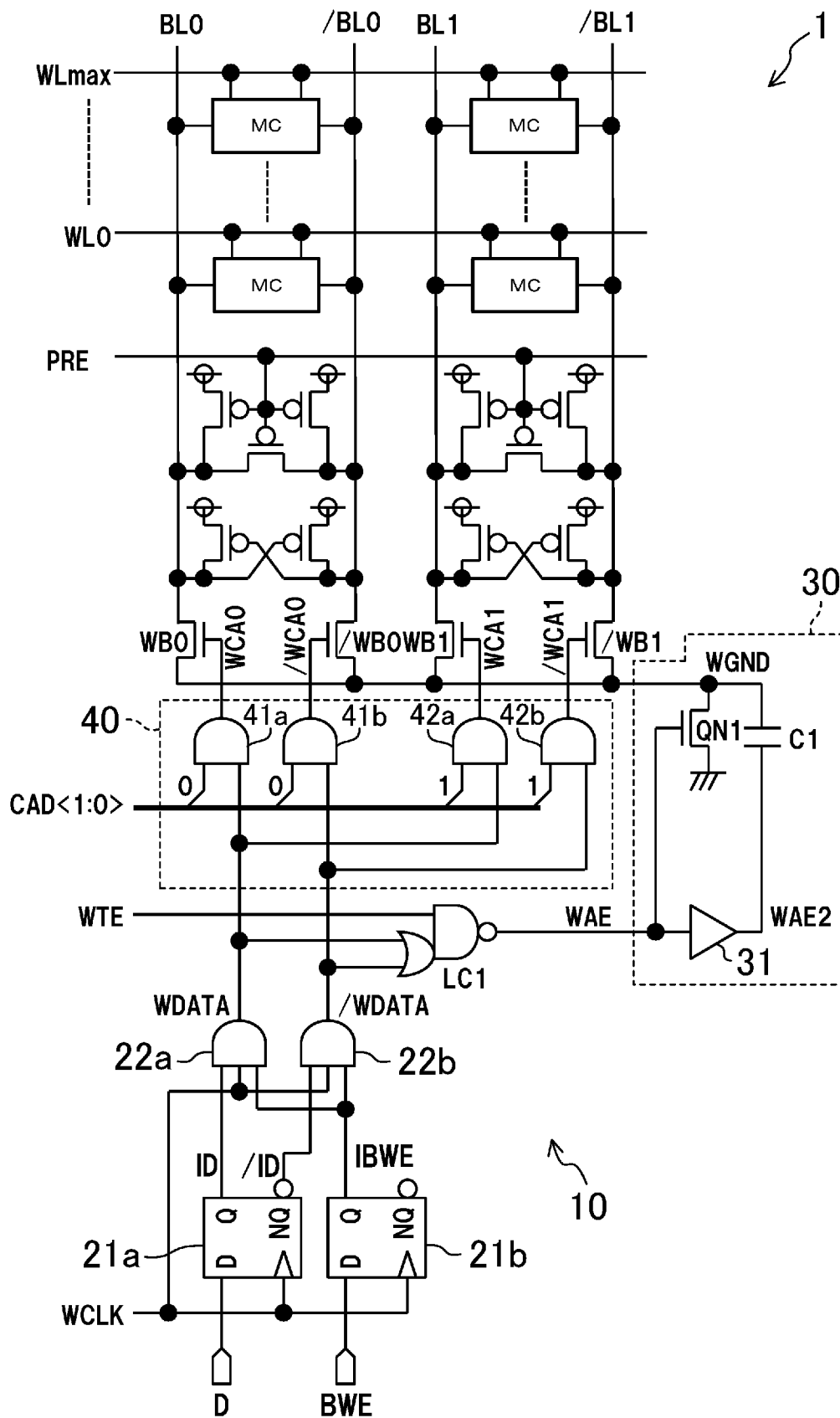
第1電位の第1電源と、前記第1電位よりも低い第2電位の第2電源との間に設けられ、前記複数のビット線対のいずれか、および、前記複数のワード線のいずれかに接続されたメモリセルが、複数個、アレイ状に並べられたメモリセルアレイと、

前記第2電位よりも低い第3電位を生成する負電位生成回路とを備え、

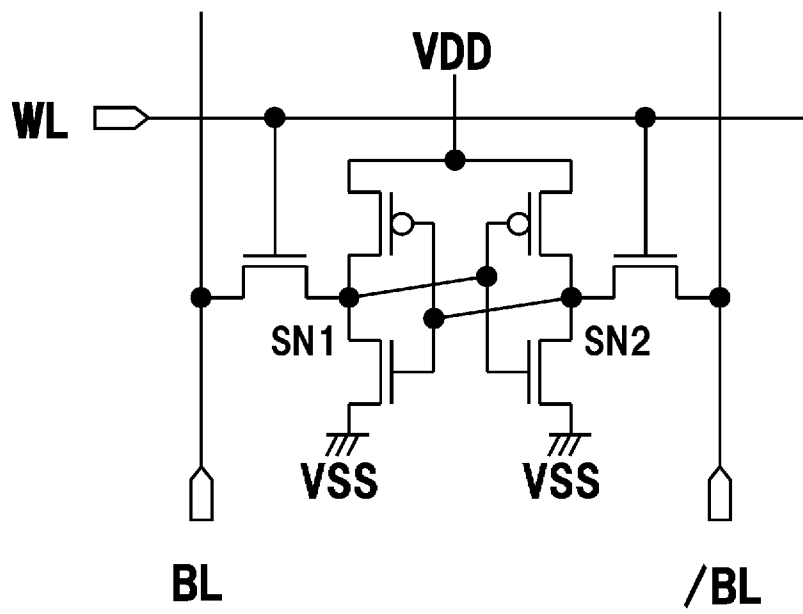
1つまたは複数の前記ビット線対に対してデータ供給を行うとき、前記負電位生成回路をアクティブにし、当該ビット線対のうちローデータを供給する方のビット線に、前記負電位生成回路によって生成された前記第3電位を供給するステップと、

1つまたは複数の前記ビット線対に対してデータ供給を行わないとき、前記負電位生成回路をインアクティブにするステップとを備えたことを特徴とするデータ書き込み方法。

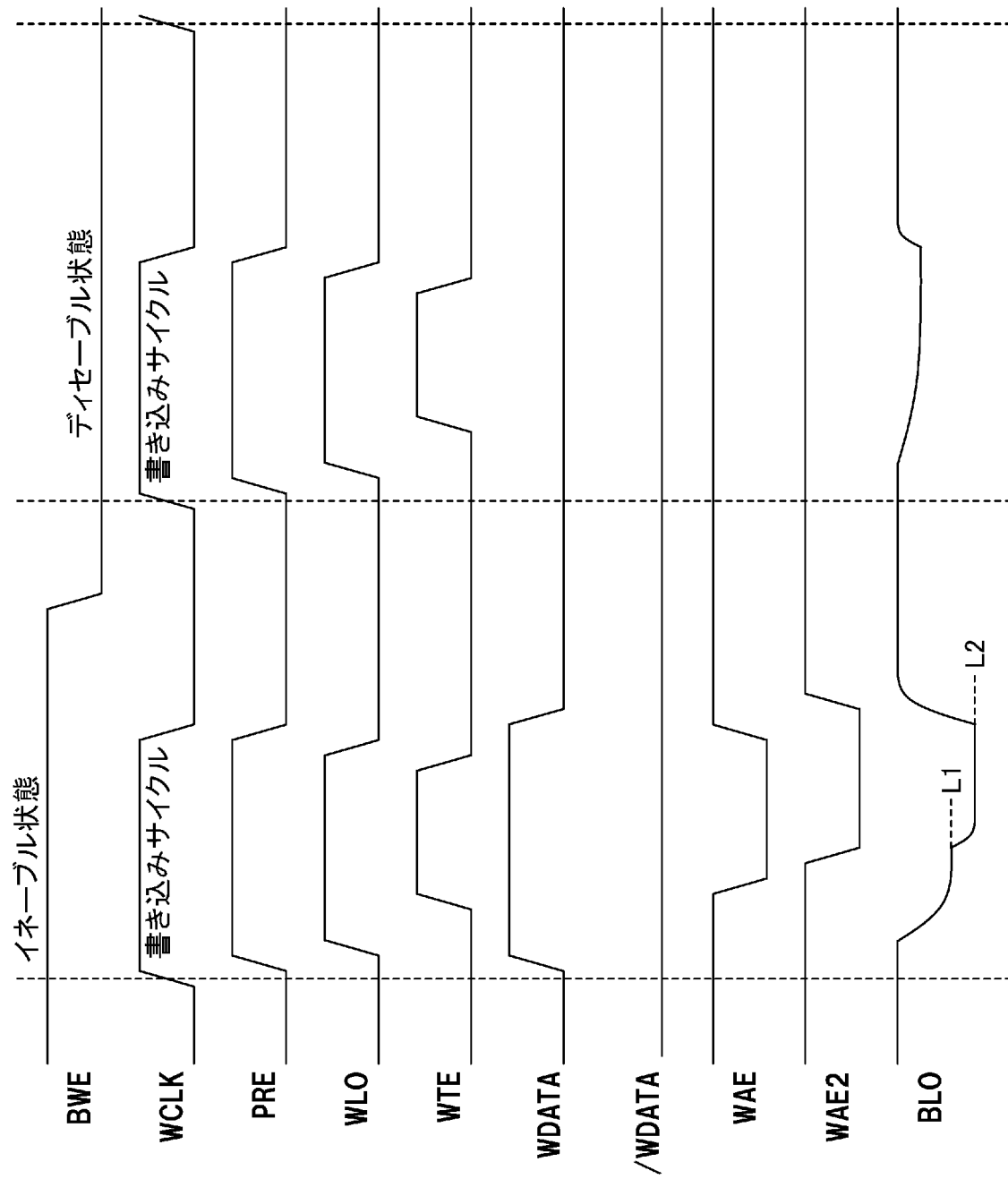
[図1]



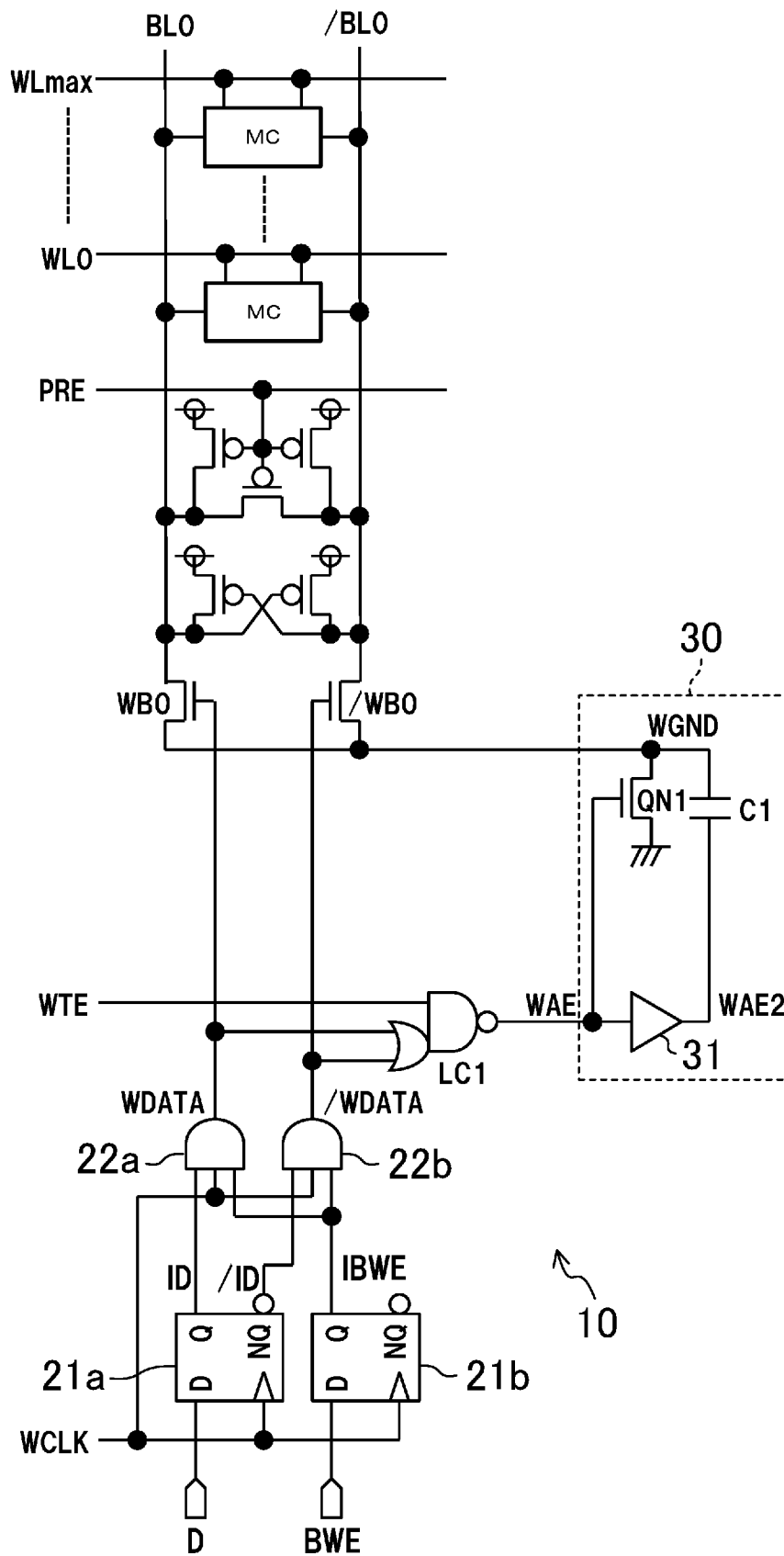
MC



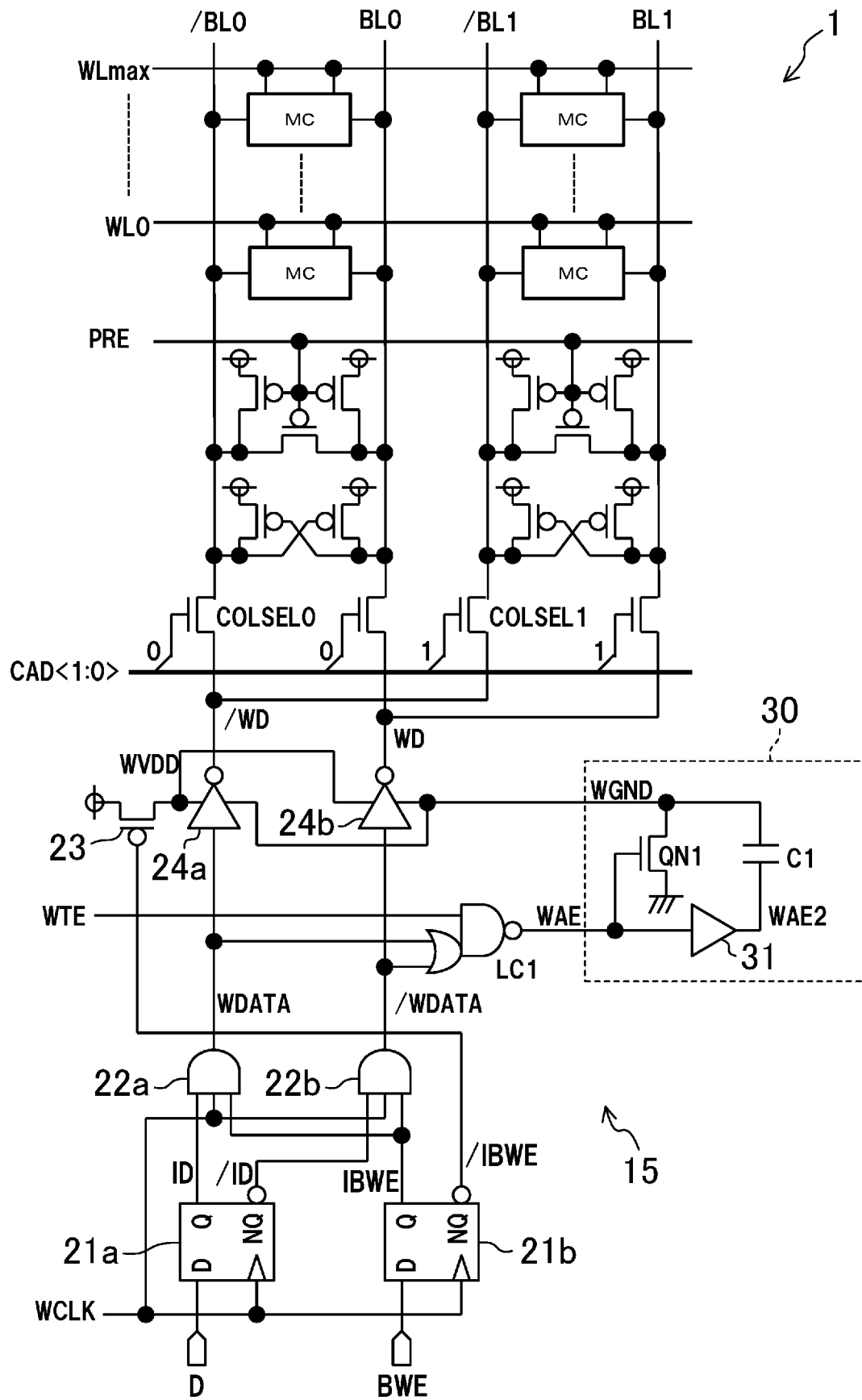
[図3]



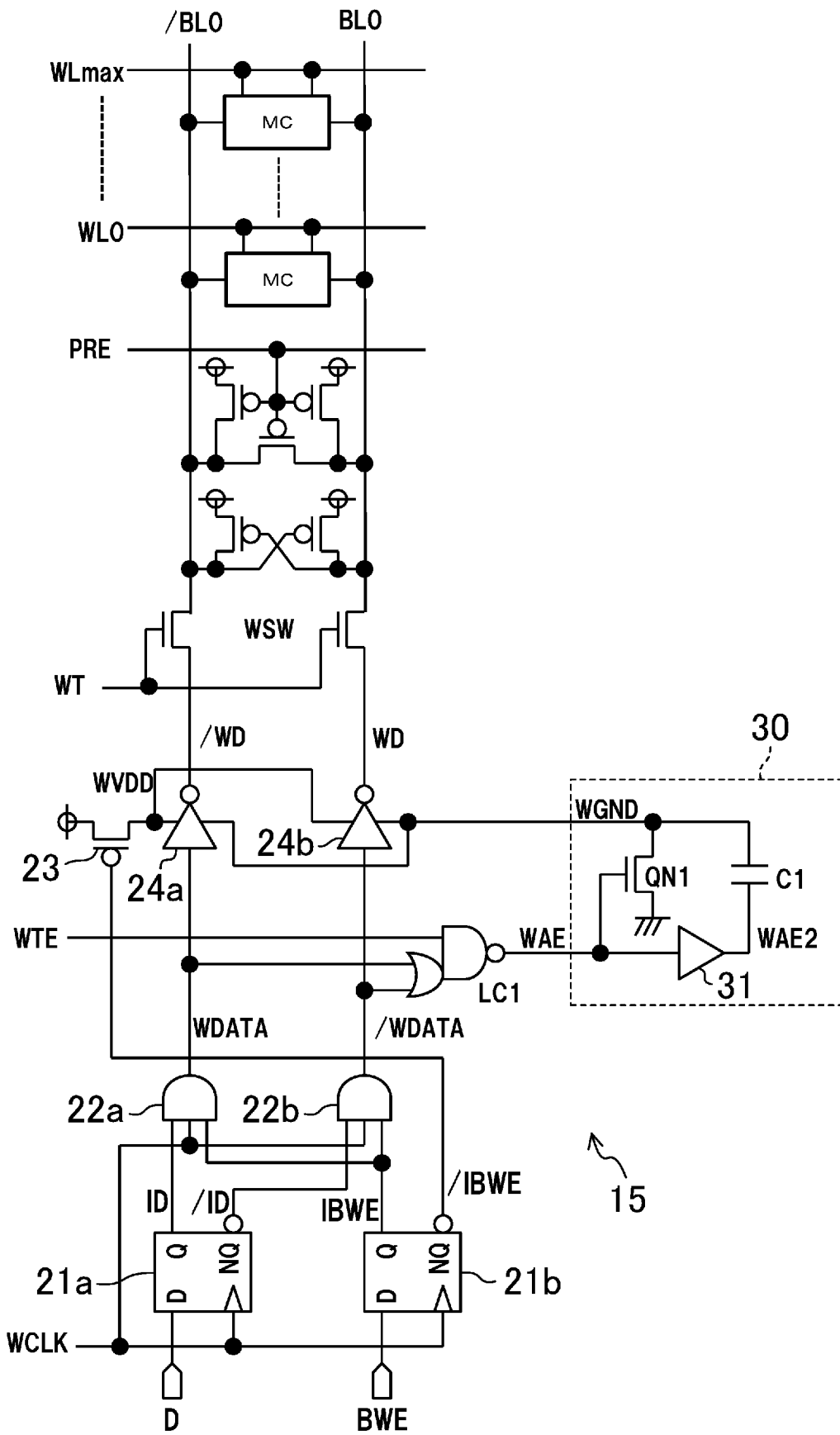
[図4]



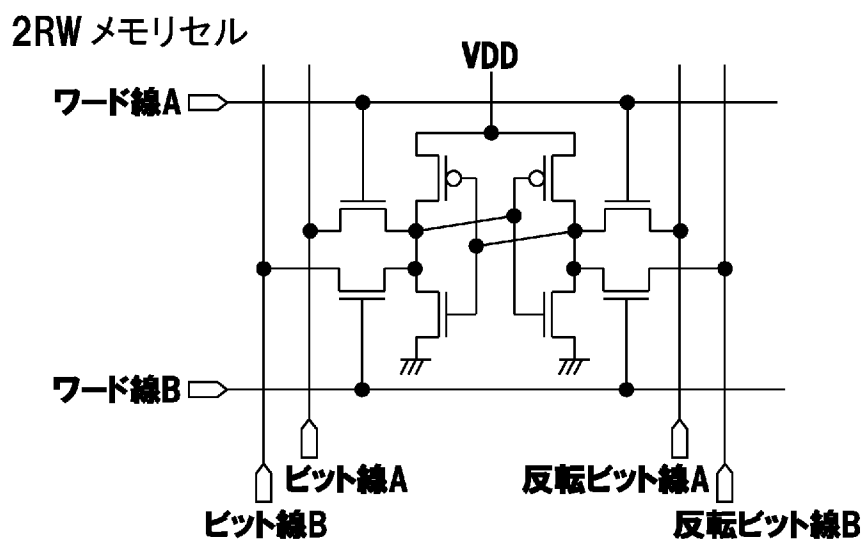
[図5]



[図6]



(a)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/024905

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. G11C7/12 (2006.01) i, G11C11/419 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. G11C7/12, G11C11/419

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2015/0049540 A1 (SAMSUNG ELECTRONICS CO., LTD.)	1, 4-6
Y	19 February 2015, paragraphs [0008]-[0010], [0038]-[0082], fig. 1-6 & KR 10-2015-0020013 A	2, 3
Y	JP 2006-323950 A (MATSUSHITA ELECTRIC INDUSTRIAL	2
A	CO., LTD.) 30 November 2006, paragraph [0033], fig. 3 & US 2006/0262635 A1, paragraph [0048], fig. 3	1, 3-6
Y	US 2015/0131364 A1 (TAIWAN SEMICONDUCTOR	3
A	MANUFACTURING CO., LTD.) 14 May 2015, paragraphs [0016]-[0019], fig. 1 & US 2015/0262655 A1 & CN 104637517 A	1-2, 4-6



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

04.09.2018

Date of mailing of the international search report

18.09.2018

Name and mailing address of the ISA/

Japan Patent Office

3-4-3, Kasumigaseki, Chiyoda-ku,

Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/024905

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-258270 A (RENESAS ELECTRONICS CORP.) 22 December 2011, paragraphs [0066], [0070]-[0074], fig. 3 & US 2011/0305072 A1, paragraphs [0075], [0079]-[0083], fig. 3	1-6

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G11C7/12(2006.01)i, G11C11/419(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G11C7/12, G11C11/419

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	US 2015/0049540 A1 (SAMSUNG ELECTRONICS CO., LTD.) 2015.02.19, 段落 [0008] - [0010], 段落 [0038] - [0082], 図 1-6	1, 4-6
Y	& KR 10-2015-0020013 A	2, 3
Y	JP 2006-323950 A (松下電器産業株式会社) 2006.11.30, 段落 [0033], 図 3	2
A	& US 2006/0262635 A1, 段落 [0048], 図 3	1, 3-6

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

04.09.2018

国際調査報告の発送日

18.09.2018

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

酒井 恭信

5 N

9190

電話番号 03-3581-1101 内線 3586

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	US 2015/0131364 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 2015.05.14, 段落 [0016] – [0019], 図 1	3
A	& US 2015/0262655 A1 & CN 104637517 A	1–2, 4–6
A	JP 2011-258270 A (ルネサスエレクトロニクス株式会社) 2011.12.22, 段落 [0066], 段落 [0070] – [0074], 図 3 & US 2011/0305072 A1, 段落 [0075], 段落 [0079] – [0083], 図 3	1–6