

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4211696号  
(P4211696)

(45) 発行日 平成21年1月21日(2009.1.21)

(24) 登録日 平成20年11月7日(2008.11.7)

(51) Int. Cl. F I  
H O 1 L 27/146 (2006.01) H O 1 L 27/14 A

請求項の数 6 (全 11 頁)

(21) 出願番号	特願2004-193278 (P2004-193278)	(73) 特許権者	000002185
(22) 出願日	平成16年6月30日(2004.6.30)		ソニー株式会社
(65) 公開番号	特開2006-19360 (P2006-19360A)		東京都港区港南1丁目7番1号
(43) 公開日	平成18年1月19日(2006.1.19)	(74) 代理人	100094053
審査請求日	平成17年4月8日(2005.4.8)		弁理士 佐藤 隆久
		(72) 発明者	神戸 秀夫
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		審査官	恩田 春香

最終頁に続く

(54) 【発明の名称】 固体撮像装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

ゲッターリング層を内部に含む基板上に、第1導電型のエピタキシャル層が形成され、前記基板と前記エピタキシャル層の界面を跨がるように前記基板および前記エピタキシャル層に、前記エピタキシャル層よりも第1導電型の不純物濃度が高い第1導電型不純物層が形成された構造体を作製する工程と、

前記エピタキシャル層に光電変換により発生する電荷を蓄積する第2導電型領域を形成する工程と、

前記エピタキシャル層上に配線層を形成する工程と、

前記配線層を形成した後、前記第1導電型不純物層を残して前記基板を除去する工程とを有し、

前記構造体を作製する工程は、

前記基板に前記ゲッターリング層を形成する工程と、

前記基板に第1導電型不純物を導入する工程と、

前記第1導電型不純物の導入後に、前記基板上に前記エピタキシャル層を形成する工程とを含み、

前記基板に導入された第1導電型不純物を、前記エピタキシャル層中に拡散させて、前記界面位置を跨がる前記第1導電型不純物層を形成する

固体撮像装置の製造方法。

【請求項2】

10

20

ゲッターリング層を内部に含む基板上に、第1導電型のエピタキシャル層が形成され、前記基板と前記エピタキシャル層の界面を跨がるように前記基板および前記エピタキシャル層に、前記エピタキシャル層よりも第1導電型の不純物濃度が高い第1導電型不純物層が形成された構造体を作製する工程と、

前記エピタキシャル層に光電変換により発生する電荷を蓄積する第2導電型領域を形成する工程と、

前記エピタキシャル層上に配線層を形成する工程と、

前記配線層を形成した後、前記第1導電型不純物層を残して前記基板を除去する工程とを有し、

前記構造体を作製する工程は、

前記基板に前記ゲッターリング層を形成する工程と、

前記基板上に前記エピタキシャル層を形成する工程と、

前記エピタキシャル層の形成途中あるいは形成後に、前記基板に前記第1導電型不純物を導入する工程とを含み、

前記基板に導入された前記第1導電型不純物を、前記エピタキシャル層中まで拡散させて、前記界面位置を跨がる前記第1導電型不純物層を形成する

固体撮像装置の製造方法。

#### 【請求項3】

前記構造体を作製する工程において、前記エピタキシャル層側から前記基板側へといくに従って不純物濃度が高くなる濃度勾配をもつ前記第1導電型不純物層を有する前記構造体を作製する

請求項1または2に記載の固体撮像装置の製造方法。

#### 【請求項4】

前記基板を除去する工程において、前記界面位置を越えて前記エピタキシャル層に形成された前記第1導電型不純物層の途中まで除去する

請求項1から3のいずれか1項に記載の固体撮像装置の製造方法。

#### 【請求項5】

前記ゲッターリング層は、前記基板に炭素を導入することにより形成する

請求項1から4のいずれか1項に記載の固体撮像装置の製造方法。

#### 【請求項6】

前記配線層を形成する工程の後、前記基板を除去する工程の前に、支持基板を前記配線層上に形成する工程をさらに有する

請求項1から5のいずれか1項に記載の固体撮像装置の製造方法。

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

本発明は、固体撮像装置およびその製造方法に関し、特に、配線層が形成される側とは反対側から光を受光する裏面照射型の固体撮像装置およびその製造方法に関する。

#### 【背景技術】

#### 【0002】

近年、受光のための開口率の向上、配線層のレイアウトの自由度の向上の観点から、半導体層の表面側に配線層を形成し、半導体層の裏面側から光を入射させて撮像できるようにした裏面照射型の固定撮像装置が知られている。裏面照射型の固体撮像装置として、CCD型（例えば、特許文献1参照）とMOS型（例えば特許文献2参照）のそれぞれが提案されている。

#### 【0003】

裏面照射型の固体撮像装置の製造プロセスにおいて、受光部等が形成される半導体層に金属が侵入すると、当該金属に起因する結晶欠陥が発生し、当該結晶欠陥により白傷と呼ばれる画像欠陥が生じてしまう。この画像欠陥を抑制するため、裏面照射型の固体撮像装置の製造プロセスにおいて、プロセス中に半導体層に侵入した金属をいかにしてゲッター

10

20

30

40

50

ングするかを考慮する必要がある。金属をゲッタリングするゲッタリング層は、通常、半導体層の活性領域外に形成される。

【特許文献1】特開2002-151673号公報

【特許文献2】特開2003-31785号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、裏面照射型の固体撮像装置の製造プロセスにおいては、ゲッタリング層の形成に制約がともなう。例えば、裏面照射型の固体撮像装置をSOI基板のシリコン層を利用して形成する場合には、酸化シリコン層を挟んでシリコン層に対向するシリコン基板にゲッタリング層を形成しても、当該酸化シリコン層がバリアとなってしまう、シリコン層に侵入する金属をゲッタリングすることができない。

10

【0005】

一方、半導体層の光入射面(裏面)となる界面が空乏化することによる暗電流の発生や、感度低下を抑制することも重要である。このため、半導体層の上記界面位置において多数キャリア濃度を高めるプロセスを考慮する必要がある。

【0006】

本発明は上記の事情に鑑みてなされたものであり、その目的は、プロセス中の金属汚染による結晶欠陥の発生を抑制して、暗電流の発生を抑えて量子効率を向上させることができる固体撮像装置の製造方法を提供することにある。

20

【0007】

本発明の他の目的は、暗電流の発生を抑制し量子効率を向上させることができる固体撮像装置を提供することにある。

【課題を解決するための手段】

【0008】

上記の目的を達成するため、本発明の固体撮像装置の製造方法は、ゲッタリング層を内部に含む基板上に、第1導電型のエピタキシャル層が形成され、前記基板と前記エピタキシャル層の界面を跨がるように前記基板および前記エピタキシャル層に、前記エピタキシャル層よりも第1導電型の不純物濃度が高い第1導電型不純物層が形成された構造体を作製する工程と、前記エピタキシャル層に光電変換により発生する電荷を蓄積する第2導電型領域を形成する工程と、前記エピタキシャル層上に配線層を形成する工程と、前記基板を除去する工程とを有する。

30

【0009】

前記構造体を作製する工程において、前記エピタキシャル層側から前記基板側へといくに従って不純物濃度が高くなる濃度勾配をもつ前記第1導電型不純物層を有する前記構造体を作製する。

【0010】

前記基板を除去する工程において、前記界面位置を越えて前記エピタキシャル層に形成された前記第1導電型不純物層の途中まで除去する。

【0011】

40

上記の本発明の固体撮像装置の製造方法では、第2導電型領域の形成および配線層の形成工程において、エピタキシャル層に侵入した金属は、当該エピタキシャル層の近くにあるゲッタリング層により有効に捕獲される。ゲッタリング層は、結晶欠陥が多い層であるため、基板を除去する工程において、当該基板とともに除去される。

ここで、エピタキシャル層側から基板側へといくに従って不純物濃度が高くなる濃度勾配をもつ第1導電型不純物層を有する構造体を用意することにより、基板を除去した後に、除去面にいくに従って不純物濃度が高くなり、除去面において最大濃度となるような第1導電型不純物層が残る。

界面位置は比較的結晶性が悪いことから、基板を除去する工程において、界面位置を越えてエピタキシャル層に形成された第1導電型不純物層の途中まで除去することにより、

50

除去面における結晶性が良好となる。

【 0 0 1 2 】

上記の目的を達成するため、本発明の固体撮像装置は、第1導電型のエピタキシャル層の第1面に配線層が形成され、前記エピタキシャル層の第2面側から光を受光する固体撮像装置であって、前記エピタキシャル層に形成され、光電変換により発生した電荷を蓄積する第2導電型領域と、前記第2導電型領域よりも前記エピタキシャル層の前記第2面側に形成され、前記エピタキシャル層よりも不純物濃度が高い第1導電型不純物層とを有し、前記第1導電型不純物層の不純物濃度が、第2面側にいくに従って高くなる濃度勾配をもち、前記第2面の位置において最大濃度となるように規定されたものである。

【 0 0 1 3 】

上記の本発明の固体撮像装置では、エピタキシャル層に形成された第1導電型不純物層は、その不純物濃度が、第2面側にいくに従って高くなる濃度勾配をもち、第2面の位置において最大濃度となるように規定されている。

上記の濃度勾配をもつことにより、エピタキシャル層で発生した電荷が第2導電型領域へ移動するような電界が発生するため、電荷が有効に第2導電型領域に蓄積される。

また、第2面の位置において最大濃度となることから、第2面位置において電位井戸が形成されることが防止され、エピタキシャル層で発生した電荷が界面(第2面)位置に捕獲されることが防止される。

【 発明の効果 】

【 0 0 1 4 】

本発明の固体撮像装置の製造方法によれば、プロセス中の金属汚染による結晶欠陥の発生を抑制することができ、暗電流の発生を抑制し量子効率を向上させた固体撮像装置を製造することができる。

本発明の固体撮像装置によれば、暗電流の発生を抑制し量子効率を向上させることができる。

【 発明を実施するための最良の形態 】

【 0 0 1 5 】

以下に、本発明の実施の形態について、図面を参照して説明する。本実施形態では、信号電荷として電子を用い、第1導電型をp型とし、第2導電型をn型とした例について説明する。なお、信号電荷としてホールを用いる場合には、上記の極性を逆にすればよい。

【 0 0 1 6 】

図1は、本実施形態に係る固体撮像装置の断面図である。本実施形態では、CMOSイメージセンサと称されるMOS型の固体撮像装置について説明する。

【 0 0 1 7 】

本実施形態では、基板としてシリコンのp型エピタキシャル層10を用いる。p型エピタキシャル層10の厚さは、固体撮像装置の仕様によるが、可視光用の場合には4~6 $\mu$ mであり、近赤外線用では6~10 $\mu$ mとなる。また、p型エピタキシャル層10のp型不純物濃度(アクセプター濃度)は、固体撮像装置の仕様によるが、 $1 \times 10^{14} \text{ cm}^{-3}$ ~ $5 \times 10^{16} \text{ cm}^{-3}$ 程度である。

【 0 0 1 8 】

上記のp型エピタキシャル層10の第1面(表面)には、配線層36が形成されており、本実施形態に係る固体撮像装置は、配線層36が形成された側とは反対側の第2面(裏面)から光を受光するように構成されている。すなわち、裏面照射型の固体撮像装置が構成されている。

【 0 0 1 9 】

p型エピタキシャル層10の第2面の表層には、p型エピタキシャル層10よりも高濃度にp型不純物を含有するp<sup>+</sup>型不純物層(第1導電型不純物層)11が形成されている。後述するようにp<sup>+</sup>型不純物層11により、暗電流の発生を抑え、量子効率を向上させる構成となっている。

【 0 0 2 0 】

10

20

30

40

50

p型エピタキシャル層10には、画素毎にn型領域12が形成されている。p型エピタキシャル層10に入射した光は、p型エピタキシャル層10とn型領域12とのpn接合を中心としたフォトダイオードにより光電変換されて、n型領域12に蓄積される。

【0021】

n型領域12上、すなわちp型エピタキシャル層10の第1面の表層には、埋め込みフォトダイオードとするためのp<sup>+</sup>型領域13が形成されている。p<sup>+</sup>型領域13は、p<sup>+</sup>型不純物層11と同様の機能を有する。

【0022】

p型エピタキシャル層10の第1面側には、n型領域14とn型領域15が形成されている。n型領域14はフローティングディフュージョンとなる。n型領域15は、転送トランジスタ以外のトランジスタのソースあるいはドレインとなる。p型エピタキシャル層10の第1面側には、隣接画素への信号電荷の漏れ込みを防止するため、画素領域を区画するp型領域16が形成されている。

【0023】

p型エピタキシャル層10の第1面上に、ゲート絶縁膜31を介して転送トランジスタのゲート電極32や、転送トランジスタ以外のトランジスタのゲート電極33が形成されている。なお、図1では、転送トランジスタ以外のトランジスタを1つ示しているが、数に限定はない。

【0024】

トランジスタ等を被覆してp型エピタキシャル層10の第1面上に、配線34と層間絶縁膜35が積層された配線層36が形成されている。配線34は例えばアルミニウムからなり、層間絶縁膜35は例えば酸化シリコンからなる。図1では、2層配線を例示しているが、3層配線であっても4層配線であってもよい。

【0025】

配線層36上には、p型エピタキシャル層10の強度を高めるための支持基板40が形成されている。支持基板40は、p型エピタキシャル層10との熱膨張係数の相違による反りの発生を防止するため、シリコンにより形成することが好ましいが、石英ガラスを用いてもよい。ただし、p型エピタキシャル層10の強度を確保できる場合には、支持基板40を設けなくてもよい。

【0026】

p型エピタキシャル層10の第2面側には、図示しない酸化シリコン膜を介して窒化シリコンからなるパッシベーション膜51が形成されている。パッシベーション膜51上には、カラーフィルタ52が形成されており、カラーフィルタ52上にはオンチップレンズ53が形成されている。なお、図示は省略したが、不図示の酸化シリコン膜とパッシベーション膜51との間に、各画素を開口する遮光膜が設けられていてもよい。

【0027】

上記の固体撮像装置では、p型エピタキシャル層10の第2面(裏面)側から入射した光は、オンチップレンズ53と、カラーフィルタ52を経由して、p型エピタキシャル層10に入射する。光の入射によってp型エピタキシャル層10に生じた電子は、界面(第2面)付近にトラップされることなく、n型領域12に蓄積される。

【0028】

ゲート電極32に電圧が印加されて転送トランジスタがオン状態となると、n型領域12に蓄積された電子は、フローティングディフュージョンとなるn型領域14へ転送される。図示はしないがn型領域14は、増幅トランジスタのゲート電極に接続されており、n型領域14の電位が増幅トランジスタにより増幅されて出力される。

【0029】

読み出し後、フローティングディフュージョンとなるn型領域14の電位が電源電位にリセット、すなわちn型領域14に蓄積された電子が排出される。

【0030】

図2は、p型エピタキシャル層10の第2面からp<sup>+</sup>型領域13までのポテンシャル(

10

20

30

40

50

電位)を示す模式図である。

【0031】

p型エピタキシャル層10の第2面から深さ方向に、p<sup>+</sup>型不純物層11、p型エピタキシャル層10、n型領域12へいくに従ってポテンシャルが高くなる。そして、n型領域12からp<sup>+</sup>型領域13へいくに従って再びポテンシャルが低くなっている。

【0032】

本実施形態では、p型エピタキシャル層10の第2面の表層には、電位の井戸が形成されていない。第2面の表層に電位の井戸が形成されてしまうと、光電変換によって生じた電子がこの表層部分にも蓄積されてしまう。この部分に蓄積された電子は、完全に読み出したり、排出したりすることが困難となるため、暗電流の発生の原因となり、また、量子効率の低下に繋がる。

10

【0033】

本実施形態では、p型エピタキシャル層10の第2面の表層には、電位の井戸(電位が高い部分)が形成されていないことから、光電変換によって生じた電子は、最も電位の高いn型領域12に有効に蓄積される。n型領域12に蓄積された電子は、完全に読み出したり、排出したりすることができるため、暗電流の発生を抑制することができ、また、量子効率を向上させることができる。

【0034】

図2に示すポテンシャル分布にするため、第2面の表層には、p型エピタキシャル層10に比べて高濃度のp<sup>+</sup>型不純物層11が形成され、かつ、p<sup>+</sup>型不純物層11の不純物濃度が第2面の位置において最大濃度となるように形成されている。

20

【0035】

次に、上記の本実施形態に係る固体撮像装置の製造方法について、図3～図5を参照して説明する。

【0036】

図3(a)に示すように、基板20に炭素イオンをイオン注入することにより、基板20の表面から所定の深さにゲッターリング層21を形成する。基板20は、例えばチョクラルスキー(CZ)法によって形成した単結晶シリコン基板である。このイオン注入前に、イオン打ち込みによる汚染やチャネリングを防止する汚染防止膜として、酸化シリコン膜を形成してもよい。基板20は、電子を信号として扱う素子では、p型基板となる。打ち込む炭素量は、ゲッターリング効果が期待できる $1 \times 10^{14} \text{ cm}^{-2} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 程度である。また、ゲッターリング層21が基板20表面に形成されないように、比較的深めに形成する必要がある。例えば、100keV～300keV程度の比較的高めのエネルギーでイオン注入を行う。ゲッターリング層21を深めに形成するのは、後に形成するp型エピタキシャル層10の結晶性を良好に確保するためである。

30

【0037】

次に、図3(b)に示すように、基板20にボロン等のp型不純物をイオン注入することにより、ゲッターリング層21よりも基板表面側にp<sup>+</sup>型不純物層22を形成する。

【0038】

基板20表面に汚染防止膜が形成されている場合には、当該汚染防止膜を除去した後、図3(c)に示すように、エピタキシャル成長法により、p型エピタキシャル層10の形成を行う。p型エピタキシャル層10の厚さやp型不純物濃度は、固体撮像装置の仕様により決まることは、上記した通りである。なお、p型エピタキシャル層10の形成工程前に、基板20表面の結晶性改善のための熱処理(アニール)を行ってもよい。これは、炭素打ち込み等により基板20の結晶性が悪化しているため、熱処理により基板20の結晶性を向上させることで、当該基板20上に形成されるp型エピタキシャル層10の結晶性が向上するからである。

40

【0039】

基板20の表面にp<sup>+</sup>型不純物層22が形成されているため、p型エピタキシャル層10と基板20との界面から、p型エピタキシャル層10側にp<sup>+</sup>型不純物層22中のp型

50

不純物が拡散する。これにより、当該界面から所定の深さまでに、p型エピタキシャル層10よりも高濃度にp型不純物を含有するp<sup>+</sup>型不純物層11が形成される。このようにして形成されたp<sup>+</sup>型不純物層11は、p型不純物の供給源となるp<sup>+</sup>型不純物層22側にいくに従って不純物濃度が高くなるような濃度勾配をもつ。基板20とp型エピタキシャル層10の界面を跨がるように、基板20およびp型エピタキシャル層10に形成されたp<sup>+</sup>型不純物層11, 22は、本発明の第1導電型不純物層に相当する。

#### 【0040】

次に、図4(a)に示すように、p型エピタキシャル層10に回路形成を行う。例えば、フォトダイオードとなるn型領域12、p<sup>+</sup>型領域13、フローディングディフュージョンとなるn型領域14、トランジスタのソースあるいはドレインとなるn型領域15を形成する。また、p型エピタキシャル層10上に熱酸化法によりゲート絶縁膜31を形成し、さらにトランジスタのゲート電極32, 33を形成する。なお、これらの形成順序は適宜変更可能であり、例えばゲート電極32, 33を形成した後にn型領域14やn型領域15を形成してもよい。

10

#### 【0041】

次に、図4(b)に示すように、トランジスタを被覆するように、p型エピタキシャル層10上に配線層36を形成する。配線層36の形成では、配線34の形成および層間絶縁膜35の形成を繰り返すことにより、多層配線を形成する。

#### 【0042】

次に、図5(a)に示すように、配線層36上に例えばシリコンからなる支持基板40を形成する。支持基板40の形成は、配線層36上にシリコンを流しこむことにより形成しても、シリコン基板を貼り付けてもよい。

20

#### 【0043】

次に、図5(b)に示すように、基板20を除去する。基板20の厚さは600~800μm程度ある。従って、まずグラインダーを用いて数百μm程度削った後、ウェットエッチングにより残りの数10μmの膜を除去する。このとき、裏面側から、ゲッタリング層21、p<sup>+</sup>型不純物層22を含む基板20を除去し、さらに、除去界面がp<sup>+</sup>型不純物層11に入り込むように、p<sup>+</sup>型不純物層11の表層をも除去する。ウェットエッチングは、例えばフッ酸(HF)と、硝酸(HNO<sub>3</sub>)と酢酸(CH<sub>3</sub>COOH)の混合液を用い、膜厚をモニターしながら行う。

30

#### 【0044】

図6は、基板20の露出面を基準位置(0)とした、深さ方向におけるp型不純物濃度を示す模式図である。

#### 【0045】

図6に示すように、p<sup>+</sup>型不純物層22には高濃度のp型不純物が導入されているため、p型不純物の最大濃度はp<sup>+</sup>型不純物層22の領域にある。上記したように、p<sup>+</sup>型不純物層22からp型不純物が拡散されて形成されたp<sup>+</sup>型不純物層11は、p型エピタキシャル層10側からp<sup>+</sup>型不純物層22側へいくに従ってp型不純物濃度が高くなるような濃度勾配をもっている。なお、p<sup>+</sup>型不純物層11ほどではないが、ゲッタリング層21にもp<sup>+</sup>型不純物層22中のp型不純物が拡散されている。

40

#### 【0046】

裏面側から、ゲッタリング層21およびp<sup>+</sup>型不純物層22を含む基板20を除去し、さらに除去界面がp<sup>+</sup>型不純物層11に入り込むようにすることにより、残ったp<sup>+</sup>型不純物層11は、除去界面側にいくに従ってp型不純物濃度が高くなる濃度勾配をもち、除去界面の位置において最大濃度となる。また、p<sup>+</sup>型不純物層22とp<sup>+</sup>型不純物層11の界面、すなわち基板20とp型エピタキシャル層10の界面は、結晶性が悪いため、除去界面をp<sup>+</sup>型不純物層11に入り込ませることが好ましい。

#### 【0047】

以降の工程としては、p型エピタキシャル層10上に、パッシベーション膜51を形成し、カラーフィルタ52を形成し、オンチップレンズ53を形成することにより、図1に

50

示す固体撮像装置が製造される。

【0048】

以上説明したように本実施形態に係る固体撮像装置の製造方法では、p型エピタキシャル層10の光入射面の近傍に形成されたゲッタリング層21が、基板20の除去工程まで存在する。このため、図4(a)および(b)に示すp型エピタキシャル層10への半導体領域の形成や配線層の形成工程において、p型エピタキシャル層10に侵入する金属をゲッタリング層21により有効に捕獲することができ、金属汚染による結晶欠陥の発生を抑制することができる。

【0049】

従って、暗電流や白傷の少ない固体撮像装置を製造することができる。また、製造後の固体撮像装置にはゲッタリング層21は除去されていることから、結晶性の悪いゲッタリング層21からの暗電流の影響を受けることもない。

10

【0050】

また、p型エピタキシャル層10の形成時における温度や成長速度等の条件を選択することにより、所望の濃度勾配をもつp<sup>+</sup>型不純物層11を形成できる。濃度勾配をもつことにより、光電変換により発生した電子が有効にn型領域12へ蓄積されることから、量子効率の高い固体撮像装置を製造することができる。

【0051】

さらに、p型エピタキシャル層10の界面(第2面)の位置にp型不純物の濃度が最大となる構造を作製できることから、界面付近での暗電流発生を抑制することができる。

20

【0052】

本発明は、上記の実施形態の説明に限定されない。

本実施形態では、CMOSイメージセンサと称されるMOS型の固体撮像装置について説明したが、CCD型の固体撮像装置にも適用可能である。ゲッタリング層21の形成には、炭素以外の他の不純物をイオン注入してもよく、例えばリンをイオン注入してもよい。また、ゲッタリング層21を形成する前にp<sup>+</sup>型不純物層22を形成してもよい。

【0053】

また、p型エピタキシャル層10を多段階で形成する場合には、p型エピタキシャル層10の形成途中にp<sup>+</sup>型不純物層22を形成してもよい。この場合には、p<sup>+</sup>型不純物層22の形成後に再度p型エピタキシャル層10の形成(温度約1100)が行われる。従って、p<sup>+</sup>型不純物層22中のp型不純物がp型エピタキシャル層10内へ拡散されて、p<sup>+</sup>型不純物層11が形成される。このようにすると、p型エピタキシャル層10の形成に際して2回以上の熱履歴が加えられるので、ゲッタリング層21内の結晶欠陥が更に成長し、ゲッタリング能力を向上させることができる。

30

【0054】

また、p型エピタキシャル層10の形成後にp<sup>+</sup>型不純物層22を形成してもよい。この場合には、例えば、p<sup>+</sup>型不純物層22を形成した後、p型エピタキシャル層10の結晶性改善のためのアニール工程を行うことにより、p<sup>+</sup>型不純物層22中のp型不純物がp型エピタキシャル層10に拡散されて、p<sup>+</sup>型不純物層11が形成される。

【0055】

本実施形態では、p型エピタキシャル層10を用いることとしたが、信号電荷としてホールを用いる場合には、例えば、n型のエピタキシャル層10を用いることもできる。この場合には、例えば、各種の不純物領域の極性を逆にすればよい。例えば、p<sup>+</sup>型不純物層11は、n<sup>+</sup>不純物層となる。

40

その他、本発明の要旨を逸脱しない範囲で、種々の変更が可能である。

【図面の簡単な説明】

【0056】

【図1】本実施形態に係る固体撮像装置の断面図である。

【図2】p型エピタキシャル層の第2面からp<sup>+</sup>型領域までのポテンシャル(電位)を示す模式図である。

50



【図3】本実施形態に係る固体撮像装置の製造における工程断面図である。

【図4】本実施形態に係る固体撮像装置の製造における工程断面図である。

【図5】本実施形態に係る固体撮像装置の製造における工程断面図である。

【図6】基板20の露出面を基準位置(0)とした、深さ方向におけるp型不純物濃度を示す模式図である。

【符号の説明】

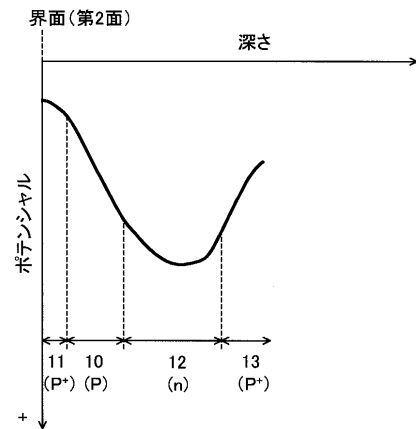
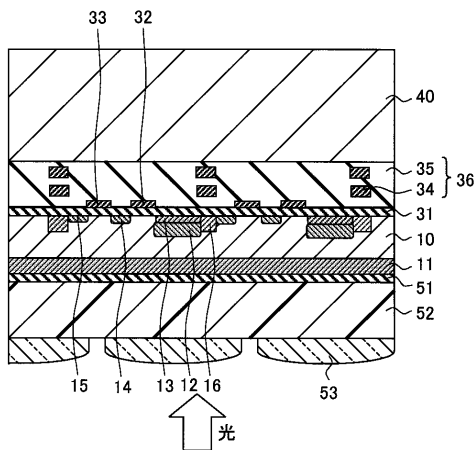
【0057】

10...p型エピタキシャル層、11...p<sup>+</sup>型不純物層、12...n型領域、13...p<sup>+</sup>型領域、14...n型領域、15...n型領域、16...p型領域、20...基板、21...ゲッターリング層、22...p<sup>+</sup>型不純物層、31...ゲート絶縁膜、32...ゲート電極、33...ゲート電極、34...配線、35...層間絶縁膜、36...配線層、40...支持基板、51...パッシベーション膜、52...カラーフィルタ、53...オンチップレンズ

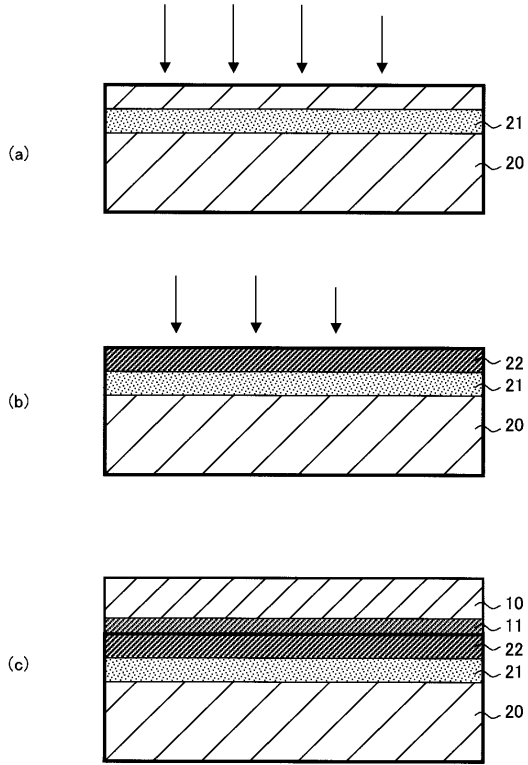
10

【図1】

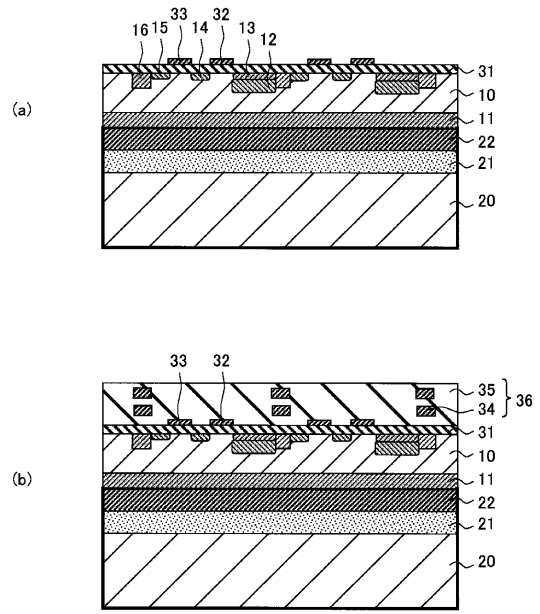
【図2】



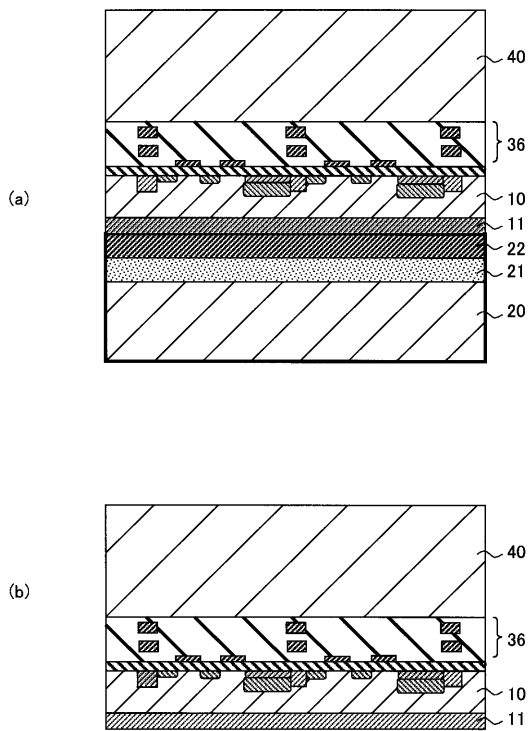
【図3】



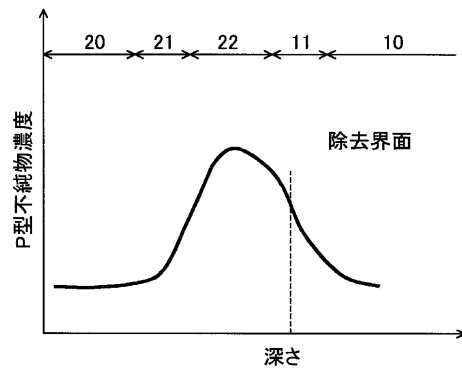
【図4】



【図5】



【図6】



---

フロントページの続き

- (56)参考文献 特開平01-274468(JP,A)  
特開平11-251322(JP,A)  
特開2003-338615(JP,A)  
特開平08-241977(JP,A)  
特開昭64-066932(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/14 - 27/148