

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4431437号
(P4431437)

(45) 発行日 平成22年3月17日(2010.3.17)

(24) 登録日 平成21年12月25日(2009.12.25)

(51) Int.Cl.

H05K 1/02 (2006.01)

F I

H05K 1/02

J

請求項の数 1 (全 8 頁)

(21) 出願番号 特願2004-133995 (P2004-133995)
(22) 出願日 平成16年4月28日(2004.4.28)
(65) 公開番号 特開2005-317766 (P2005-317766A)
(43) 公開日 平成17年11月10日(2005.11.10)
審査請求日 平成19年4月25日(2007.4.25)

(73) 特許権者 591022597
萩原電気株式会社
愛知県名古屋市中区東桜2丁目3番3号
(74) 代理人 100064724
弁理士 長谷 照一
(72) 発明者 北平 康夫
愛知県西加茂郡三好町大字三好字川畔12
2 萩原電気株式会社 三好事業所内

審査官 千壽 哲郎

(56) 参考文献 特開平08-305629(JP,A)

特開2004-022569(JP,A)
)

最終頁に続く

(54) 【発明の名称】 電子装置

(57) 【特許請求の範囲】

【請求項1】

一連の接続端子を有する制御素子と、該制御素子と平行に配置されて同制御素子の各接続端子にそれぞれダンパ抵抗を介して接続される一連の接続端子を有するメモリ素子と、該メモリ素子と平行に配置されて同メモリ素子の各接続端子に接続される一連の終端抵抗とを実装したプリント配線基板を備えた電子装置において、

前記制御素子の中央側に位置する接続端子に接続される前記ダンパ抵抗を前記一連の終端抵抗の前記メモリ素子とは反対側に配置し、前記制御素子の中央側から両側に離間して位置する接続端子に接続される前記ダンパ抵抗を前記メモリ素子の前記制御素子側に配置して、前記制御素子の接続端子を前記ダンパ抵抗を介して前記メモリ素子の接続端子に実質的に同じ長さの配線によって接続したことを特徴とする電子装置。

10

以上

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子装置に関する。

【背景技術】

【0002】

従来、この種の電子装置としては、図2にて示すようなものが知られている。この電子装置は、例えば、パーソナルコンピュータ等のコンピュータに採用されるものであって、

20

当該電子装置は、プリント配線板 10 と、このプリント配線板 10 上に実装したメモリコントローラ 20、メモリモジュール 30、一連のダンパー抵抗 40 及び一連の終端抵抗 50 とを備えている。

【0003】

プリント配線板 10 は、プリント基板上に所定の配線パターンを形成して構成されている。メモリコントローラ 20 は、超集積回路素子（いわゆる、LSI 素子）からなるもので、このメモリコントローラ 20 は、メモリモジュール 30 にアクセス処理等を行う役割を果たす。

【0004】

このため、当該メモリコントローラ 20 は、その一連の接続ピン 21 にて、上記配線パターンのうちの一連の配線部 A1、・・・、Am、・・・、An ($n > m > 1$) を介し、一連のダンパー抵抗 40 の一側接続端子 41 にそれぞれ接続されている。図 2 では、便宜上、各配線部 A1、Am 及び An のみが示されている。

10

【0005】

ここで、配線部 Am との接続関係にあるメモリコントローラ 20 の接続ピン 21 は、一連の接続ピン 21 の図 2 にて図示中央に位置し、配線部 Am との接続関係にあるダンパー抵抗 40 は、一連のダンパ抵抗 40 の図 2 にて図示中央に位置するものとする。

【0006】

メモリモジュール 30 は、メモリコントローラ 20 によるアクセス処理等のもと、例えば、各種のデータを記憶したり出力したりするもので、このメモリモジュール 30 は、その一連の接続端子 31 にて、上記配線パターンのうちの一連の配線部 B1、・・・、Bm、・・・、Bn を介し、一連のダンパ抵抗 40 の他側接続端子 42 にそれぞれ接続されるとともに、上記配線パターンのうち一連の配線部 C1、・・・、Cm、・・・、Cn を介し、一連の終端抵抗 50 の接続端子 51 にそれぞれ接続されている。

20

【0007】

但し、図 2 では、便宜上、各配線部 B1、Bm 及び Bn 並びに C1、Cm 及び Cn のみが示されている。また、メモリモジュール 30 の一連の接続端子 31 は、図 2 から分かるように、左右にジグザグ状に位置するように、上下方向に配列されている。なお、各接続端子 31 は、メモリモジュール 30 の底壁からプリント配線板 10 上に延出しているものであるが、図 2 では、便宜上、メモリモジュール 30 上に位置するように示してある。これに伴い、各配線部 B1、Bm、Bn 及び C1、Cm、Cn のうちメモリモジュール 30 の底壁に隠れる部分も、メモリモジュール 30 上に位置するように示してある。また、メモリモジュール 30 は、ソケットに収納されていてもよい。

30

【0008】

ところで、上記電子装置において、メモリモジュール 30 として、アクセス速度が高くアクセス量も多いメモリを採用する場合、各多数のダンパ抵抗 40 及び終端抵抗 50 をプリント配線板 10 に実装することが要請される。

【0009】

この要請に応えるには、メモリコントローラ 20 とメモリモジュール 30 との間の信号伝送時間が、各ダンパー抵抗 40 毎に接続した各配線部系統の間において、相互に等しくなることが必要である。

40

【0010】

一方、上記電子装置では、メモリコントローラ 20 の一連の接続ピン 21 は、一連のダンパ抵抗 40 と共に、プリント配線板 10 上において図 2 にて示すごとく、上下方向に一列に配列されている。このため、プリント配線板 10 上において、例えば、配線部 Am との接続関係にあるメモリコントローラ 20 の接続ピン 21 とダンパ抵抗 40 との間の距離は、配線部 A1 或いは An との接続関係にあるメモリコントローラ 20 の接続ピン 21 とダンパ抵抗 40 との間の距離に比べて短い。換言すれば、互いに対応する接続ピン 21 とダンパ抵抗 40 との間の距離は、図 2 にて配線部 Am を中心にして図示上下方向にかけて順に長くなる。

50

【 0 0 1 1 】

従って、上述のように各信号伝送時間を相互に等しくするためには、例えば、両配線部 A_m、B_mの各長さの和が両配線部 A₁、B₁の各長さの和或いは両配線部 A_n、B_nの各長さの和と同一であることが必要である。このため、図 2 では、配線部 A_mが、配線部 A₁や A_nと等しい長さを有するように、蛇行状に形成されている。また、配線部 A_mと配線部 A₁或いは A_nとの間において各対応の接続ピン 2₁ 及びダンパ抵抗 4₀と接続関係にある各配線部も、配線部 A₁或いは A_nと等しい長さを有するように、蛇行状に形成されていることとなる。

【 0 0 1 2 】

これに伴い、メモリコントローラ 2₀と一連のダンパ抵抗 4₀との間の間隔が不必要に長くなり、この種電子装置がコンパクトにならないという不具合を招く。一方、メモリコントローラ 2₀と一連のダンパ抵抗 4₀との間の間隔を狭くすると、メモリコントローラ 2₀と一連のダンパ抵抗 4₀との間の配線スペースが不足する。このため、プリント配線板 1₀に対する部品の実装密度が低下するという不具合を招く。

【 0 0 1 3 】

上記不具合に対しては、下記特許文献 1 に開示された電子装置がある。この電子装置では、メモリコントローラ及びメモリソケットを実装したマザーボードと、メモリを実装したメモリ基板とを備え、このメモリ基板をメモリソケットに装着することで、メモリとメモリコントローラとの間の複数の配線部の各長さが相互に等しくなるように構成されている。

【特許文献 1】特開 2 0 0 1 - 0 2 2 4 7 6 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 4 】

しかし、上述した下記特許文献 1 の電子装置では、メモリを実装したメモリ基板が、メモリコントローラ及びメモリソケットを実装したマザーボードとは別に、専用品として必要とされる。このため、配線部の長さを等しくするにあたり、当該長さの調整が、マザーボード側の配線パターンの調整のみによってなされている。従って、メモリコントローラとメモリとの間の配線自由度に欠けるという不具合が生ずる。

【 0 0 1 5 】

そこで、本発明は、以上のようなことに対処するため、制御素子を一連のダンパ抵抗を介しメモリ素子に接続する一連の配線を等長にするにあたり、ダンパ抵抗の配置に工夫を凝らして、当該一連の配線のための配線スペースを小さくするとともに配線自由度を高めるようにした電子装置を提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 6 】

本発明は、上記の課題に対処するため、一連の接続端子 (2₁) を有する制御素子 (2₀) と、該制御素子と平行に配置されて同制御素子の各接続端子にそれぞれダンパ抵抗 (4₀) を介して接続される一連の接続端子 (3₁) を有するメモリ素子 (3₀) と、該メモリ素子と平行に配置されて同メモリ素子の各接続端子に接続される一連の終端抵抗 (5₀) とを実装したプリント配線基板 (1₀) を備えた電子装置において、前記制御素子 (2₀) の中央側に位置する接続端子 (2₁) に接続される前記ダンパ抵抗 (4₀) を前記一連の終端抵抗 (5₀) の前記メモリ素子 (3₀) とは反対側に配置し、前記制御素子の中央側から両側に離間して置する接続端子 (2₁) に接続される前記ダンパ抵抗 (4₀) を前記メモリ素子 (3₀) の前記制御素子側に配置して、前記制御素子 (2₀) の接続端子 (2₁) を前記ダンパ抵抗 (4₀) を介して前記メモリ素子 (3₀) の接続端子 (3₁) に実質的に同じ長さの配線によって接続したことを特徴とする電子装置を提供するものである。

【 0 0 1 8 】

上記のように構成した本発明による電子装置においては、一連のダンパ抵抗の実装位置

10

20

30

40

50

に工夫を凝らし、上記一連の配線を互いに実質的に同じ長さにするように、当該一連のダンパ抵抗をメモリ素子の制御素子側と一連の終端抵抗のメモリ素子側とは反対側にてプリント配線板上に実装するようにした。

【0019】

これにより、一連の配線のための配線スペースが小さくなる。その結果、制御素子とメモリ素子との間の等長配線が確保され得るのは勿論のこと、制御素子とメモリ素子との間の配線実装密度、ひいてはプリント配線板上の部品の実装密度が大幅に高められ得る。

【0020】

また、上記従来装置のような専用品として、メモリ素子を実装したメモリ基板を、プリント配線板とは別途採用する必要がなく、制御素子とメモリ素子との間の配線の自由度を高め得る。

10

【0021】

また、本発明において、制御素子は、メモリ素子の一連の接続端子のうちの複数の中央側接続端子に対向するようにプリント配線板上に実装される集積回路であり、

一連のダンパ抵抗は、メモリ素子の一連の接続端子のうち上記複数の中央側接続端子よりも端側に位置する複数の接続端子に対向するようにメモリ素子の集積回路側にてプリント配線板上に実装される端側ダンパ抵抗群と、集積回路に対応して位置するように一連の終端抵抗のメモリ素子とは反対側にてプリント配線板上に実装される中央側ダンパ抵抗群とで構成されており、

上記一連の配線は、端側ダンパ抵抗群及び中央側ダンパ抵抗群の各ダンパ抵抗の実装位置に応じて等長に形成されていてもよい。

20

【0022】

なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係を示すものである。

【発明を実施するための最良の形態】

【0023】

以下、本発明に係る電子装置の一実施形態を図面に基づいて説明する。図1は、本発明に係る電子装置の一実施形態を示している。なお、この電子装置において、図2の電子装置（以下、従来装置という）の構成素子と同一の構成素子には同一符号を付してある。

【0024】

30

本実施形態の電子装置は、その構成を、上記従来装置とは以下の点において異にする。一連のダンパ抵抗40のうち、中央側に位置する複数のダンパ抵抗40（以下、中央側ダンパ抵抗群という）が、一連の終端抵抗50のうち中央側に位置する複数の終端抵抗50（以下、中央側終端抵抗群という）よりも、図1にて図示右側に位置するようにプリント配線板10上に実装されている。

【0025】

本実施形態において、一連のダンパ抵抗40のうち、上記中央側ダンパ抵抗群の図1にて図示上側及び下側に位置する各複数のダンパ抵抗40は、それぞれ、上側ダンパ抵抗群及び下側ダンパ抵抗群という。

40

【0026】

また、一連の終端抵抗50のうち、上記中央側終端抵抗群の図1にて図示上側及び下側に位置する各複数の終端抵抗50は、それぞれ、上側終端抵抗群及び下側終端抵抗群という。

【0027】

また、メモリコントローラ20の一連の接続ピン21のうち、上述した上側ダンパ抵抗群、中央側ダンパ抵抗群及び下側ダンパ抵抗群に対応する各複数の接続ピン21は、それぞれ、上側接続ピン群、中央側接続ピン群及び下側接続ピン群という。

【0028】

また、本実施形態では、一連の配線部D1、・・・、Dm、・・・、Dnが、上述した一連の配線部A1、・・・、Am、・・・、An（図2参照）に代えて、メモリコントローラ20

50

の一連の接続ピン 2 1 と一連のダンパ抵抗 4 0 との間に接続されている。

【 0 0 2 9 】

ここで、一連の配線部 D 1、・・・、D m、・・・、D nのうち、上記上側ダンパ抵抗群に対応する複数の配線部（配線部 D 1を含む）、上記中央側ダンパ抵抗群に対応する複数の配線部（配線部 D mを含む）及び上記下側ダンパ抵抗群に対応する複数の配線部（配線部 D nを含む）は、それぞれ、上側配線部群、中央側配線部群及び下側配線部群という。

【 0 0 3 0 】

しかして、メモリコントローラ 2 0 の上記上側接続ピン群は、その各接続ピン 2 1 にて、上記上側配線部群の各配線部（配線部 D 1を含む）を介し、上記上側ダンパ抵抗群の各ダンパ抵抗 4 0 の一側端子 4 1 に接続されている。

10

【 0 0 3 1 】

また、メモリコントローラ 2 0 の上記下側接続端子群は、その各接続ピン 2 1 にて、上記下側配線部群の各配線部（配線部 D nを含む）を介し、上記下側ダンパ抵抗群の各ダンパ抵抗 4 0 の一側端子 4 1 に接続されている。

【 0 0 3 2 】

また、メモリコントローラ 2 0 の上記中央側接続ピン群は、その各接続ピン 2 1 にて、上記中央側配線部群の各配線部（配線部 D mを含む）を介し、上記中央側ダンパ抵抗群の各ダンパ抵抗 4 0 の他側端子 4 2 に接続されている。

【 0 0 3 3 】

また、一連の配線部 E 1、・・・、E m、・・・、E nは、上述した一連の配線部 B 1、・・・、B m、・・・、B n（図 2 参照）に代えて、一連のダンパ抵抗 4 0 とメモリモジュール 3 0 の一連の接続端子 3 1 との間に接続されている。

20

【 0 0 3 4 】

ここで、上記上側ダンパ抵抗群は、その各ダンパ抵抗 4 0 の他側端子 4 2 にて、一連の配線部 E 1、・・・、E m、・・・、E nのうち上記上側ダンパ抵抗群に対応する複数の配線部（配線部 E 1を含む）の各々を介し、メモリモジュール 3 0 の一連の接続端子 3 1 のうち上記上側ダンパ抵抗群に対応する複数の接続端子 3 1 の各々にそれぞれ接続されている。

【 0 0 3 5 】

また、上記下側ダンパ抵抗群は、その各ダンパ抵抗 4 0 の他側端子 4 2 にて、一連の配線部 E 1、・・・、E m、・・・、E nのうち上記下側ダンパ抵抗群に対応する複数の配線部（配線部 E nを含む）の各々を介し、メモリモジュール 3 0 の一連の接続端子 3 1 のうち上記下側ダンパ抵抗群に対応する複数の接続端子 3 1 の各々にそれぞれ接続されている。

30

【 0 0 3 6 】

また、上記中央側ダンパ抵抗群は、その各ダンパ抵抗 4 0 の一側端子 4 1 にて、一連の配線部 E 1、・・・、E m、・・・、E nのうち上記中央側ダンパ抵抗群に対応する複数の配線部（配線部 E mを含む）の各々を介し、メモリモジュール 3 0 の一連の接続端子 3 1 のうち上記中央側ダンパ抵抗群に対応する複数の接続端子 3 1 の各々にそれぞれ接続されている。

【 0 0 3 7 】

なお、上述した一連の配線群 C 1、・・・、C m、・・・、C nの接続構成は、上記従来装置と同様である。また、一連の配線部 D 1、・・・、D m、・・・、D n及び一連の配線部 E 1、・・・、E m、・・・、E nは、一連の配線部 A 1、・・・、A m、・・・、A n及び一連の配線部 B 1、・・・、B m、・・・、B nに代えて、プリント配線板 1 0 の上記配線パターンに含まれている。

40

【 0 0 3 8 】

以上のように構成した本実施形態においては、一連のダンパ抵抗 4 0 のうちの上記中央側ダンパ抵抗群は、上述のごとく、一連の終端抵抗 5 0 のうちの上記中央側終端抵抗群よりも図 1 にて図示右側に位置している。

【 0 0 3 9 】

50

換言すれば、上記中央側ダンパ抵抗群は、プリント配線板 10 上において、上記上側及び下側の各ダンパ抵抗群よりも、メモリコントローラ 20 の一連の接続ピン 21 から遠く離れて位置している。

【0040】

従って、例えば、配線部 Dm は、配線部 D1 或いは Dn と等長に形成するにあたり、プリント配線板 10 上において、配線部 Am のように蛇行状に形成することなく、図 1 にて示すごとく、直線状に形成し得る。

【0041】

また、上記中央側ダンパ抵抗群のうち、配線部 Dm との接続関係にあるダンパ抵抗 40 を除いた残りの各ダンパ抵抗 40 は、その他側端子 42 にて、上記中央側配線部群のうちの配線部 Dm 以外の各配線部を介し、メモリコントローラ 20 の上記中央側接続ピン群のうち、配線部 Dm との接続関係にある接続ピン 21 を除いた各接続ピン 21 にそれぞれ接続される。

10

【0042】

ここで、上述した中央側ダンパ抵抗群のうち、配線部 Dm との接続関係にあるダンパ抵抗 40 を除いた残りの各ダンパ抵抗 40 も、配線部 Dm との接続関係にあるダンパ抵抗 40 と同様に、上記上側及び下側の各ダンパ抵抗群よりも、メモリコントローラ 20 の一連の接続ピン 21 から遠く離れて位置している。

【0043】

従って、上記中央側配線部群のうちの配線部 Dm 以外の各配線部も、配線部 D1 或いは Dn と実質的に等長に形成され得る。このため、上記中央側配線部群のメモリコントローラ 20 とメモリモジュール 30 との間における配線スペースは、上記従来装置に比べて大幅に減少し得る。換言すれば、メモリコントローラ 20 とメモリモジュール 30 との間

20

【0044】

の間の等長配線が確保され得るのは勿論のこと、メモリコントローラ 20 とメモリモジュール 30 との間の配線部の実装密度、ひいてはプリント配線板 10 上の部品の実装密度が大幅に高められ得る。

【0045】

また、本実施形態では、上記従来装置のような専用品として、メモリモジュール 30 を実装したメモリ基板を、プリント配線板 10 とは別途採用する必要がなく、メモリコントローラ 20 とメモリモジュール 30 との間の各配線部の自由度を高め得る。

30

【0046】

また、以上のような作用効果を良好に達成するにあたり、中央側ダンパ抵抗群のダンパ抵抗 40 の数は、一連のダンパ抵抗 40 の数のうちの 30 (%) ~ 70 (%) 程度にするとよい。

【0047】

なお、本発明の実施にあたり、上記実施形態に限ることなく、以下のような種々の変形例が挙げられる。

1. メモリコントローラ 20 は、図 1 にて示す実装位置に限ることなく、メモリモジュール 30 の長手方向に並行な位置であれば、適宜変更して実装してもよい。これに伴い、一連のダンパ抵抗 40 のうち一連の終端抵抗 50 のメモリモジュール 30 とは反対側に実装するダンパ抵抗の位置及び数は、メモリコントローラ 20 の実装変更位置にあわせて変更すればよい。なお、変更するダンパ抵抗の数は一連のダンパ抵抗 40 の数のうちの 30 (%) ~ 70 (%) の程度にするとよい。

40

2. メモリコントローラ 20 は、超集積回路に限ることなく、例えば、単なる集積回路であってもよい。

【図面の簡単な説明】

【0048】

【図 1】本発明に係る電子装置の一実施形態を示す概略構成図である。

50

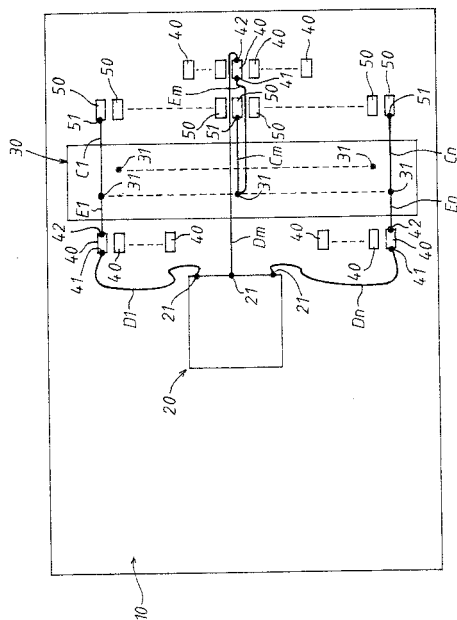
【図 2】従来の電子装置を示す概略構成図である。

【符号の説明】

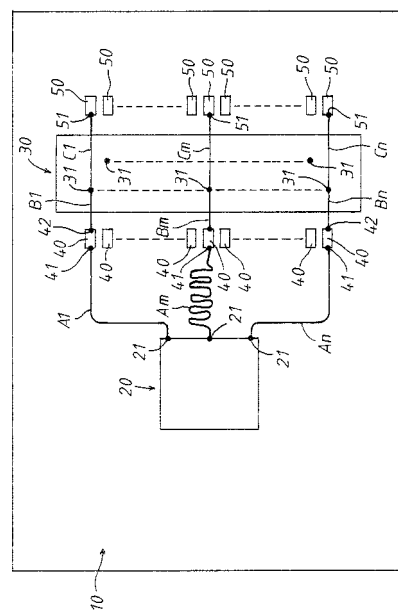
【 0 0 4 9 】

10 ... プリント配線板、20 ... メモリコントローラ、21、31 ... 接続端子、
30 ... メモリモジュール、40 ... ダンパ抵抗、50 ... 終端抵抗、
D1 ~ Dn、E1 ~ En、C1 ~ Cn ... 配線部。

【図 1】



【図 2】



フロントページの続き

(58)調査した分野(Int.Cl. , D B 名)

H 0 5 K 1 / 0 2