

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2018-508343

(P2018-508343A)

(43) 公表日 平成30年3月29日(2018.3.29)

(51) Int.Cl.	F I	テーマコード (参考)
BO1J 19/00 (2006.01)	BO1J 19/00 321	2K101
GO2F 1/167 (2006.01)	GO2F 1/167	4G075

審査請求 有 予備審査請求 未請求 (全 36 頁)

(21) 出願番号 特願2017-536042 (P2017-536042)
 (86) (22) 出願日 平成27年12月18日 (2015.12.18)
 (85) 翻訳文提出日 平成29年7月6日 (2017.7.6)
 (86) 国際出願番号 PCT/JP2015/006320
 (87) 国際公開番号 W02016/110909
 (87) 国際公開日 平成28年7月14日 (2016.7.14)
 (31) 優先権主張番号 1500261.1
 (32) 優先日 平成27年1月8日 (2015.1.8)
 (33) 優先権主張国 英国 (GB)

(71) 出願人 517144879
 シャープ ライフ サイエンス (イーユー) リミテッド
 イギリス オーエックス4 4ジービー, オックスフォードシャー, オックスフォード, オックスフォード サイエンス パーク, エドモンド ハリー ロード (番地なし)
 (74) 代理人 110000338
 特許業務法人HARAKENZO WORLD PATENT & TRADEMARK

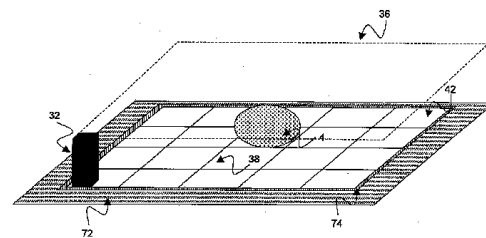
最終頁に続く

(54) 【発明の名称】 アクティブマトリクス型EWODデバイスの素子の駆動方法、回路、およびアクティブマトリクス型EWODデバイス

(57) 【要約】

アクティブマトリクス型の誘電体エレクトロウエットイング (AM - EWOD) デバイスの素子を駆動する方法は、第1交流電圧を上記AM - EWODデバイスの参照電極に供給するステップと、上記第1交流電圧と同じ周波数を有し、上記第1交流電圧と位相が異なる第2交流電圧を上記素子電極に供給するか、または高インピーダンス状態で上記素子電極を維持するステップと、を含む。第2交流電圧を上記参照電極に供給することにより、上記素子を駆動状態にすることができ、上記素子は、素子に存在する液滴を駆動させる。一方、上記素子電極を高インピーダンス状態にすることにより、上記素子を非駆動状態にすることができる。

Figure 2: First embodiment



【特許請求の範囲】

【請求項 1】

アクティブマトリクス型の誘電体エレクトロウェットティング (AM - EWOD) デバイスを駆動する方法であって、上記 AM - EWOD デバイスは、素子電極および参照電極を備え、

第 1 交流電圧を上記参照電極に供給するステップと、

上記第 1 交流電圧と同じ周波数を有し、上記第 1 交流電圧と位相が異なる第 2 交流電圧を供給するか、または、高インピーダンス状態で上記素子電極を維持するかによって、上記素子電極を制御するステップと、を含むことを特徴とする方法。

【請求項 2】

上記第 1 交流電圧はおよび上記第 2 交流電圧は相互に波形の形状が同じであることを特徴とする請求項 1 に記載の方法。

【請求項 3】

上記第 1 交流電圧および上記第 2 交流電圧は、それぞれ、正弦波波形か、三角波波形か、または正方形波形であることを特徴とする請求項 2 に記載の方法。

【請求項 4】

上記第 1 交流電圧および上記第 2 交流電圧は、相互に反位相となっていることを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の方法。

【請求項 5】

上記第 1 交流電圧および第 2 交流電圧は相互に振幅のピークが同じであることを特徴とする請求項 1 ~ 4 のいずれか 1 項に記載の方法。

【請求項 6】

上記第 1 交流電圧および上記第 2 交流電圧の少なくとも何れかは、DC オフセット要素を含むことを特徴とする請求項 1 ~ 5 のいずれか 1 項に記載の方法。

【請求項 7】

上記第 2 交流電圧を上記素子電極に供給するステップは、上記素子電極を上記第 2 交流電圧の電源に接続するステップを含み、上記素子電極を高インピーダンス状態に維持するステップは、上記第 2 交流電圧の電源から上記素子電極を絶縁するステップを含むことを特徴とする請求項 1 ~ 6 のいずれか 1 項に記載の方法。

【請求項 8】

上記素子電極を上記高インピーダンス状態にするときに、上記第 2 交流電圧の瞬時値を上記第 1 交流電圧の瞬時値に等しくするステップを含むことを特徴とする請求項 1 ~ 7 のいずれか 1 項に記載の方法。

【請求項 9】

上記 AM - EWOD デバイスは、行および列がマトリクス状に配置された複数の AM - EWOD 要素を含み、

AM - EWOD 要素の行の上記素子電極を上記高インピーダンス状態にするときに、AM - EWOD 要素の行に供給される上記第 2 交流電圧の瞬時値を上記第 1 交流電圧の瞬時値に等しくするステップを含むことを特徴とする請求項 1 ~ 7 のいずれか 1 項に記載の方法。

【請求項 10】

交流電圧を AM - EWOD 要素電極に選択的に供給する回路であって、

メモリ素子と、

交流電圧の電源に接続する入力ノードと、

上記 AM - EWOD 要素電極に接続する出力ノードと、

上記メモリ素子に格納されたデータ値に基づいて、上記入力ノードを上記出力ノードに電氣的に接続するか、上記入力ノードを上記出力ノードから電氣的に絶縁するか、の何れかによって、上記出力ノードを制御する第 1 スイッチと、を含むことを特徴とする回路。

【請求項 11】

上記第 1 スイッチは、上記入力ノードと上記出力ノードとの間に接続され、上記第 1 ス

10

20

30

40

50

スイッチの制御端子は上記メモリ素子の出力に接続していることを特徴とする請求項 10 に記載の回路。

【請求項 12】

上記第 1 スイッチは第 1 トランジスタであることを特徴とする請求項 11 に記載の回路。

【請求項 13】

上記第 1 トランジスタは、漏れが少ない設計であり、例えば、LDD (Lightly Doped Drain) トランジスタであることを特徴とする請求項 12 に記載の回路。

【請求項 14】

上記メモリ素子は、

データ入力と上記第 1 スイッチの制御端子との間に接続された第 2 スイッチであって、制御端子が第 1 制御入力に接続された第 2 スイッチと、

上記第 1 スイッチの上記制御端子とバイアス電圧との間に接続された第 1 コンデンサと、を含むことを特徴とする請求項 10 ~ 13 のいずれか 1 項に記載の回路。

【請求項 15】

上記第 2 スイッチは、第 2 トランジスタであることを特徴とする請求項 14 に記載の回路。

【請求項 16】

請求項 12 または 13 に記載の回路であって、

上記メモリ素子は、

データ入力と上記第 1 スイッチの制御端子との間に接続された第 2 スイッチであって、制御端子が第 1 制御入力に接続された第 2 スイッチと

上記第 1 スイッチの上記制御端子とバイアス電圧との間に接続された第 1 コンデンサと、を含み

上記第 2 スイッチは、第 2 トランジスタであり、

上記第 1 トランジスタおよび上記第 2 トランジスタは、相互に同じチャネルタイプのトランジスタであることを特徴とする回路。

【請求項 17】

第 2 交流電圧の電源と上記出力ノードとの間に接続された第 3 スイッチであって、制御端子が第 2 制御入力に接続されている第 3 スイッチを含むことを特徴とする請求項 10 ~ 16 のいずれか 1 項に記載の回路。

【請求項 18】

上記出力ノードとバイアス電圧の電源との間に接続された第 2 コンデンサを含むことを特徴とする請求項 10 ~ 17 のいずれか 1 項に記載の回路。

【請求項 19】

上記第 1 スイッチの制御端子と上記入力ノードとの間に接続された第 3 コンデンサを含むことを特徴とする請求項 10 ~ 18 のいずれか 1 項に記載の回路。

【請求項 20】

上記第 3 コンデンサは、電圧に依存する容量を有することを特徴とする請求項 19 に記載の回路。

【請求項 21】

上記メモリ素子は、SRAM (static read-only memory) を含むことを特徴とする請求項 10 ~ 20 のいずれか 1 項に記載の回路。

【請求項 22】

上記出力ノードと検知出力ノードとの間に接続されたセンサ回路を含むことを特徴とする請求項 10 ~ 21 のいずれか 1 項に記載の回路。

【請求項 23】

複数の AM - EWOD (Active Matrix Electro-wetting-On-Dielectric) 要素を備えたアクティブマトリクス型の EWOD デバイスであって、各要素は素子電極および参照電極を含むアクティブマトリクス型の EWOD デバイスにおいて、

10

20

30

40

50

第 1 交流電圧を上記参照電極に供給する参照電極駆動回路と、

上記素子電極に、上記第 1 交流電圧と同じ周波数を有し、上記第 1 交流電圧と位相が異なる第 2 交流電圧を供給するか、それぞれの AM - EWOD 要素の素子電極を高インピーダンス状態にするか、の何れかによって、それぞれの AM - EWOD 要素の上記素子電極を制御するアレイ素子回路とを備えていることを特徴とするアクティブマトリクス型の EWOD デバイス。

【請求項 24】

上記アレイ素子回路の少なくとも 1 つは、請求項 10 ~ 22 のいずれか 1 項で定義されたアレイ素子回路であることを特徴とする請求項 23 に記載のアクティブマトリクス型の EWOD デバイス。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブマトリクスアレイ、およびその素子に関する。本発明は、特にデジタルマイクロ流体に関し、より具体的には、アクティブマトリクス型の誘電体エレクトロウエットング (Active Matrix Electro-wetting-On-Dielectric; AM - EWOD) デバイスに関する。誘電体エレクトロウエットング (EWOD) は、アレイ上に存在する流体の液滴を操作する公知の技術である。アクティブマトリクス型 EWOD (AM - EWOD) とは、例えば、薄膜トランジスタ (TFT) を用いて、トランジスタが組み入れられたアクティブマトリクスアレイにおいて EWOD を実装することを意味する。本発明は、さらに当該デバイスを駆動する方法にも関する。

20

【背景技術】

【0002】

電界を印加することによって流体の液滴を操作する技術としては、誘電体エレクトロウエットング (EWOD) が周知である。これは、ラボ・オン・チップ技術に用いるデジタルマイクロ流体のための候補技術となっている。当該技術の基本的な原理については、「Digital microfluidics: is a true lab-on-a-chip possible?», R.B. Fair, *Microfluid Nanofluid* (2007) 3:245-281」に紹介されている。

【0003】

図 1 は、従来の EWOD デバイスの一部分の断面図を示す。当該デバイスは下層基板 72 を含み、その最上層は、複数の電極 38 (例えば、図 1 においては 38A および 38B) を備えるようにパターン化された導電性材料で形成される。所定のアレイ素子の電極は、素子電極 38 と呼ばれてもよい。液滴 4 は、極性の物質 (一般的には、水性および / またはイオン性) で構成されており、下層基板 72 と上層基板 36 との間にある面に拘束されている。スペーサ 32 を用いることによって、これらの 2 つの基板の間隔が適切に保たれる。そして、当該間隔による容積が、液滴 4 によって満たされないように、非極性流体 34 (例えば、油) によって、当該容積を満たしてよい。絶縁層 20 は、下層基板 72 上に配置されている。絶縁層 20 は、導電性電極 38A および 38B を第 1 の疎水膜 16 から分離する。液滴 4 は、角 θ によって示される接触角 6 を成して、疎水膜 16 上に存在している。疎水膜は、疎水材料 (一般的には、しかし絶対ではないが、フッ素重合体) により形成されている。

30

40

【0004】

上層基板 36 は、第 2 の疎水膜 26 となり、当該疎水面が、液滴 4 に対して接触する状態となる。上層基板 36 と第 2 の疎水膜 26 との間には、参照電極 28 が挿入される。

【0005】

接触角 θ は、図 1 に示されるように定義されている。接触角 θ は、固体 - 液体間 (θ_{SL})、液体 - 気体間 (θ_{LG})、および非極性流体の界面 (θ_{SG}) との間の表面張力の成分の釣り合いとして定められている。電圧が印可されていない場合には、ヤングの法則が成立し、以下の数式 (式 1) が与えられる。

50

$$\cos \theta = (\sigma_{SG} - \sigma_{SL}) / \sigma_{LG} \quad (\text{式 1})$$

ある状況では、関連する物質の相対的な表面張力（すなわち、 σ_{SL} 、 σ_{LG} 、および σ_{SG} の値）は、（式 1）の右辺が -1 よりも小さくなるような数値となる場合がある。このことは、非極性流体が油である場合に通常起こり得る。このような状況においては、液滴 4 は、疎水膜 16 および 26 と接触しない状態となり、非極性流体 34（油）の薄膜が、液滴 4 と、疎水膜 16 および 26 との間に形成され得る。

【0006】

駆動時において、異なる電極（例えば、素子電極 38、38A、および 38B のそれぞれ）に対して、EW 駆動電圧と称される電圧（例えば、図 1 の V_T 、 V_0 、および V_{00} ）が、外部から印加されてよい。電圧の印加によって生じた電氣的な力によって、疎水膜 16 の疎水性が有効に制御される。異なる EW 駆動電圧（例えば、 V_0 および V_{00} ）が印加されるように、異なる素子電極（例えば、38A および 38B）を配置することにより、液滴 4 を、2つの基板 72 および 36 の間の横方向の面において、移動させることができる。

【0007】

後述する明細書において、図 1 に示すデバイスのような EWOD デバイスの素子は、以下の“駆動中”状態と“非駆動中”状態との 2つの状態となるために、必要とされるように、“デジタル”データを受信すると仮定することができる。ここで、“駆動中”状態とは、素子に対して供給される電圧が、素子中の液滴（仮に素子中に存在すれば）が重要なエレクトロウェットिंग力を受けるに十分である状態であり、“非駆動中”状態とは、素子に対して供給される電圧が、素子中の液滴（仮に素子中に存在すれば）が重要なエレクトロウェットिंग力を受けるに十分でない状態である。EWOD デバイスの素子は、閾値電圧 V_{EW} 以上となっている EWOD 素子に対して電位差が生じることによって駆動中状態となる一方、閾値電圧 V_{EW} より小さい、または非常に小さい EWOD 素子に対して電位差が生じて非駆動中状態である。閾値電圧 V_{EW} は、しばしば“駆動電圧”として参照され、次に様に用いられる。実際には、閾値電圧は、典型的には、例えば、液滴の移動または分離のような効果的な液滴操作のために必要な最低電圧として決定される。また、液滴の移動のための第 1 の閾値電圧と、液滴の分離のための第 2 の（より高い）閾値電圧が存在する場合が多い。この場合、“駆動電圧”は、液滴を分離させるために、上記閾値電圧に設定されることが望ましい。実際には、非駆動状態は、典型的には 0 ボルトである。典型的には、EWOD システムは、デジタル処理されると考えられる。この場合、EWOD 素子は、駆動状態または非駆動状態にプログラム化される。しかし、エレクトロウェットिंगのための駆動は、本質的に、アナログ処理が不可欠である。よって、駆動力は、（駆動力が飽和する、ある最大電圧まで）電圧を変化させることによって調整される。実行パラメータもまた、電圧のアナログ処理において実現される。例えば、液滴の移動の最大速度は、ほぼ供給電圧に比例している。したがって、EWOD デバイスは、デジタルデータよりもむしろアナログデータによって動作すると考えることができる。

【0008】

米国特許第 6565727 号明細書（Shenderov, 2003 年 5 月 20 日発行）は、アレイを介して液滴を移動させるパッシブマトリクス型の EWOD デバイスを開示している。

【0009】

米国特許第 6911132 号明細書（Pamula et al., 2005 年 6 月 28 日発行）は、二次元的な液滴の位置および移動を制御する二次元 EWOD アレイを開示している。

【0010】

上述の米国特許第 6565727 号明細書は、液滴の分離、結合、および、異なる材料からなる液滴の混合を含む、液滴の他の操作方法をさらに開示している。

【0011】

米国特許第 7163612 号明細書（Sterling et al., 2007 年 1 月 16 日発行）は、AM ディスプレイ技術において用いられている回路構成と非常に類似する回路構成を

用いている E W O D アレイに供給される電圧パルスを制御するために、T F T に基づく薄膜エレクトロニクスがどのように用いられるかを記載している。

【 0 0 1 2 】

上述の米国特許第 7 1 6 3 6 1 2 号明細書に記載された方法は、「アクティブマトリクス型の誘電体エレクトロウエッティング」(A M - E W O D) と呼ばれる。E W O D アレイを制御するために、T F T に基づく薄膜エレクトロニクスを用いることにより、以下のような複数の利点がある。

【 0 0 1 3 】

・電子機器駆動回路は、下層基板 7 2 の上に集積できる。

【 0 0 1 4 】

・T F T に基づく薄膜エレクトロニクスは、A M - E W O D への適用に非常に適している。これらは、安価に生産できるため、比較的広い基板領域が、比較的低いコストによって生産可能である。

【 0 0 1 5 】

・標準的なプロセスによって生産された T F T は、標準的な C M O S のプロセスによって生産されたトランジスタよりも、遙かに高電圧において駆動するように設計できる。E W O D 技術においては、2 0 V を超える E W O D の駆動電圧が要求されるため、この点は重要である。

【 0 0 1 6 】

しかし、米国特許第 7 1 6 3 6 1 2 号明細書は、A M - E W O D の T F T バックプレーンを実現する回路の形態を、一切開示していない。

【 0 0 1 7 】

欧州特許出願公開第 2 4 0 4 6 7 5 号明細書 (Hadwen et al. , 2 0 1 2 年 1 月 1 1 日 公開) は、A M - E W O D デバイスのためのアレイ素子回路を開示している。E W O D 駆動電極に E W O D 駆動電圧をプログラムし、かつ印加するための、様々な方法が知られている。当該電圧を書き込む機能は、例えば、ダイナミック R A M (D R A M) またはスタティック R A M (S R A M) に基づくメモリ素子等の、標準的な手段としてのメモリ素子と、当該アレイ素子をプログラムするための入力ラインとを含む。

【 0 0 1 8 】

一方、E W O D (および A M - E W O D) デバイスは、D C (直流) および A C (交流) の両方の駆動電圧により操作できる。実際、上述した R. B. Fair, Microfluid Nanofluid (2007) 3:245-281 を検討する限り、A C による方法が望ましい理由が多くある。典型的には、数ヘルツからキロヘルツまでの範囲となる A C 駆動周波数の範囲において、液滴は、駆動および操作できる。

【 0 0 1 9 】

A M - E W O D デバイスにおける A C 駆動の方法を実現する方法の 1 つとして、地電位を参照電極 2 8 に供給する方法がある。液滴が非駆動状態となるようにプログラムされているアレイにおける素子電極は、地電位にプログラムされている。液滴が駆動状態となるようにプログラムされているアレイにおけるアレイ素子電極 3 8 は、電圧が $V_{E W}$ と $-V_{E W}$ との間で変化するようにプログラムされている。この駆動方法は、トランジスタ素子によってスイッチされる最大電圧 $2 V_{E W}$ を必要とする。

【 0 0 2 0 】

米国特許第 8 1 7 3 0 0 0 号明細書 (Hadwen et al. , 2 0 1 2 年 5 月 8 日 発行) は、アレイ素子回路を備えた A M - E W O D デバイス、および、A C 駆動電圧を電極に印加する方法を開示している。当該特許明細書に記載された A C 駆動方式では、当該デバイスの素子電極 3 8 および参照電極 2 8 の両方に、A C 信号を印加している。非駆動状態は、参照電極に供給される電気信号と同じ電気信号の低インピーダンス路によって、素子電極に接続することによって達成される。それゆえ、当該デバイスは、 $+ V_{E W}$ と $- V_{E W}$ との間において変化し、電極間の電位差を生じさせることができる。一方、アレイ素子回路 8 4 内のトランジスタに要求されることは、レール間電圧 $V_{E W}$ において動作することの

10

20

30

40

50

みである。

【0021】

米国特許8653832号明細書には、インピーダンス（静電容量）を検知する機能をアレイ素子に含める方法が記載されている。アレイに含まれる各電極に位置する液滴の存在およびサイズを判定するために、インピーダンスセンサが用いられる。

【0022】

米国特許8221605号明細書には、参照電極が、上層基板から省かれ、駆動電極に沿って下層基板の上に配置された平面内参照電極によって再配置された共面電極の配置が記載されている。また、米国特許8221605号明細書には、参照電極が、駆動電極から物理的に区別された電氣的な導線の2次元グリッドを含む方法が記載されている。

10

【0023】

米国特許8764958号明細書には、低電圧の半導体製造技術を用いる高電圧の液滴駆動の方法が記載されている。2つの状態を切り替えるスイッチは、低電圧レベルにおいてか、そうでなければ高インピーダンス状態となるように駆動電極がスイッチされることを可能とする。AC電圧信号は、参照電極に供給される。

【先行技術文献】

【特許文献】

【0024】

【特許文献1】米国特許第6565727号（2003年5月20日発行）

【特許文献2】米国特許第6911132号（2005年6月28日発行）

20

【特許文献3】米国特許第7163612号（2007年1月16日発行）

【特許文献4】欧州特許出願公開第2404675号（2012年1月11日公開）

【特許文献5】米国特許第8173000号（2012年5月8日発行）

【特許文献6】米国特許8653832号（2014年2月18日発行）

【特許文献7】米国特許8221605号（2012年7月17日発行）

【特許文献8】米国特許8764958号（2014年7月1日発行）

【発明の概要】

【発明が解決しようとする課題】

【0025】

米国特許8764958号明細書では、駆動状態は素子電極を低電圧、例えば、低DCレベルに設定することにより達成される。駆動状態における素子に対して到達する全電圧は、おおよそ、参照電極に供給されるAC電圧の振幅に等しい。米国特許8764958号のクレームでは、素子電極は常に、電子層におけるトランジスタに必要とされるのと同程度の低電圧となるようにしている。しかし、米国特許8764958号明細書では素子電極に液滴が存在している場合、参照電極に供給されるAC信号により、液滴が結合され、素子電極の上に置かれることが認識されていない。それゆえ、米国特許8764958号明細書に開示されている内容では、電子回路は、高電圧のままである。

30

【課題を解決するための手段】

【0026】

本発明の第1の態様は、アクティブマトリクス型の誘電体エレクトロウエッティング（AM-EWOD）デバイスの素子を駆動させる方法であって、上記AM-EWODは、素子電極および参照電極を備え、第1交流電圧を上記参照電極へ供給するステップと、上記素子電極に、上記第1交流電圧と同じ周波数を有し、上記第1交流電圧と位相が異なる第2交流電圧を供給するか、または、高インピーダンス状態で上記素子電極を維持するかによって、上記素子電極を処理するステップと、を含む方法である。

40

【0027】

“高インピーダンス状態”とは、素子電極と少なくとも100Mのオーダーでの接地との間のインピーダンスであってもよいし、素子電極と少なくとも1Gのオーダーでの接地との間のインピーダンスであってもよい。

【0028】

50

上記第2交流電圧が上記素子電極に供給される場合、上記素子は、素子に存在する液滴を駆動する駆動状態となる。一方、素子電極が高インピーダンス状態にある場合、上記素子は、非駆動状態となる。素子は、所望により、上記第2交流電圧が上記素子電極に供給されることにより、駆動状態となってもよいし、上記素子電極が上記高インピーダンス状態を維持することにより、非駆動状態となってもよい。素子は、第2交流電圧が素子電極に供給されなくなり、素子電極が高インピーダンス状態となることにより、駆動状態と非駆動状態とがスイッチされてもよい。素子は、素子電極が高インピーダンス状態でなくなり素子電極に第2交流電圧が供給されることにより、非駆動状態と駆動状態とがスイッチされてもよい。

【0029】

駆動状態において、素子電極は、参照電極に供給される時間変動電圧信号とは位相が異なる時間変動電圧信号に接続される。素子電極に供給される時間変動電圧信号は、典型的には、参照電極に供給される時間変動電圧信号と同じまたはよく似た電圧振幅を持つ。この場合、素子に対する全電圧は、参照電極に供給される時間変動電圧信号の振幅のほぼ2倍となる。これは、電極に供給される時間変動電圧信号の最大振幅が減少する一方で、素子に対して与えられる駆動電圧の大きさを得ることができ、これにより、駆動状態から非駆動状態、またはこの逆に素子が増えるためのスイッチに必要なとされる電圧が減少することを意味する。

【0030】

本明細書における“交流”電圧との用語は、シノソイド波形の電圧に限定されず、上限電圧と下限電圧との間で想定通りに変化する電圧波形を包含している。また、本明細書における“交流電圧”との用語が誤って解釈されるのを避けるために、定電圧タームの存在を除外しない。すなわち、交流電圧は、一般式 $V(t) = V_0 + V_1(t)$ を満たす。ここで、 V_0 は、定電圧要素であり、 $V_1(t)$ は、時間変動電圧要素（変動要素）である。

【0031】

参照電極、および素子電極は、電圧を EWOD デバイスの素子に供給するものである。例えば、参照電極は、上記デバイスの基板の上に備えられ、素子電極は上記デバイスの上記基板と相互に向かい合う他の基板の上に、上記基板の間に存在する液滴（素子上に存在するのであれば）とともに配置される。あるいは、参照電極および素子電極は、平面内構成では、上記デバイスの同じ基板の上に互いに配置される。

【0032】

参照電極および素子電極は、互いに独立して処理可能である。

【0033】

本発明の第2の態様は、交流電圧を AM - EWOD 素子電極に選択的に供給する回路であって、メモリ素子と、交流電圧源に接続するための入力ノードと、AM - EWOD 素子電極に接続するための出力ノードと、上記入力ノードを上記出力ノードに電氣的に接続するか、または上記入力ノードを上記出力ノードから電氣的に絶縁するかによって、上記メモリ素子に格納されたデータ値に基づいて、上記出力ノードを操作する第1スイッチと、を備えた回路である。

【0034】

本発明の第3の態様は、複数の AM（アクティブマトリクス）- EWOD 素子を含むアクティブマトリクス型の EWOD デバイスであって、各素子は素子電極および参照電極を備えており、アクティブマトリクス型の EWOD デバイスは、上記参照電極に第1交流電圧を供給する参照電極駆動回路と、上記第1交流電圧と同じ周波数で位相が異なる第2交流電圧を AM - EWOD 素子それぞれの上記素子電極に供給するか、または、AM - EWOD 素子それぞれの素子電極を高インピーダンス状態で維持するかによって、AM - EWOD 素子それぞれの素子電極を処理するアレイ素子回路と、を備えている。

【0035】

本発明の一例では、アレイ素子回路を備えた AM - EWOD デバイス、およびアレイ素

10

20

30

40

50

子を駆動する方法は以下の通りである。

- ・ A C 電圧信号は参照電極に供給される。
- ・ 素子電極は、(1) 参照電極に供給される A C 電圧信号とは位相が異なる A C 電圧信号により駆動されるか、(2) 高インピーダンス状態となっているか、の何れかである。

【 0 0 3 6 】

構成 (1) では駆動状態となる。これにより、アレイ素子は、その位置において存在する液滴を駆動させる。

【 0 0 3 7 】

構成 (2) では非駆動状態となる。これにより、アレイ素子は、その位置において存在する液滴を駆動させない。

【 発明の効果 】

【 0 0 3 8 】

本発明の一態様によれば、以下の効果を奏することができる。

- ・ 上記のように A M - E W O D デバイスを駆動することによって、 $+V_{EW}$ と $-V_{EW}$ との間でスイッチされるエレクトロウェットング電圧で、A C エレクトロウェットングを達成することができる。一方、アレイ素子回路におけるトランジスタは、最大電圧 V_{EW} にスイッチする場合のみ必要とされる。

・ この駆動方法は、最小数のトランジスタを必要とする回路で実現できる (開示された実施例では、2つのトランジスタアレイ素子回路を含む)。小規模のアレイ素子回路は、以下の利点がある。

【 0 0 3 9 】

・ アレイ素子の大きさは小さくなる。これは、より大きな型のアレイを容易にするとともに、より小さい液滴の操作を容易にする。

【 0 0 4 0 】

・ 小さく簡易な回路は、一般的に、より高度な製造品を容易にする。

【 0 0 4 1 】

・ 小さく簡易な回路は、光透過性の高いものや、部分的に透明な薄膜エレクトロニクスを備えた装置を促進する。光透過性は、測定される液滴の光学的特徴の変化を含む化学的な試験を実行するのに重要である。

・ 本発明の一実施例は、アレイ素子回路における n 型トランジスタのみ (または p 型トランジスタのみ) により実現できる。このように、A M - E W O D デバイスは、単一チャネルトランジスタの製造過程において製造できる。

【 図面の簡単な説明 】

【 0 0 4 2 】

【 図 1 】 従来 E W O D デバイスの断面図である。

【 図 2 】 本発明の第 1 の実施の形態に係る A M - E W O D デバイスの概略図である。

【 図 3 】 図 2 に示された A M - E W O D デバイスのアレイ素子のいくつかを含む断面を示す図である。

【 図 4 】 4 A は、液滴が存在する場合の素子電極における電気的な負荷を示す回路を示す図であり、4 B は、液滴が存在しない場合の素子電極における電気的な負荷を示す回路を示す図である。

【 図 5 】 本発明の第 1 の実施形態に係る、図 2 に示された A M - E W O D デバイスにおける薄膜エレクトロニクスの構成を示す図である。

【 図 6 】 本発明の第 1 の実施形態に係るアレイ素子回路の構成を示す図である。

【 図 7 】 本発明の第 1 の実施形態に係る、図 2 に示された A M - E W O D デバイスのアレイ素子に用いられるアレイ素子回路を示す図である。

【 図 8 】 本発明の第 1 の実施形態に係る、図 2 に示された A M - E W O D デバイスのアレイ素子を駆動するためのタイミング信号 V_1 および V_2 の時間的流れを示すタイミング図である。

【 図 9 】 図 2 に示された A M - E W O D デバイスの一部を示す平面図、および、液滴およ

10

20

30

40

50

び素子電極の配置を示す図である。

【図 10】本発明の第 1 の実施形態に係る AM - EWOD デバイスのアレイ素子回路の電圧信号入力に供給されるタイミング信号の時間的流れを示すタイミング図である。

【図 11】本発明の第 2 の実施形態に係る AM - EWOD デバイスのアレイ素子回路の電圧信号入力に供給されるタイミング信号の時間的流れを示すタイミング図である。

【図 12】本発明の第 3 の実施形態に係る、図 2 に示された AM - EWOD デバイスのアレイ素子に用いられるアレイ素子回路を示す図である。

【図 13】本発明の第 4 の実施形態に係る、図 2 に示された AM - EWOD デバイスのアレイ素子に用いられるアレイ素子回路を示す図である。

【図 14】本発明の第 5 の実施形態に係る、図 2 に示された AM - EWOD デバイスのアレイ素子に用いられるアレイ素子回路を示す図である。

【図 15】本発明の第 6 の実施形態に係る、図 2 に示された AM - EWOD デバイスのアレイ素子に用いられるアレイ素子回路を示す図である。

【図 16】本発明の第 6 の実施形態のアレイ素子回路に含まれるアクティブコンデンサデバイスの電圧に対する静電容量の特性を示す図である。

【図 17】本発明の第 7 の実施形態に係る、図 2 に示された AM - EWOD デバイスのアレイ素子に用いられるアレイ素子回路を示す図である。

【図 18】本発明の第 8 の実施形態に係る、図 2 に示された AM - EWOD デバイスのアレイ素子に用いられるアレイ素子回路を示す図である。

【図 19】本発明の第 9 の実施形態に係る、図 2 に示された AM - EWOD デバイスのアレイ素子に用いられるアレイ素子回路を示す図である。

【図 20】本発明の第 10 の実施形態に係る、図 2 に示された AM - EWOD デバイスのアレイ素子に用いられるアレイ素子回路を示す図である。

【図 21】本発明の第 11 の実施形態に係るアレイ素子回路の構成を示す図である。

【図 22】本発明の第 11 の実施形態に係る、図 2 に示された AM - EWOD デバイスにおける薄膜エレクトロニクス74の構成を示す図である。

【図 23】本発明の第 11 の実施形態に係る、図 2 に示された AM - EWOD デバイスのアレイ素子に用いられるアレイ素子回路を示す図である。

【発明を実施するための形態】

【0043】

添付図面では、同じ参照番号は同じ部分または特徴を示す。

【0044】

図 2 は、本発明の一実施の形態に係る AM - EWOD デバイスを示す。当該 AM - EWOD デバイスは、薄膜エレクトロニクス 74 が上に配置されている下層基板 72 を備える。薄膜エレクトロニクス 74 は、アレイ素子電極 38 を駆動するように構成されている。電極アレイ 42 には、複数のアレイ素子電極 38 が配置されており、 $X \times Y$ 個 (X および Y は任意の数) の素子が含まれる。本質的には、典型的にイオン性および水性の少なくとも何れかである、極性の液体から成る液滴 4 は、下層基板 72 と上層基板 36 との間に挟まれている。なお、複数の液滴 4 が存在し得ると解釈されてよい。非極性流体 34 は、上記基板の間の空間を満たすために用いられ、油 (例えば、ドデカン、シリコン油、または他のアルカン油) または空気から成る。

【0045】

図 3 は、図 3 に示された AM - EWOD デバイスに用いられる、対となるアレイ素子 38A および 38B の断面を示す。このデバイスの構成は、図 1 に示された従来の構成と類似しており、下層基板 72 の上に配置された、薄膜エレクトロニクス 74 をさらに備えている。下層基板 72 の最上層 (薄膜エレクトロニクス 74 の層の一部とみなされてよい) は、複数のアレイ素子電極 38 (例えば、参照電極の具体例は、図 4 の 38A および 38B) を実現するようにパターン化されている。これらは、アレイ素子電極 38 と称されてもよい。アレイ素子電極 38 という用語は、特定のアレイ素子に関連付けられた物理電極構造 38、およびこの物理構造に直接、接続された電気回路のノードの両方を示すと理解

10

20

30

40

50

されてよい。図 3 に示す参照電極 2 8 は、上層基板の上に配置されているが、平面内の参照電極 2 8 を幾何学的に実現するために、選択的に、下層基板 7 2 の上に配置されていてもよい。参照電極 2 8 という用語は、物理電極構造、およびこの物理電極構造に直接、接続された電気回路のノードの両方を示すと理解されてもよいし、何れか一方を示すと理解されてもよい。エレクトロウエッティング電圧は、素子電極 3 8 と参照電極 2 8 との間の電位差であると定義されてもよい。

【 0 0 4 6 】

図 4 A は、液滴 4 が存在する場合の、素子電極 3 8 と参照電極 2 8 との間の電気的な負荷 4 0 A を示す回路を示す図である。液滴 4 は、普通、並列の抵抗およびコンデンサとしてモデル化される。典型的には、液滴の抵抗は、相対的に低くなり（例えば、液滴がイオンを含んでいれば）、液滴の静電容量は、相対的に高くなる（例えば、極性液体の相対的な誘電率は、 ~ 80 と相対的に高いので、もし液滴が水性であれば）。多くの状況で、液滴の抵抗は、相対的に小さく、エレクトロウエッティングの目的の周波数で、液滴 4 は、電気的な短絡回路として効果的に機能する。疎水膜 1 6 および 2 6 は、コンデンサとしてモデル化される電気特性がある。絶縁体 1 6 もまた、コンデンサとしてモデル化される。素子電極 3 8 と参照電極 2 8 との間の全インピーダンスは、その値が、絶縁体 2 0、疎水膜 1 6 および 2 6 の寄与によって左右されるコンデンサによって近似される。また、典型的な層の厚さ、および材料は、ピコファラドのオーダーの値であってもよい。

10

【 0 0 4 7 】

図 4 B は、液滴 4 が存在しない場合の、素子電極 3 8 と参照電極 2 8 との間の電気的な負荷 4 0 B を示す回路を示す図である。この場合、液滴 4 の要素は、上層および下層基板の間の空間を埋める非極性流体 3 4 の静電容量を示すコンデンサによって置き換えられる。この場合、素子電極 3 8 と参照電極 2 8 との間の全インピーダンスは、その値が、非極性流体の静電容量によって左右されるコンデンサによって近似され、それは典型的には小さく、フェムトファラドのオーダーである。

20

【 0 0 4 8 】

駆動および検出のために、電気的な負荷 4 0 全体は、実質的にコンデンサとして機能し、その値は、所定の素子電極 3 8 に液滴 4 が存在するか否かによる。液滴が存在する場合、静電容量は相対的に高くなり（典型的には、ピコファラドのオーダー）、液滴が存在しない場合、静電容量は低くなる（典型的には、フェムトファラドのオーダー）。液滴が部分的に所定の電極 3 8 を覆っている場合、静電容量は、概ね、液滴 4 が素子電極 3 8 を覆う範囲で表される。

30

【 0 0 4 9 】

図 5 は、下層基板 7 2 の上に配置された薄膜エレクトロニクス 7 4 の構成を示す概略図である。電極アレイ 4 2 のそれぞれの素子は、対応するアレイ素子電極 3 8 の電極の電位を制御するためのアレイ素子回路 8 4 を含む。アレイ素子回路 8 4 に制御信号を供給するために、行ドライバ 7 6 および列ドライバ 7 8 を統合した回路も、薄膜エレクトロニクス 7 4 に実装されている。

【 0 0 5 0 】

シリアルインタフェース 8 0 は、シリアル入力のデータストリームを処理し、電極アレイ 4 2 の素子電極 3 8 に必要な電圧を書き込むために設けられている。例えば、これは時間信号を行ドライバ 7 6 および列ドライバ回路に供給するとともに、並行して、入力データを行ドライバ回路に供給する論理回路から成る。例えば、論理回路は、列アドレス指定ラインにデータを予めロードするために、列駆動回路の列素子の順次アドレス指定により構成されている。アドレス指定された全ての列の書き込みに続いて、行ドライバ 7 6 は、データをアレイ素子に書き込むために駆動される。これは全て、アレイアドレス指定の標準的な技術、例えばディスプレイ技術やイメージセンサ技術においてよく知られている技術を用いて実現される。

40

【 0 0 5 1 】

電圧供給インタフェース 8 3 は、対応する供給電圧、上層基板駆動電圧、および、ここ

50

に記載した他の必要とされる入力電圧を供給する。例えば、電圧が供給されるインタフェースは、DC - DCコンバータ、レギュレータ、標準的な手段の分割回路のような公知の回路を用いて、DC電圧を供給する。また、必要とされるDC電圧は、外部で生成され、直接AM - EWODデバイスに供給されてもよい。電圧が供給されるインタフェースは、標準設計のレベルシフト回路を用いて、入力信号を必要とされる電圧レベルにレベルシフトするために用いられてもよい。典型的には、タイミング信号は、標準的な3.3V、または5Vの振幅であるAM - EWODデバイスに入力され、電圧供給インタフェースに組み入れられたレベルシフト回路によって必要な電圧レベルにレベルシフトされる。例えば、後ほど参照するV1およびV2信号は、AM - EWODデバイスに供給される5V参照信号のレベルシフトによりAM - EWODデバイスで生成される。または、V1およびV2は、外部の駆動エレクトロニクスから直接AM - EWODデバイスに供給されてもよい。参照電極へ電圧信号を供給するための参照電極駆動回路85は、TFTエレクトロニクスに組み入れられている。または、参照電極へ電圧信号は、外部の駆動エレクトロニクスから供給されてもよい。

10

20

30

40

50

【0052】

下層基板72と外部駆動エレクトロニクスとの間の接続ワイヤ82の数、電源供給装置等の数は、サイズの大きいアレイであっても、比較的少なくすることができる。選択的に、シリアルデータ入力は、部分的にパラレルであってもよい。例えば、2つのデータ入力ラインが用いられる場合、列ドライバ回路78に、1つが行1からX/2ヘデータを供給し、もう1つが、微修正されて行(1 + X/2)からMヘデータを供給してもよい。これにより、アレイにデータが書き込まれる速度は増加する。これは、液晶ディスプレイ駆動回路において用いられる標準的な技術である。

【0053】

一般的に、薄膜エレクトロニクス74を備えたAM - EWODデバイスは、以下の構成となる。すなわち、AM - EWODデバイスは参照電極28(選択的に、面内参照電極28でも可)と、複数のアレイ素子とを備え、各アレイ素子は、アレイ素子電極(例えば、アレイ素子電極38)を含む。

【0054】

これに関連して、AM - EWODデバイスは、複数のアレイ素子に印加される動作電圧を制御するための方法を実行する。AM - EWOD参照電極28およびそれぞれのアレイ素子がアレイ素子電極38を含む複数のアレイ素子。各アレイ素子の動作電圧はアレイ素子電極38と参照電極28との間の電位差によって決まる。動作電圧の制御方法は、アレイ素子電極38の少なくとも一部に電圧を供給するステップと、例えば参照電極駆動回路を用いて参照電極28に電圧信号を供給するステップとを含む。

【0055】

図6は、アレイ素子回路84における薄膜エレクトロニクス74の構成例を示す図である。アレイ素子回路84は、入力ノード“ENABLE”、“DATA”、“ACTUATE”、および素子電極38に接続している出力を含む駆動回路46を含む。

【0056】

アレイ素子回路84は、典型的に以下の機能を実行する。

【0057】

(1) 駆動回路に含まれるメモリ素子へのデータの書き込み、およびデータの格納。書き込まれたデータは、典型的には、アレイの同じ行にある全ての素子に共通しているアドレスラインデータを用いる入力である。書き込まれるデータは、典型的には、アレイの同じ行にある全ての素子に共通するアドレスライン“ENABLE”によって制御される。

【0058】

(2) 電圧信号のアレイ素子電極38への供給。例えば、入力“ACTUATE”へ供給される入力信号V1による供給、または、素子電極38を高インピーダンス状態にスイッチ。

【0059】

図7は、本発明の第1の実施形態に係るアレイ素子回路84の配置を示す。電気的な負荷40および参照電極28は、図7に示すように、上記回路において役割を果たす。アレイ素子回路84は、トランジスタ52、54、およびコンデンサ56を含む。

アレイ素子回路84は、以下の通りに接続される。すなわち、トランジスタ52のドレインが、アレイの同じ行における全てのアレイ素子に共通する“DATA”入力に接続される。トランジスタ52の制御ターミナル(すなわち、ゲート)は、アレイの同じ行における全てのアレイ素子に共通する“ENABLE”ラインに接続される。トランジスタ52のソースは、トランジスタ54の制御ターミナル(すなわち、ゲート)に接続される。コンデンサ56は、トランジスタ54のゲートとDCバイアス電圧VDDとの間に接続される。トランジスタ54のドレインは、アレイ内の全ての素子に共通する電圧入力“ACTUATE”に接続される。トランジスタ54のソースは、素子電極38に接続されるアレイ素子電極84の出力ノードに接続される。

【0060】

アレイ素子回路84の動作を以下に記載する。この回路は、2つの機能、すなわちメモリ機能と動作機能を実現する。メモリ機能について以下に説明する。これらの間にあるトランジスタ52およびコンデンサ56のメモリとしての機能は、この例ではダイナミックRAM(DRAM)のメモリ素子は、アレイ素子回路84内で、データの書き込み、および格納を可能とする。データを書き込むために、電圧は“DATA”の行アドレスラインに書き込まれる。“ENABLE”ラインは、トランジスタ52をONにスイッチするために高状態をとる。“DATA”における電圧は、コンデンサ56に書き込まれ、維持される一方、“ENABLE”は、入力電圧“DATA”とは無関係に低状態をとる。典型的な動作では、書き込まれた電圧は、デジタルであり、おおよそ $0.5 \times V_{EW}$ ボルト(書き込みデータは“1”)または、 $-0.5 \times V_{EW}$ ボルト(書き込みデータは“0”)である。

【0061】

動作機能について以下に説明する。素子電極38は、アレイ素子回路84の出力ノードに接続される。アレイ素子回路84は、スイッチ(本実施形態の例ではトランジスタ54)を備える。当該スイッチは、回路のメモリ素子に格納されたデータ値により動作し、電気的に入力ノード(“ACTUATE”ノード)を出力ノード(回路の入力ノード(“ACTUATE”ノード)に供給された電圧が素子電極に供給されるように)に接続するか、または、電気的に入力ノード(“ACTUATE”ノード)を出力ノードから隔離する。

【0062】

AC電圧信号V1(請求項1の「第2交流電圧」に対応)は、回路84の入力ノードとして機能する“ACTUATE”ノードに供給される。AC電圧信号V2(請求項1の「第1交流電圧」に対応)は、参照電極28に供給され、V1およびV2は、相互に位相が異なるように、選択的に、望ましくは逆位相となるように調整される。スイッチ(トランジスタ54)が、入力ノード(“ACTUATE”ノード)を出力ノードに接続している場合、“ACTUATE”ノードで、AC電圧信号V1は、素子電極38に供給される。V1とV2との位相差は、電圧振幅と同様に、液滴にかかる駆動力を決定する。なぜなら、液滴にかかる電圧は、素子電極38に供給される電圧と参照電極28に供給される電圧との間の電圧、すなわち、V1 - V2とは、異なるためである。例として、以下の2つの場合が考えられる。

【0063】

(1) V1とV2とは、位相が180度異なる。
この例の場合、V1 - V2は、V1とV2との何れが高いかにより、 $+V_{EW}$ と $-V_{EW}$ とをスイッチする。この場合、駆動力は最大化される。

【0064】

(2) V1とV2とは、位相が90度(または270度)異なる。
この例の場合、25%の時間、V1とV2とは両方とも高となり、 $V1 - V2 = 0$ ボルト

10

20

30

40

50

となる。そして、何の動作も行わない。また、25%の時間、 V_1 と V_2 とは両方とも低となり、 $V_1 - V_2 = 0$ ボルトとなる。そして、何の動作も行わない。また、25%の時間、 $V_1 - V_2 = +V_{EW}$ となり、25%の時間、 $V_1 - V_2 = -V_{EW}$ となる。この場合、動作するのは最大の50%となる。

【0065】

これにより、駆動力を最大にするためには、 V_1 と V_2 とは相互に位相が180度近く（すなわち、実質的に相互に逆位相）ずれていることが望ましいと理解できる。しかし、これが不可欠というわけではない。 V_1 と V_2 とが相互に位相が90度だけずれてさえいれば、ゼロで無い駆動力が与えられるためである。例えば、 V_1 と V_2 との位相が相互に90度、または270度ずれていてもよいし、相互に位相が135度から225度の間、ずれていてもよい。また、相互に位相が157.5度から202.5度の間、ずれていてもよい。

10

【0066】

同様に、 V_1 と V_2 とは相互に周波数が異なる場合、 V_1 と V_2 との位相差が、 V_1 が1つの電極に供給され、 V_2 が他の電極に供給される期間で変化するので、駆動力は、減少する。

【0067】

多くの実施例において、 V_1 と V_2 とは、同じソースから抽出されるので、相互に同じ周波数となると考えられる。しかし、 V_1 と V_2 とが相互に同じ周波数となることは必須ではない。 V_1 と V_2 との位相差が変化すれば、非ゼロの駆動力が与えられるためである。

20

【0068】

電圧信号 V_1 および V_2 の調整例を図8に示す。 V_1 および V_2 のそれぞれは、 $-0.5 \times V_{EW}$ ボルトの低レベルと $0.5 \times V_{EW}$ ボルトの高レベルとの間でスイッチされる。 V_2 が低のとき V_1 は高であり、 V_2 が高のとき V_1 は低である。メモリに「1」が書き込まれた場合（ $0.5 \times V_{EW}$ の電圧がトランジスタ54のゲートに書き込まれた場合）、素子電極38は駆動される。この場合、トランジスタ54はONとなり、これにより、電圧信号 V_1 は素子電極38に送信される。よって、電気的な負荷40に与えられる電圧（エレクトロウェッティング電圧）は、時間内に $-V_{EW}$ と $+V_{EW}$ との間で変化するAC電圧波形となる $V_1 - V_2$ である。

30

典型的に、エレクトロウェッティングによる液滴駆動のために、AC波形の周波数は、1Hzと10kHzとの間、または10Hzと1kHzとの間、または100Hz近傍となる。または、例えば、10kHzと10MHzとの間のような、より高い周波数で液滴を駆動させることもできる。この場合、電界は、液滴4の本体を介して下がり、駆動メカニズムは、エレクトロウェッティングというよりも誘電泳動を介してということになる。 V_1 および V_2 の周波数とは異なる観点で言えば、デバイスの構造、および動作の基本原理は、エレクトロウェッティングによる動作と、誘電泳動による動作とは同じである。この記載、および他の実施形態において、EWO Dデバイスはエレクトロウェッティング、または誘電泳動力による液滴4の駆動を可能とするデバイスとかがえてよい。

40

【0069】

メモリに「0」が書き込まれた場合（トランジスタ54のゲートに $-0.5 \times V_{EW}$ の電圧が書き込まれた場合）、素子電極38は非駆動である。この場合、トランジスタ54はOFFとなる。これにより、回路84の出力ノードは隔離され、その結果、素子電極38は入力ノード（“ACTUATE”ノード）から隔離される。よって、素子電極38は高インピーダンス状態で存在する。例えば、素子電極38に存在するインピーダンスは、（a）OFFとなっているトランジスタ54からの漏れ電流から成る実在部と、（b）例えば、トランジスタ54のソースからゲートへの容量である寄生容量から成る虚数部とを含む。

【0070】

インピーダンスの実数部と虚数部との両方とも大きく、例えば、典型的には、ギガオー

50

ムがそれ以上である。よって、電極 38 の電位は、回路の他のノード（例えば、トランジスタ 54 のドレインでの信号“ACTUATE”）での電位の変化により実質的には影響を受けない。一方、トランジスタ 54 は OFF のままであり、電極 38 は高インピーダンス状態のままである。

【0071】

(1) 液滴が、素子電極 38 に存在する場合（電気的な負荷 40 A が図 4 A に示されている）と、(2) 液滴が、素子電極 38 に存在しない場合（電気的な負荷 40 B が図 4 B に示されている）との違いを考えなければならない。

【0072】

ケース 1 - 液滴が存在する。液滴が存在する場合、素子電極 38 が、電気的な負荷 40 を介して、参照電極 28 と優性的に電気的に結合する。上述したように、この場合の電気的な負荷 40 A は、ピコファラドのオーダーの値を持つコンデンサと近似できる。電気的な負荷 40 A の容量は、（例えば、トランジスタ 54 のソースとゲートとの間の容量に関わる）回路における寄生インピーダンスより優位である。素子電極 38 の電位差は、参照電極 28 の電位差に追従する。これにより、電圧信号 V2 とうまく対応する。この場合、素子電極 38 と参照電極 28 との間に与えられる電位差はほぼ 0 となる。それゆえ、液滴 4 は非駆動状態となり、液滴 4 と疎水膜 16 との接触は、エネルギーが与えられず、液滴 4 はエレクトロウエットング力を受けられない。

10

【0073】

ケース 2 - 液滴が存在しない。液滴 4 が存在しない場合、素子電極 38 と参照電極 28 との間の容量は、上述したように非常に小さくなる。よって、素子電極 38 は高インピーダンス状態となり、有効性は定義されていないだけで、回路内の複数の小さな寄生容量および寄生抵抗（例えば、参照電極 28 に対する電気的な負荷 40 B の小さな容量、トランジスタ 54 のソースとゲートの間の小さな寄生容量、トランジスタ 54 の大きくない抵抗）に基づいている。よって、素子電極 38 の有効性、および素子電極 38 が非駆動となっている範囲は不明瞭に見える。

20

【0074】

しかし、発明者らは、十分な検討の結果、ケース 2 のように素子電極 38 の電位差が十分でなくても、デバイスは、液滴 4 が正しく移動するようにサポートできるということを見出した。図 9 に示す状況を考える。AM-EWOD デバイスの一部の平面図が示されている。素子電極 38 A が駆動状態となるように書き込まれ、素子電極 38 B が駆動状態とならないように書き込まれている場合を考える。液滴 4 は、アレイ素子電極 38 A の近辺に存在する。電極 38 B に関連付けられたアレイ素子は、上述したケース 2 の状態にある。議論のために考えてみよう。電極 38 B の電位が十分でなければ、何らかのエレクトロウエットング駆動となり、液滴 4 は、引き付けられることにより、電極 38 B の方へ動き出す。この状況において、液滴 4 は素子電極 38 B に近づく（または、重なり始める）。素子電極 38 B において負荷回路 40 の容量を増加させる液滴 4 の容量結合効果を介して参照電極 28 と素子電極 38 B との間にかんりの容量が発生し始める。参照電極 28 と素子電極 38 B との間の容量の重要な増加に伴い、素子電極 38 B の電位は、容量結合により、参照電極 28 の電位に近づく。換言すれば、この状況は、ケース 2 よりもケース 1 に似ている。全体的な結果として、液滴は素子電極 38 B から離れ、電極 38 A に向かって戻る。

30

40

【0075】

結果的に、発明者らは、このように駆動方法に関連する、組み込まれた訂正メカニズムが存在することを発見した。液滴 4 の存否が重要なわけではない。アレイ素子の非駆動状態はほとんど定義されない。アレイ素子に液滴が到着しても、再び、非駆動状態が定義され、近傍のアレイ素子は駆動され、液滴はエレクトロウエットング効果により非駆動状態から離れるように動くためである。

【0076】

ケース 2 におけるアレイ素子回路 84 の動作のために、トランジスタ 54 が OFF とな

50

り、素子電極 38 が高インピーダンス状態となった時に、素子電極 38 の電位は、参照電極 28 の電位と実質的に同じであることが好ましい。よって、望ましくは、素子電極 38 は高インピーダンス状態にスイッチされる前に V2 と同じ電位（または、実質的に同じ電位）に予めチャージ（プレチャージ）しておくべきである。アレイ素子が駆動される場合、このプレチャージは何の効果も無い。トランジスタ 54 が ON となり、アレイ素子電極が “ACTUATE” に供給される信号 V1 に接続されるためである。アレイ素子が非駆動の場合、プレチャージは、素子電極 38 のスタート DC 電位を制御することを可能にするというように効果的である。このように、素子電極 38 をプレチャージすることにより、動作中に、参照電極 28 の電位と高インピーダンス状態の素子電極 38 の電位と間の DC オフセットが生じない。DC オフセット電圧を回避することは以下の 2 つの点で、重要であり、効果がある。第 1 に、DC オフセット電圧により生じた寄生エレクトロウエットティング効果により、望んでいないにもかかわらず、液滴 4 がアレイ素子に引き付けられることを回避するために重要であり、効果がある。第 2 に、絶縁体 20 および疎水膜 16 にかかる DC バイアスに伴う動作を回避するために重要であり、効果がある。DC オフセット電圧が存在すると、例えば、絶縁体 20 内におけるイオンの移動で励起されることにより、または、疎水膜 16 において電荷がトラッピングされることにより、デバイスの信頼性が危うくなることが知られている。よって、DC オフセット電圧を伴うデバイスの動作を回避することは利点がある。

10

【0077】

上述したように、素子電極 38 を V2 と同じ電位にプレチャージするために、“ACTUATE” に供給される電圧信号 V1 は、トランジスタ 54 が OFF となった時に V2 と同じ電圧となるべきである。この状態は、素子電極 38 が高インピーダンス状態になった時に素子電極 38 と参照電極 28 との間に DC オフセット電位を書き込まない。図 10 に、参照電極 28 (V2) に供給するタイミングの調整例、入力 “ACTUATE” (V1)、アレイの異なる行のためのアドレスライン “ENABLE” の例を示す。V2 は、調整可能な期間において、ある時点で $-0.5 \times V_{EW}$ となり、ある時点で $+0.5 \times V_{EW}$ となる AC 波形である。動作状態におけるエレクトロウエットティングを実現するために、“ACTUATE” は、V2 と論理的に逆となる。しかし、トランジスタ 54 が OFF となったときに、“ACTUATE” が同じ電圧 V2 となるように要求されることが許されるように、データがアレイに書き込まれたとき（アレイ素子に「0」が書き込まれた場合）は例外もある。図 10 に示すように、“ACTUATE” は、“ENABLE” が端まで上昇したときの近傍で、V2 と同じ状態をとる。“ENABLE” が端まで上昇したときは、コンデンサ 56 が充電 / 放電され、トランジスタ 54 のゲートの電位が決定されたときに対応する。

20

30

【0078】

アレイ素子回路 84、および本実施形態における駆動方法の利点は、駆動状態におけるエレクトロウエットティング電圧が $+V_{EW}$ と $-V_{EW}$ との間でスイッチされる点である。これにより、AC エレクトロウエットティングが実現される。これは、（以下に記載している理由により）回路内のトランジスタの端子間で、アレイ素子回路 84 が約 V_{EW} に切り替えることを要求することのみで達成される。これは、本発明の重要な利点である。なぜなら、典型的なエレクトロウエットティングは、液滴を駆動するために高電圧を必要とする一方で、薄膜エレクトロニクス 74 の実現するための典型的なエレクトロニクス技術では、トランジスタに供給される最大電圧に限定されることになるためである（例えば、信頼性を得るために）。

40

【0079】

“ACTUATE” 入力、および参照電極 28 の両方における AC 電圧波形の応用は、この利点を実現するための決定的な要素であることに注意すべきである。さらに、上記利点は、ここに記載されているように、AC 電圧が参照電極 28 にのみ供給される場合、実現できないことにも注意すべきである。それゆえ、このような駆動方法は、最大電圧が約 V_{EW} となる薄膜エレクトロニクス処理には好適ではない。

50

【0080】

説明を通して、 V_2 が、 $-V_{EW}$ と $+V_{EW}$ との間で変化するAC電圧、 V_1 が、例えば0ボルトのDC供給の場合の例を考える。このようにデバイスを駆動することは可能であるが、トランジスタ54に供給される最大電圧は $2V_{EW}$ のままである。これは、アレイ素子が非駆動状態で所定のアレイ素子に液滴4が存在する状況を示す。ここで、 V_2 は、電気的な負荷40Aを介して結合され、これにより、素子電極38の電位は、 $-V_{EW}$ と $+V_{EW}$ との間で変化する信号 V_2 に実質的に等しくなる。これらの状況下で回路を動作させるために、素子電極38の電位がどうなるうとも、非駆動状態でトランジスタ54はOFFとなり続ける必要がある。これを達成するために、DRAMメモリ素子に格納されている電位（および、トランジスタ54のゲートの電位）は、 $-V_{EW}$ より大きくな

10

【0081】

本実施形態のさらなる利点は、アレイ素子回路84は2つのトランジスタと1つのコンデンサのみで実現される点である。それゆえ、このトランジスタ2個の構成は、（例えば、US8173000に記載された）従来技術のアレイ素子回路よりもかなり簡易となる。従来技術は、典型的に、アレイ素子回路84内に多くのトランジスタを必要とし、より

20

多くの列または行アドレスラインを必要とするものである。アレイ素子回路84における複雑さ、およびトランジスタの数を減らすことは、様々な理由により利点がある。

- ・小さなアレイ素子/素子電極が実現される。典型的には、達成可能な最小のアレイ素子のサイズは、薄膜エレクトロニクスの限界、および薄膜エレクトロニクスのアレイ素子回路84のレイアウトに示される、製作における要求（設計ルール）のための仕様によって設定される。それゆえ、簡易な回路（トランジスタが少ない）は、設計および製作される、小さいアレイ素子を可能とする。小さいアレイ素子は、少なくとも3つの理由により、利点がある。第1に、小さい液滴を扱うことができる。特に、これは、1つのセル、1つの分子の処理、分析を含む装置に重要である。第2に、大きな液滴を用いる場合、副次的な液滴に分解することができる。これは、デバイスの可能性を改善できる。例えば、より

30

- ・アレイ素子回路84の小さく簡易な設計により、製造力を容易に増加できるとともに、デバイスのコストを下げるができる。

- ・アレイ素子回路84の小さく簡易な設計により、光学的な透明度を容易に上げることができる。これは重要である。例えば、デバイスが1つ以上の液滴の光学的な特性（例えば、蛍光性、吸光性）の変化をもたらす、化学的な、または生化学的なテストを実行するために用いられる場合、テストにより、光学的特性におけるこの変化を測定されることにより、デバイスは読み出される。

40

- ・アレイ素子回路84の小さく簡易な設計により、例えば、温度センサ、生体センサなどのアレイ素子に組み入れられた他の電気的な機能を実現するためのアレイ素子内における自由に使える空間が広がる。

- ・本実施形態に係るアレイ素子回路84は、n型トランジスタのみにより実現できる。列および行アドレス回路もまた、n型トランジスタのみにより実現されることが知られているためである。AM-EWODデバイスは、単一のチャンネル処理（n型のみ）で製造することが可能である。（n型およびp型のトランジスタを含む）補足的な処理と比較すると、単一のチャンネル処理は、コストが低いと考えられる。単一のチャンネル処理とともに、単一チャンネルのトランジスタのみを含む製造プロセスでAM-EWODデバイスを製造する

50

ことが可能となる。例えば、アモルファスシリコン (a-Si)、亜鉛 (ZnO)、インジウムガリウム亜鉛を用いた標準的なディスプレイの製造処理である。

【0082】

本実施形態のさらなる利点は、アドレス信号“ACTUATE”はアレイ内の全ての素子に共通する点である。これは、AM-EWODデバイスの外部にあるか、または選択的に薄膜エレクトロニクスにおいて実現される、“ACTUATE”を駆動するのに必要とされる回路を簡易化できるという利点がある。さらなる利点は、“ACTUATE”を全体的な信号とすることにより、アドレスラインをアレイの隣接列の間、または隣接行の間でシェアできることである。これは、簡易な回路レイアウトとなり、その上、アレイ素子の物理的なサイズを小さくすることができる。

10

【0083】

上述したように、本実施形態のデバイスの駆動方法によれば、トランジスタによりスイッチするために必要となる最大電圧は、 V_{EW} にほぼ等しい。様々な環境下で、トランジスタにより電圧をスイッチするために V_{EW} を少し超えるようにする必要がある。一般に、トランジスタをONにするための電位(閾値電圧)は、ゼロでないためである。例えば、上述した実施形態の動作を考える。トランジスタ54の閾値電圧が V_{th} の場合、駆動状態で、トランジスタ54が完全にONとなることを確実にするために、トランジスタ54のゲートの電位は、 $0.5 \times V_{EW} + V_{th}$ に書き込まれる必要がある。同様に、“ENABLE”信号が駆動されることによりDRAM回路に書き込まれたとき、入力ライン“DATA”上にロードされるように、電圧は $0.5 \times V_{EW} + V_{th}$ とする必要がある。トランジスタ52の閾値電圧もまた V_{th} なので、“ENABLE”に供給される高レベル電圧は、 $0.5 \times V_{EW} + 2V_{th}$ としなければならない。これから、薄膜エレクトロニクスを制御可能な最大電圧は $V_{EW} + 2V_{th}$ としなければならないことがわかる。典型的には、 V_{th} は、 ~ 2 ボルトであるが、 V_{EW} は、20Vのオーダーである。それゆえ、最大電圧は、 $2V_{EW}$ というよりも、 $V_{EW} + 2V_{th}$ が必要とされることによる方法を実現することは利点がある。

20

【0084】

本実施形態に係るデバイスの動作の詳細において、AC電圧パルス V_1 および V_2 は、振幅に等しい矩形波形となっており、DC電位による相互のオフセットはない。本発明の精神、および範囲から逸脱することなく、これに対する修正は可能であることが分かる。例えば、 V_1 と V_2 とは、正弦波または三角波形でもよく、 V_1 は V_2 と振幅が異なってもよく、さらに、 V_1 と V_2 とは、DC電位による相互のオフセットであってもよい。

30

【0085】

本発明の非常に効果のある実施は、トランジスタ54の漏れ電流が低い(無い)ように設計される。漏れ電流が低いトランジスタの構成の実施例は、軽度にドーピングされたドレイン(LDD: Lightly Doped Drain)である。漏れ特性、及び/又はトランジスタのゲートとソースとの間の寄生容量が減少することにより、LDDは、よく知られた技術である。デバイスにおける移動速度およびスイッチング速度は、同じコストであるけれども、本発明に係る実施形態においては、LDDの利点は、回路の動作、特に、非駆動状態の決定に非常に有益である。トランジスタ54からのDC漏れ電流、およびトランジスタ54のソースとゲートとの間の容量の両方を最小化することによって、素子電極38は、アレイ素子回路84の残留に伴う寄生相互作用からというよりも、(望ましくは)参照電極28から制御するために、より主要となる。同様に、トランジスタ52の機能もまたデバイスをスイッチすることなので、トランジスタをLDDとして実施するために有利である。トランジスタ52からの漏れは最小となるので、トランジスタ54のゲートに書き込まれた電圧が、トランジスタ52がOFFになった後も、適切に維持され続けるように、低い漏れ電流特性を利用する。

40

【0086】

本発明の第2の実施形態に係るAM-EWODデバイスは、“ACTUATE”に供給

50

されるアドレス信号V1が全体的な信号ではなく、アレイの各行で独立している点を除いて、第1の実施形態と同様である。

【0087】

本実施形態に係るデバイスの動作は、信号V1のタイミングが行単位の基準で決定されている点を除いて、上述した動作と同様である。以下では、符号V1<N>はアレイのN番目の行の“ACTUATE”に供給されるアドレス信号を示すものとして用いる。

【0088】

図11は、本実施形態のタイミング信号の例を示す。これらは、アドレスライン“ACTUATE”が、アレイの各行（例えば、V1<1>、V1<2>）によって異なるように駆動される点を除いて、第1の実施形態として示される。本実施形態によれば、V2と

10

同じ“ACTUATE”電圧へ切り替えるために必要とされるのは、アドレス指定された特定の行のV1信号のみである。これは、（V1がV2と同じ電位にスイッチされたときに起こる）エレクトロウェットティング動作の中断を最小限にできる点で、第1の実施形態に対する利点である。なぜなら、その特定の時点でアドレス指定されていないアレイの行では、動作は中断されないためである。

【0089】

本発明の第3の実施形態に係るAM-EWODデバイスは、図12に示すアレイ素子回路84の代替的な設計である点で、第1または第2の実施形態と同様である。アレイ素子回路84は、追加トランジスタ90を含む。トランジスタ90のソースは、素子電極38

20

に接続され、ドレインは“ACTUATE”に接続され、ゲートは入力ライン“PRE”に接続される。入力ライン“PRE”は、アレイ内で全素子に共通であってもよいし、アレイの同じ行の全素子に共通であってもよいし、アレイの同じ列の全素子に共通であってもよい。

【0090】

追加トランジスタ90の機能により、駆動状態または非駆動状態となるように、素子電極38に書き込む前に、素子電極38をプレチャージすることが容易となる。プレチャージは、入力“PRE”を短時間、高にすることにより実行されてもよい。トランジスタ90は、素子電極38を入力“ACTUATE”の電圧レベルにプレチャージするために、ダイオードとして効果的に接続され、“PRE”を高電圧レベルにして、順方向バイアスのダイオードとなる。

30

素子電極38と参照電極28との間にDCオフセット電圧が書き込まれないようにプレチャージするために、信号“ACTUATE”は、上述したプレチャージのときにV2と同じ電位であるべきである。

【0091】

第1の実施形態の比較した本実施形態の利点は、素子電極38が高インピーダンス状態にスイッチされる直前にセットされる、ケース2における素子電極38のDC電位が、アレイ素子回路84におけるDRAMメモリの動作により独立して決定される点である。なぜなら、プレチャージ動作は、タイミングに依存しないためである。それゆえ、第2の実施形態においては、アレイ素子が書き込まれたときに、信号“ACTUATE”が高レベルか低レベルかは問題とならない。一般的に、アレイ素子の近傍に液滴が存在しない場合のように素子電極38の静電容量が小さい場合、このようなプレチャージの手段は、効果的である。プレチャージは、アレイへの書き込みとは独立して実行することができるので、プレチャージ動作は、より頻繁に実行される。それゆえ、トランジスタ90および54がOFFとなったときに、回路は、素子電極38からの電荷の寄生漏れの影響を受けにくくなる。

40

【0092】

好都合なことに、これはまた、“ACTUATE”のタイミング信号の適応性をより大きくすることができる。“ACTUATE”がアレイの同じ行における各素子に共通する場合、特に効果がある。

50

【0093】

本発明のさらなる利点は、プレチャージ機能は、回路内の1つの追加トランジスタのみにより実行される点である。さらなる利点は、プレチャージ動作は、ライン単位のバイアスで実行される点である。

【0094】

第3の実施形態は、トランジスタ90のドレインに接続されている入力信号が入力ライン“ACTUATE”の場合について記載されている。これを実現するためには、分かれたアドレスラインを必要とせず、またアレイ素子回路84のサイズも小さいので利点がある。また、第3の実施形態は、異なる信号がトランジスタ90のドレインに供給されることにより実現されると解釈されてよい。これは、選択的に、入力信号“PRE”、または他の独立した入力信号であってもよい。

10

【0095】

本発明の第4の実施形態は、図13に示す代替的なアレイ素子回路84を含む第1の実施形態と同様である。アレイ素子回路84は、素子電極38とDC供給VDDとの間に追加コンデンサ108を含む点を除いて、第1の実施形態と同様である。コンデンサ108の目的は、トランジスタ54を介して大きな漏れ電流が発生したとしても、素子電極38に書き込まれたDC電圧レベルを適切に維持することを確実にすることである。トランジスタ54を介した電荷の漏れは、素子電極38のDC電圧を変化させるため、回路動作に悪影響を及ぼす。これは、上述した望まない理由にあり、結果として素子電極38と参照電極28との間のDC電圧を上げることになる。回路内の追加コンデンサ108の存在は、高インピーダンス所内にスイッチされたときに、このノードでプレチャージされていることにより、素子電極38のDC電圧の維持に役立つ。

20

【0096】

本発明の第5の実施形態に係るAM-EWODデバイスは、図14に示すアレイ素子回路84の代替的な設計を備えた上述した実施形態の何れかと同じである。アレイ素子回路84は、トランジスタ54のゲートと入力“ACTUATE”との間に接続された追加コンデンサ94を含む点を除いて、第1の実施形態と同様である。コンデンサ94の目的は、トランジスタ54のゲートに書き込まれた電圧を上げる（ブーストする）ことである。アレイ素子回路84の動作は、上述した内容と同様であり、以下の通りである。

30

・アレイ素子にデータを書き込まれている間、V1およびV2はともに低レベルをとらなければならない。

・データは、アレイ素子のDRAMメモリに書き込まれる。書き込まれた入力信号は、最初にライン“DATA”に予め書き込まれている。“ENABLE”は、“”は高をとり、“DATA”上の信号はトランジスタ54のゲートに書き込まれ、コンデンサ56に蓄えられる。そして、トランジスタ54はOFFにスイッチされる。

・“0”が書き込まれた場合、トランジスタ54は、OFFにスイッチされ、素子電極38は高インピーダンス状態にスイッチされる。

・“1”が書き込まれた場合、トランジスタ54はONにスイッチされ、入力信号V1は、素子電極38に接続される。信号V1が高になった時点で、“ACTUATE”とトランジスタ54のゲートとの間をつなぐ容量は、コンデンサ94への電荷の注入によって上げられたトランジスタ54のゲートでの電圧信号となる。

40

【0097】

回路内にコンデンサ94を含み、ブーストを行う効果および利点は、“1”が書き込まれた状態とするために、“ACTUATE”の高レベル電圧信号（すなわち、 $0.5 \times V_{EW} + V_{th}$ ）を超える閾値電圧となるトランジスタ54のゲートでの電圧を書き込むことを必要としない点である。なぜなら、ブースト動作は、追加量によって、トランジスタ54のゲートの電圧を上げるため、（例えば、コンデンサ94のサイズを注意深く設計することによって）ほぼ V_{th} に変更されるためである。これは、V1が $+0.5 \times V_{EW}$ のときに、トランジスタ54がONであり続けるために十分である。回路容量の大きさによるので、ブースト効果により、これは、トランジスタ54のゲートに初期に書き込まれ

50

た電圧が $0.5 \times V_{EW}$ か、これよりも少ない場合であっても正しい。

【0098】

コンデンサ94の値を慎重に選択した設計により、“1”状態に書き込むために、トランジスタのゲートに書き込まれる電圧は $0.5 \times V_{EW}$ よりも小さく、例えば、 $0.5 \times V_{EW} - V_{th}$ またはこれよりも小さい。

このような構成は、“ENABLE”パルスの振幅が V_{EW} となりさえすればよいので、利点がある ($V_{EW} + V_{th}$ よりも、典型的には V_{EW} と書き込まれることが必要とされる)。これは、“ENABLE”および“DATA”ラインの駆動に用いる電圧信号の振幅を小さくするため利点がある。

振幅を小さくすることは、消費電力を減少させるという利点があり、また、薄膜回路に集積され、“ENABLE”および“DATA”ラインの駆動に用いるレベルシフトおよびバッファの物理的な大きさを小さくするという利点がある。物理的な大きさを小さくすることは、製造効率を改善するとともに、デバイスの全体的なベゼルを小さくさせる。

【0099】

本実施形態における電位の不利な点は、素子電極38を非駆動とするために、トランジスタ54のゲートに“0”（例えば、 $-0.5 \times V_{EW}$ の電位）が書き込まれる場合に、ブーストの効果が、悪影響を及ぼす点である。

“ACTIVATE”が高をとったとき、ほぼ $-0.5 \times V_{EW} + V_{th}$ の電位に到達するように、トランジスタ54のゲートでの電圧は、上述したのと同様に上げられる。これは、素子電極38での電圧が少しだけ上昇するという結果とともに、トランジスタ54を少しだけスイッチするという効果がある。素子電極38の電位の上昇は、小さくかつ、自身で制限される。素子電極38の電位が上昇すると、それに伴いトランジスタ54のゲートとソースとの間の電圧が減少し、トランジスタが再びOFFとなるためである。この場合の全体的な影響は、素子電極38が非駆動状態の場合における、素子電極38と参照電極28との間の電位が、ゼロボルトとなる代わりに、 V_{th} のオーダーの小さなDC電圧となる点である。 V_{th} はエレクトロウェットング電圧と比較して小さいので、この不利な点は、一般的に、アレイ上の液滴4を取り扱うデバイスの特性を疑わせるという点ではさほど重要ではない。

【0100】

本発明の第6の実施形態は、図15に示すアレイ素子回路の代替的設計と備えた第5の実施形態と同様である。コンデンサ94は、容量がターミナル間の電圧の機能を有する（すなわち、コンデンサ110は、容量から独立した電圧を有する）アクティブコンデンサ110に置き換えられる。例えば、コンデンサ94は、陽極として導電性のゲートを備えるように形成され、陰極にn型半導体材料を用いるものであってもよい。陽極と陰極との間の電圧は、 V_{+} で示される。図16にデバイスにおける電圧特性に対する静電容量の典型的な例のグラフを示す。 V_{+} が陰の場合、半導体は空乏状態であり、移動可能な電荷をほとんど含まない。それゆえ、コンデンサの容量は小さくなる。 V_{+} が陽の場合、半導体材料は、蓄積状態となり、移動可能な多くの電荷を含む。それゆえ、コンデンサの容量は大きくなる。

【0101】

コンデンサ94は、トランジスタ54のゲートと接続されている陰極、および信号“ACTIVATE”と接続されている陽極と接続している。例えば、コンデンサ94は、陽極として導電性のゲートを備えるように形成され、陰極にn型半導体材料を用いるものであってもよい。

【0102】

回路動作は、第5の実施形態に記載したものと同様であるが、ブーストコンデンサとしてアクティブコンデンサ110を用いることによって、トランジスタ54のゲートでの電位が、望ましい場合は上がり、望ましくない場合は上がらないように回路は変更されている。トランジスタ54のゲートでの電圧が $\sim +0.5 \times V_{EW}$ に書き込まれている（すな

10

20

30

40

50

わち、“1”が書き込まれている)第1の場合を考える。この場合、 V_{+} は、 V_1 が低
 のとき、ほぼ V_{EW} となる。入力“ACTUATE”における電圧信号 V_1 は高に変位す
 るので、電圧 V_{+} は、変位の間ほぼ、 V_{th} を超え続ける。結果として、コンデンサ1
 10の容量は大きくなり、第5の実施形態に記載したように、トランジスタ54のゲート
 での電圧をブーストすることにより、望ましいように、ブーストの効果が発生する。

トランジスタ54のゲートに $-V_{EW}$ が書き込まれる(“0”が書き込まれる)、次の場
 合を考える。この場合、 V_{+} は、“ACTUATE”が低のとき、ほぼ0ボルトとなり
 、“ACTUATE”の変位が高での電圧信号 V_1 として陰となる。

この場合、 V_{+} は、陰電圧となり、コンデンサ110の容量は小さくなる。それゆえ、
 本実施形態は、望まないブースト(“0”が書き込まれる場合)が起こらないという利点
 がある第5の実施形態よりも利点がある。

【0103】

本発明の第7の実施形態は、図17に示すように、代替的設計、またはアレイ素子回路
 84を備えた第5の実施形態の変形である。本構成例では、コンデンサ94はトランジス
 タ54のゲートとソースとの間に接続されている。コンデンサ94の目的は、第5の実施
 形態に記載したのと同様に、トランジスタ54のゲートに書き込まれた電圧信号をブース
 トすることである。

【0104】

アレイ素子回路84の動作は以下の通りである。

- ・アレイ素子にデータが書き込まれている間、 V_1 および V_2 はともに低レベルをとらな
 なければならない。

- ・データは、アレイ素子におけるDRAMメモリに書き込まれる。書き込まれる入力信号
 は、ライン“DATA”に予め書き込まれる。よって、“ENABLE”は高をとり、“
 DATA”の電圧は、トランジスタ54のゲートに書き込まれ、コンデンサ56に蓄えら
 れる。そして、トランジスタ52はOFFにスイッチされる。

- ・“0”が囲まれる場合、トランジスタ54は、OFFにスイッチされ、素子電極38は
 高インピーダンス状態にスイッチされる。

- ・“1”が書き込まれる場合、トランジスタ54はONにスイッチされ、“ACTUA
 TE”を駆動する入力信号 V_1 は、素子電極38に接続される。信号 V_1 が高となったとき
 、トランジスタ54はONとなり、素子電極38の電位は上がる。その結果、素子電極3
 8とトランジスタ54のゲートとの間の容量は、コンデンサ94への電荷の注入により、
 トランジスタ54のゲートの電圧信号をブーストさせる。

【0105】

ブースト動作を実行するために、回路内にコンデンサ94を含む効果および利点は、
 第5の実施形態と同様に、上述したのと同じ理由により、トランジスタ54のゲートの電
 圧を V_1 の高レベル電圧信号を超える閾値電圧となるように書き込む必要がない点である
 。

第5の実施形態に記載した他の利点である“DATA”および“ENABLE”の駆動信
 号の振幅を小さくすることもまた、本実施形態にあてはまる。

【0106】

第5の実施形態に対する第7の実施形態のさらなる利点は、第5の実施形態の利点と第
 4の実施形態の利点とを結合する点である。すなわち、追加コンデンサが素子電極38に
 追加される点である。上述したように、素子電極38を高インピーダンス状態にするため
 に、アレイ素子に“0”が書き込まれ、トランジスタ54がOFFにスイッチされる場合
 、この追加コンデンサは、素子電極38の電位のDCレベルを維持するのに役立つという
 利点がある。

【0107】

第5の実施形態に対する第7の実施形態のさらなる追加の利点は、素子電極38とトラ
 ンジスタ54のゲートとの間にブーストコンデンサ94を接続することにより、“ACT
 UATE”入力ターミナルに存在する負荷の全容量が減少する点である。この負荷容量の

10

20

30

40

50

減少は、特に、動作中のデバイスにおける典型的な場合である、アレイの素子のほとんどに“0”が書き込まれた場合に認識できる。

【0108】

“ACTUATE”入力の容量の減少は、いくつかの理由により利点がある。第1に、“ACTUATE”に供給されるAC電圧信号に関連する消費電力を減少させる。第2に、信号“ACTUATE”が駆動できる最大周波数を増加させ、これにより、デバイスの動作に関連するエレクトロウエティングのAC最大周波数を増加させる。第3に、“ACTUATE”に供給される電圧信号V1がアレイの各ラインを別々に駆動するように構成されている場合（本発明の第2の実施形態において記載したように）、“ACTUATE”信号を緩和するために必要となる、薄膜エレクトロニクス回路の物理的なサイズおよび消費電力もまた減少する。

10

【0109】

第7の実施形態で電位の不利な点は、素子電極38を非駆動状態とするために、トランジスタ54のゲートに“0”（例えば、 $-0.5 \times V_{EW}$ の電位）が書き込まれる場合に、ブーストの効果が、悪影響を及ぼす点である。この場合、望まないACへの接続が、液滴4（存在すれば）を素子電極38に結合している参照電極28に供給される信号V2のエッジを上げることに関連する。これは、コンデンサ94が摂動され、望まないブースト信号を引き起こすトランジスタ54のゲートに、さらに結合させるという結果をもたらす。しかし、この不利な点は、液滴4が素子電極38に存在する場合にのみ重要となる。なぜなら、液滴4が存在しなければ、電気的な負荷回路40に関連する実質的な容量は存在しないためである。よって、V2と素子電極38との結合は、それほど重要ではない。

20

【0110】

本発明の第8の実施形態は、図18に示すように、アレイ素子回路84の代替的な設計を備えた第7の実施形態と同様である。コンデンサ84は、アクティブコンデンサ110によって置き換わる。アクティブコンデンサは上述したような構造を備えている。第8の実施形態の動作は、アクティブコンデンサ110が、かかる電圧の符号に従って、トランジスタ54のゲートの電圧のみを選択的にブーストする点を除いて、第7の実施形態と同様である。アクティブコンデンサは、アレイ素子回路84に“1”が書き込まれた場合、アクティブコンデンサ110に対する電圧の符号および振幅がトランジスタ54のゲートの電圧がブーストするよう、重大な容量を維持する結果となるように設計される。これは、上述した第7の実施形態と同じ効果を奏し、同じ利点を有する。対照的に、アレイ素子に“0”が書き込まれた場合、アクティブコンデンサ110にかかる電圧の符号および大きさは、容量が非常に小さいものとなる。この場合、（素子電極38の電位の変化によって引き起こされる）トランジスタ54のゲートの電圧に供給されるブーストは最小化される。このように、第8の実施形態は、第7の実施形態における不利な点を解消することができる点、特に、“0”が書き込まれ、トランジスタ54が高インピーダンス状態にあるときに、トランジスタ54のゲートの電位に対する望まないブーストが起こらない（またはとても小さい）点で第7の実施形態に対して利点がある。

30

【0111】

本発明の第9の実施形態は、図19に示すように、アレイ素子回路84の代替的構成を備えている点を除いて、第1の実施形態と同様である。本実施形態では、トランジスタ52およびコンデンサ56を含むDRAMメモリ素子は、SRAMメモリ素子によって置き換えられている。これは、標準的な構成であり、例えば、US8173000に記載されている。

40

【0112】

第9の実施形態の動作は、上述した動作に類似しており、トランジスタ54のゲートは、アレイ素子を駆動状態にするために $+0.5 \times V_{EW}$ と書き込まれるか、または、アレイ素子を非駆動状態にするために $-0.5 \times V_{EW}$ と書き込まれる。DRAM素子を備えた実施形態における上述した方法と類似の方法で、データは書き込まれ、SRAMメモリ素子に格納される。第9の実施形態の利点は、SRAMメモリ素子96を利用することに

50

より、S R A M素子に書き込まれたデータの定期的なリフレッシュを必要としない点である。これは、デバイスの全体的な消費電力を減少させる。

【0113】

本発明の第10の実施形態は、図20に示すように、代替的なアレイ素子回路84を備えている点を除いて、第1の実施形態と同様である。アレイ素子回路84は、コンデンサ56が取り除かれている点を除いて、第1の実施形態と同様である。

第10の実施形態にかかるアレイ素子回路84は、メモリ素子、または記憶可能な素子を含まない点で、簡易化されている。操作上、トランジスタ52はアドレス指定デバイスとして動作する。トランジスタ52がスイッチONとなるように“ENABLE”信号は高をとったとき、入力ライン“DATA”の電圧はトランジスタ54のゲートに接続される。したがって、本実施形態では、独自の駆動信号が列ごとにアレイの素子に供給される。すなわち、アレイ内のすべての行は、ある時点で同じように駆動される。アレイ素子回路84の残りは、上述したように機能する。第11の実施形態の利点は、回路から、コンデンサ56およびアドレスライン“VDD”の両方を取り除いたことにより、アレイ素子回路84の物理的なレイアウトが、2つのトランジスタと3つのアドレスラインを備えるのみで、より小さくなった点である。これは、上述した全ての利点を奏する、より小さいアレイ素子を備えたデバイスを実現することを容易にする。

【0114】

本発明の第11の実施形態によれば、デバイスは、各アレイ素子に集積されたセンサ機能を含む。図21に、アレイ素子回路84の全体的な変形例を示す。駆動回路46は、素子電極38に接続し、上述した実施形態の何れかに記載した構成、例えば、入力“DATA”、“ENABLE”、および“ACTUATE”を含む構成となる。アレイ素子回路84はまた、素子電極38の特性、典型的には素子電極38に存在する電気的なインピーダンスを検知するセンサ回路48を含む。図21に示すように、センサ回路48は、1以上の入力、例えば、“RW”と、1以上の出力、例えば、“OUT”を含む。図22は、本実施形態にかかる薄膜エレクトロニクス74の変形例を示す。第1の実施形態と比較して、薄膜エレクトロニクスは、制御信号をアレイ素子回路84のセンサ回路の入力(例“RW”)に供給する行アドレス指定回路の追加センサ88、および、アレイ素子回路84のセンサ回路部分から出力信号を読み出し処理するための列検知回路86を含む。センサ回路48の構成例の詳細な記載、および適切な読み出し回路については、参照により本発明に組み入れられると考えられるUS出願2012/0007608に含まれている。

【0115】

例えば、センサは、センス容量(インピーダンス)により構成され、電極アレイ42の各アレイ素子の位置における液滴4の存在、およびサイズを検知する動作を実行する。

【0116】

図23に、本発明の第11の実施形態にかかるアレイ素子回路84の例の詳細を示す。アレイ素子回路84は、第1の実施形態とUS8653832に記載されたセンサ回路とを組み合わせたものである。

【0117】

本実施形態にかかるアレイ素子回路は、以下のように接続されている。トランジスタ52のドレインは、アレイの同じ列における全ての素子に共通する入力“DATA”に接続されている。トランジスタ52のゲートは、アレイの同じ行における全ての素子に共通する入力“ENABLE”に接続されている。トランジスタ52のソースは、トランジスタ54のゲートに接続されている。コンデンサ56は、トランジスタ54のゲートとDC電圧源“VDD”との間に接続されている。トランジスタ54のドレインは、アレイ内の全ての素子に共通する入力信号“ACTUATE”に接続されている。トランジスタ98は、トランジスタ54のソースと素子電極38との間に接続されている。トランジスタ98のゲートは、アレイの同じ行における全ての素子に共通する入力“SEN”に接続されている。コンデンサ106は、素子電極38と、アレイの同じ行における全ての素子に共通する入力信号“RWS”との間に接続されている。コンデンサ104は、素子電極38と

10

20

30

40

50

トランジスタ102のゲートとの間に接続されている。トランジスタ102のドレインは、DC電圧源“VDD”に接続されている。トランジスタ102のソースは、アレイの同じ列における全ての素子に共通する出力“OUT”に接続されている。トランジスタ100は、トランジスタ102のゲートと、アレイの全ての素子に共通する電圧供給“VRS T”との間に接続されている。トランジスタ100のゲートは、アレイの同じ行における全ての素子に共通する入力信号“RST”に接続されている。駆動回路は、トランジスタ52、トランジスタ54、コンデンサ56、入力“DATA”、“ENABLE”、および“ACTUATE”を含む。センサ回路は、コンデンサ106、コンデンサ104、トランジスタ100、トランジスタ102、およびターミナル接続部“RWS”、“RST”、“VRS T”、“COL”を含む。トランジスタ98、素子電極38、電気的な負荷40、および参照電極28は、駆動回路およびセンサ回路の両方の一部を構成する。

10

【0118】

本実施形態にかかるアレイ素子回路の動作は、第1の実施形態とUS8653832に記載されたセンサ回路との組み合わせである。

【0119】

駆動回路の動作は、以下の通りである。駆動回路の動作中、入力“SEN”は高レベル電圧となり、トランジスタ98はONにスイッチされる。よって、素子電極38は、トランジスタ54のソースに接続される。そして、駆動回路は、上述したように、“ACTUATE”に供給されるAC電圧信号、V2、および素子電極38を駆動するように書き込まれたトランジスタ54とともに機能するか、そうでなければ、トランジスタ54は、素子電極38を非駆動とするために高インピーダンス状態になるように書き込まれる。

20

【0120】

センサ回路の動作は以下の通りである。入力“SEN”は、低レベル電圧となり、駆動回路(トランジスタ52、54、コンデンサ56、入力信号“DATA”、“ENABLE”、および“ACTUATE”)は、実質的に、回路の残りから外れる。インピーダンスは以下のように検知される。

- ・V2は、検知動作の間、静的状態で維持される。
- ・入力信号“RST”は、短時間、高くなる。その結果、トランジスタ100はONにスイッチされ、トランジスタ102のゲートの電位は入力供給“VRS T”の電位に充電/放電される。
- ・入力信号“RWS”は、高となる。その結果、素子電極38の電位は摂動される。コンデンサ106は、分圧器の一部を形成する。素子電極38の電位が摂動する範囲は、US8653832に記載されているように、主として、コンデンサ106の容量比、および負荷回路40の実効キャパシタンスによって、決定される。
- ・素子電極38の電位の摂動はまた、コンデンサ104に結合する容量のため、トランジスタ102のゲートの電位の摂動をもたらす。このように、トランジスタ102のゲートの電位は、素子電極38に存在する電気的な負荷回路40に依存する量によって摂動する。
- ・トランジスタ102のゲートの摂動は、トランジスタ102をある程度にまでONにスイッチするという結果をもたらす。トランジスタ102は、例えば、列検知回路86の一部として形成される負荷デバイスとともに電力増幅回路の入力デバイスとして機能するために、バイアスであってもよい。よって、電流は、トランジスタ102を介して流れるように構成され、この流れは、列検知回路86によって測定される。

30

40

【0121】

第11の実施形態の利点は、追加センサ機能がAM-EWODデバイスに組み入れられている点である。センサは、様々な機能を実行する。例えば、US8653832に記載されているように、アレイ上の液滴の位置、サイズ、および特性の測定である。

【0122】

一方、上述した実施形態では、本発明は、薄膜トランジスタ(TFT)技術におけるアレイ素子回路および駆動システムを実現するために、薄膜エレクトロニクス74を用いる

50

A M - E W O D デバイスとの用語で記載されている。本発明は、他の標準的な電気製造処理、例えば、相補形金属酸化物半導体 (C M O S : Complementary Metal Oxide Semiconductor)、バイポーラ接合トランジスタ (B J T s : bipolar junction transistors) 等を用いて等しく実現できる。

【 0 1 2 3 】

ある特定の実施の形態または複数の実施の形態に沿って、本発明を示し説明してきたが、本明細書および添付図面から読み取ることができ、かつ、理解できる点において、等価な代替および変形が当業者によってなされ得る。特に、上述の説明された要素 (コンポーネント、アセンブリ、デバイス、組成等) によって実行される様々な機能に関して、上述の要素を説明するために用いられた用語 (「手段」と参照されるものを含む) は、たとえ本発明の実施の形態 (または複数の実施の形態) における機能を発揮する開示された構造と厳密に等価でなくとも、別のものが示唆されない限り、前述した要素 (すなわち、機能的に等価なもの) の特定の機能を発揮する他の要素にも対応することを意味する。また、いくつかの実施の形態のうちの一つだけまたは複数に関して、本発明の特定の特徴を説明したに過ぎず、所与のまたは特定の任意の応用に対して、好ましくもなり、利益もあるように、他の実施の形態に係る一つまたは複数の他の特徴と上述の特徴とを組み合わせることもできる。

10

【 0 1 2 4 】

選択的に、デバイスは、本発明の実施形態が全体の装置の一部に、またはサブアレイに用いられるように構成されてもよい。選択的に、複数の異なる実施形態の一部または全てがデバイスの異なる行、列、または領域に用いられてもよい。

20

【 0 1 2 5 】

第1の側面の方法では、第1交流電圧および第2交流電圧は、互いに波形の形状が同じである。例えば、第1交流電圧および第2交流電圧は、それぞれシヌソイド波形か、三角波形か、正方波形である。

【 0 1 2 6 】

この方法は、第1交流電圧および第2交流電圧を互いに実質的に反位相状態で供給するステップを含んでもよい。

【 0 1 2 7 】

第1交流電圧および第2交流電圧は互いに振幅のピークが同じであってもよい。

30

【 0 1 2 8 】

少なくとも、第1交流電圧と第2交流電圧との何れかは、D C オフセット要素を備えていてもよい。

【 0 1 2 9 】

素子電極に第2交流電圧を供給するステップは、素子電極を第2交流電圧の電源に接続するステップ、および、第2交流電圧の電源から素子電極を絶縁するステップを含む、高インピーダンス状態で素子電極を維持するステップを含んでもよい。

【 0 1 3 0 】

この方法は、素子電極を高インピーダンス状態としたときに、第2交流電圧の瞬時値を第1交流電圧の瞬時値と等しくするステップを含んでもよい。

40

【 0 1 3 1 】

A M - E W O D デバイスは、行と列とがマトリックス状に配置された複数の A M - E W O D 素子を備えていてもよい。そして、上記の方法は、A M - E W O D 要素の行の素子電極を高インピーダンス状態としたときに、A M - E W O D 要素の行に供給する第2交流電圧の瞬時値を第1交流電圧の瞬時値と等しくするステップを含んでもよい。

【 0 1 3 2 】

第2の側面の回路では、第1スイッチは、入力ノードと出力ノードとの間を接続してもよく、第1スイッチの制御端子は、メモリ素子の出力に接続されている。

【 0 1 3 3 】

50

第1スイッチは、第1トランジスタであってもよい。第1トランジスタは、漏れが少ない構成であってもよく、例えば、LDD (Lightly Doped Drain) トランジスタである。

【0134】

メモリ素子は、データ入力と第1スイッチの制御端子との間に接続している第2スイッチであって、制御端子が第1制御入力と接続されている第2スイッチと、第1スイッチの制御端子とバイアス電圧との間に接続している第1コンデンサとを含んでいてもよい。

【0135】

第2スイッチは、第2トランジスタであってもよい。

【0136】

第1トランジスタおよび第2トランジスタは、互いに同じチャネルタイプのトランジスタであってもよい。

10

【0137】

回路は、第2交流電圧の電源と出力ノードとの間に接続された第3スイッチを含んでいてもよく、第3スイッチの制御端子は第2制御入力と接続されていてもよい。

【0138】

回路は、出力ノードとバイアス電圧の電源との間に接続された第2コンデンサを含んでいてもよい。

【0139】

回路は、第1スイッチの制御端子と入力ノードとの間に接続された第3コンデンサを含んでいてもよい。

20

【0140】

第3コンデンサは、電圧に依存する容量を有するものであってもよい。

【0141】

代替的に、メモリ素子は、SRAM (static read-only memory) を含んでいてもよい。

【0142】

回路は、出力ノードと検知出力ノードとの間に接続されたセンサ回路をさらに含んでいてもよい。

【0143】

第3の側面のデバイスでは、アレイ素子回路の少なくとも1つは、第2の側面のアレイ素子回路であってもよい。

30

【0144】

本発明の性質、および利点をよく理解するために添付図面とともに詳細な説明は参照されるべきである。

【0145】

記載されたように、本発明は、様々な方法で変更できる。この変更は、本発明の精神および範囲から逸脱するものとはみなされず、すべての修正は、請求項の範囲に含まれることを意図したものであることは当業者にとって明らかである。

【産業上の利用可能性】

【0146】

上述した実施形態は、AM-EWODデバイスを高めるように用いることができる。AM-EWODデバイスは、ラボ・オン・チップシステムの一部を形成できる。これらのデバイスは、化学的、生化学的、または生理学的な物質を操作し、反応させ、および、検知するために使われ得る。応用的には、健康診断検査、材料検査、化学的または生化学的物質の合成、プロテオミクス、ライフサイエンスおよび科学捜査における研究ツールが含まれる。

40

【符号の説明】

【0147】

4 液滴

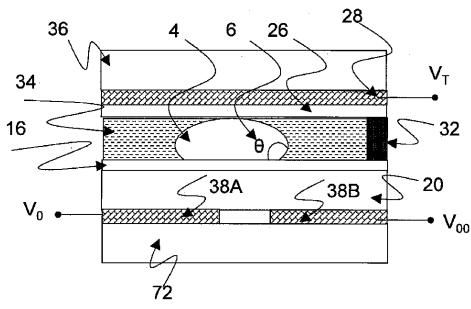
6 接触角

50

1 6	第 1 の疎水膜	
2 0	絶縁層	
2 6	第 2 の疎水膜	
2 8	参照電極	
3 2	スペーサ	
3 4	非極性流体	
3 6	上層基板	
3 8、3 8 A、3 8 B	アレイ素子電極	
4 0	電氣的な負荷	
4 2	電極アレイ	10
4 6	駆動回路	
4 8	検出回路	
5 2	トランジスタ	
5 4	トランジスタ	
5 6	コンデンサ	
7 2	下層基板	
7 4	薄膜エレクトロニクス	
7 6	行ドライバ回路	
7 8	列ドライバ回路	
8 0	シリアルインタフェース	20
8 2	接続ワイヤ	
8 3	電圧供給インタフェース	
8 4	アレイ素子回路	
8 5	参照電極駆動回路	
8 6	列検出回路	
8 8	行アドレスセンサ	
9 0	トランジスタ	
9 4	コンデンサ	
9 6	S R A M	
9 8	トランジスタ	30
1 0 0	トランジスタ	
1 0 2	トランジスタ	
1 0 4	コンデンサ	
1 0 6	コンデンサ	
1 0 8	コンデンサ	
1 1 0	アクティブコンデンサ	

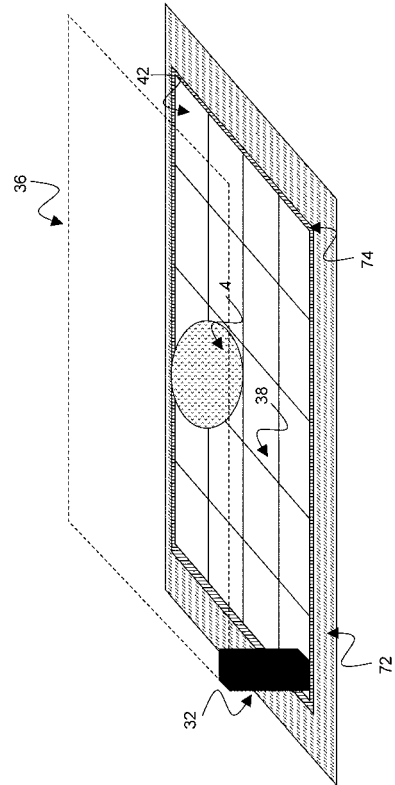
【 図 1 】

Figure 1



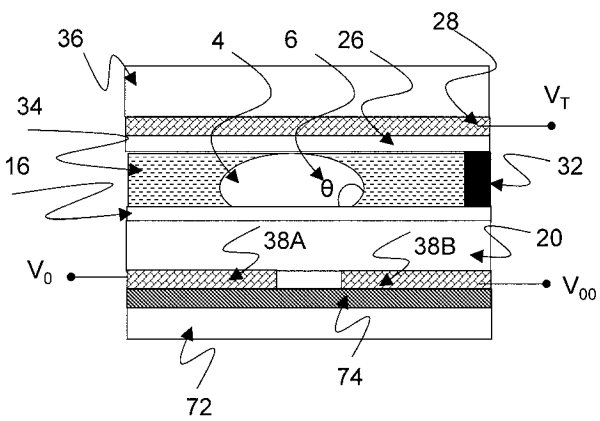
【 図 2 】

図 2: 第 1 の実施形態



【 図 3 】

図 3: 第 1 の実施形態



【 図 4 】

図 4: 第 1 の実施形態

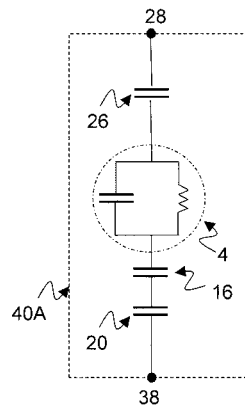


図 4A. 液滴あり

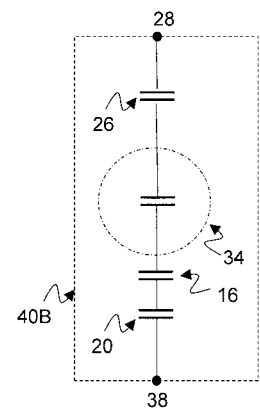


図 4B. 液滴無し

【図5】

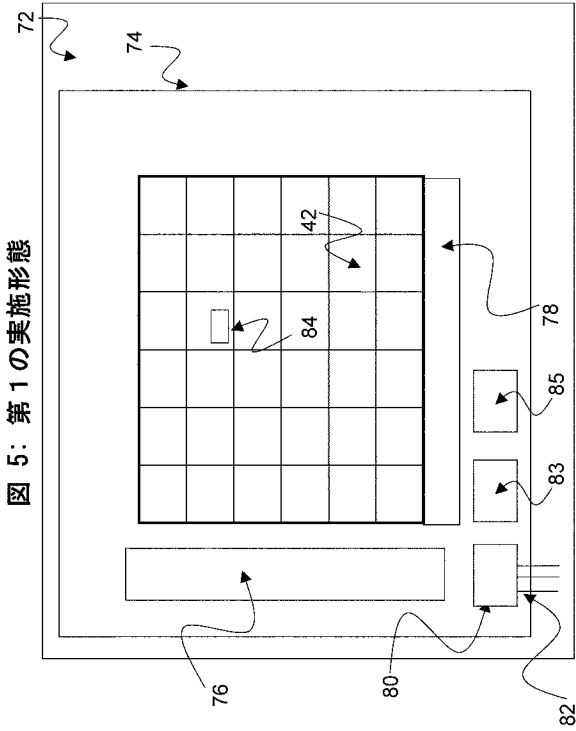


図5: 第1の実施形態

【図6】

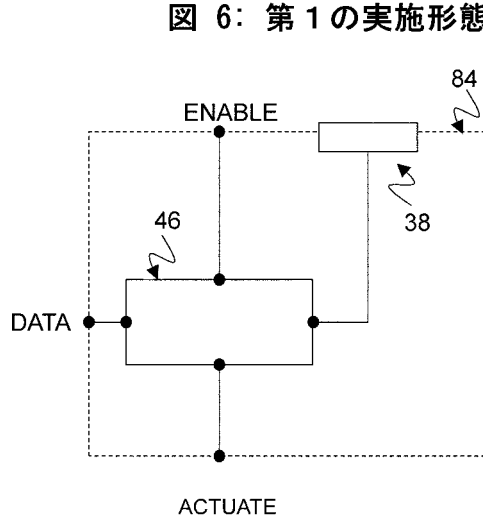
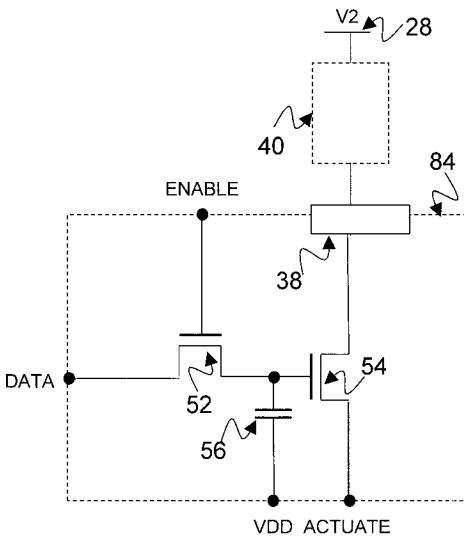


図6: 第1の実施形態

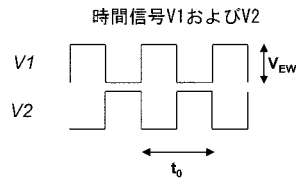
【図7】

図7: 第1の実施形態



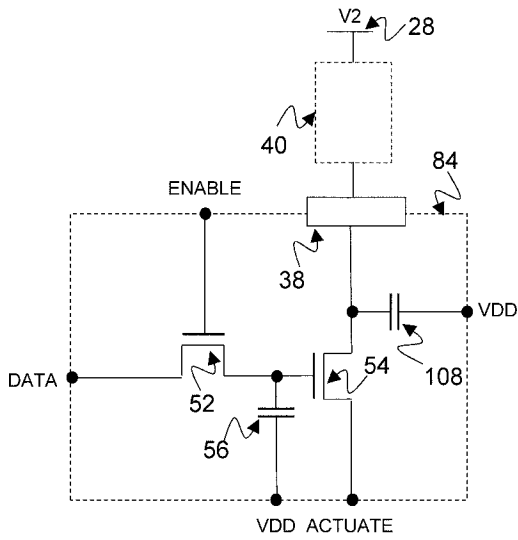
【図8】

図8: 第1の実施形態



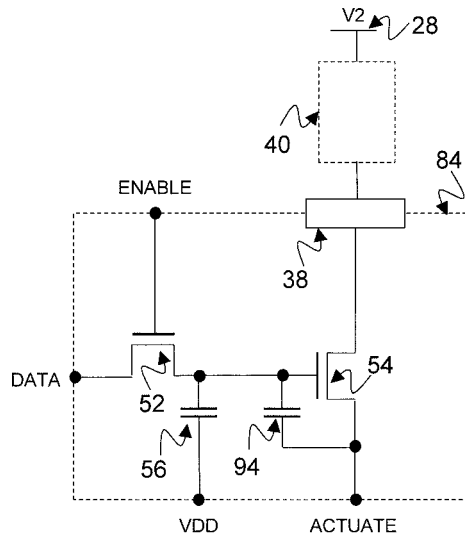
【図 13】

図 13: 第 4 の実施形態



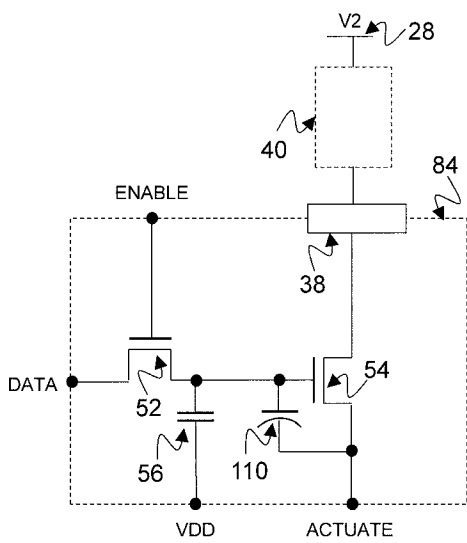
【図 14】

図 14: 第 5 の実施形態



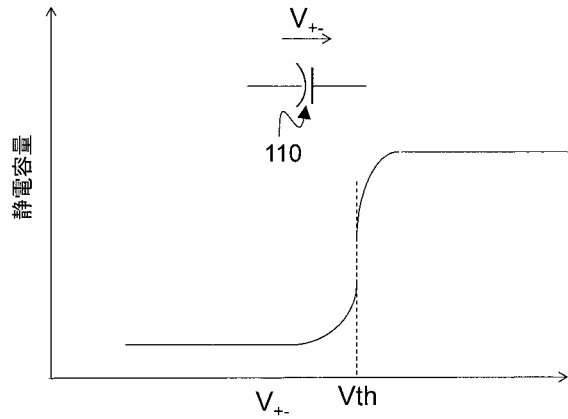
【図 15】

図 15: 第 6 の実施形態



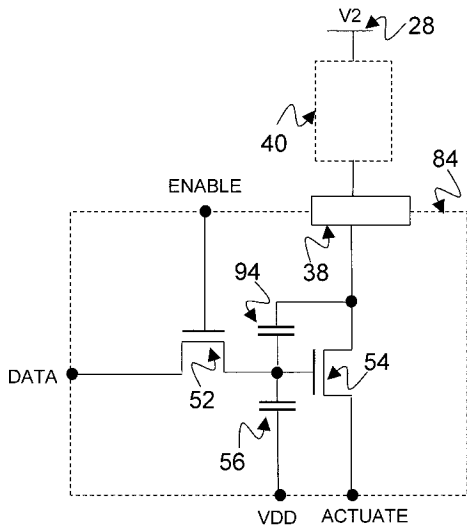
【図 16】

図 16: 第 6 の実施形態



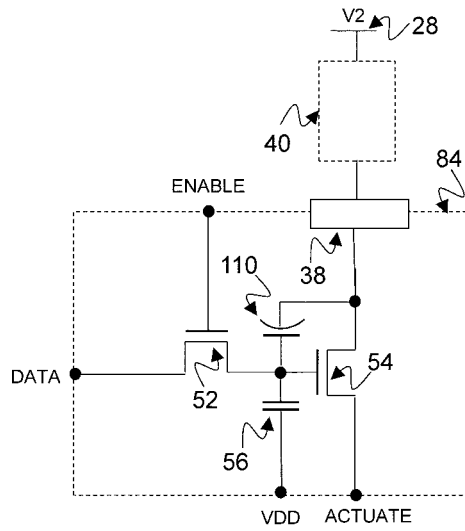
【 図 1 7 】

図 17: 第 7 の実施形態



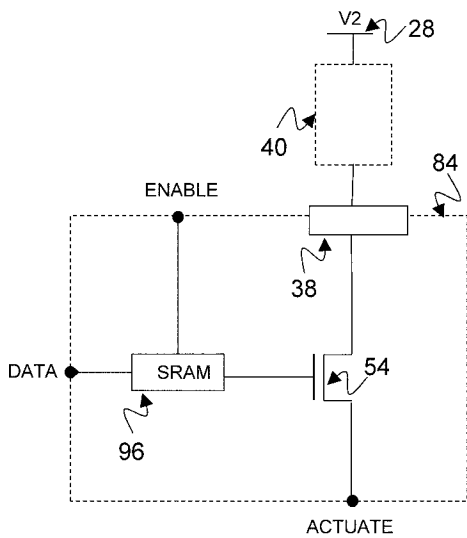
【 図 1 8 】

図 18: 第 8 の実施形態



【 図 1 9 】

図 19: 第 9 の実施形態



【 図 2 0 】

図 20: 第 10 の実施形態

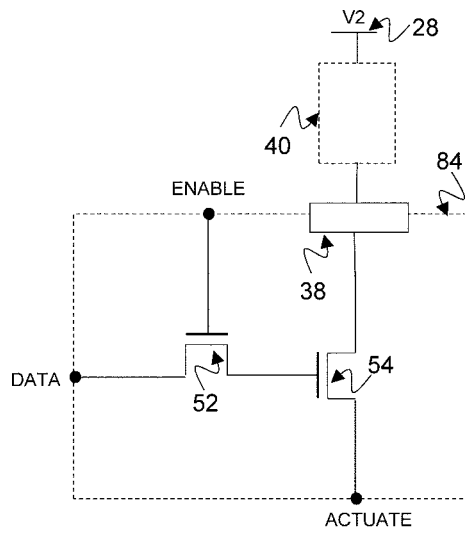


図 21: 第 1 1 の実施形態

【 図 2 1 】

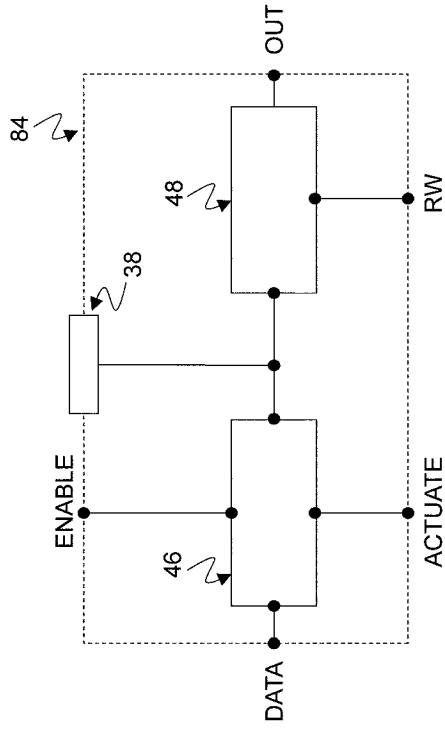


図 22: 第 1 1 の実施形態

【 図 2 2 】

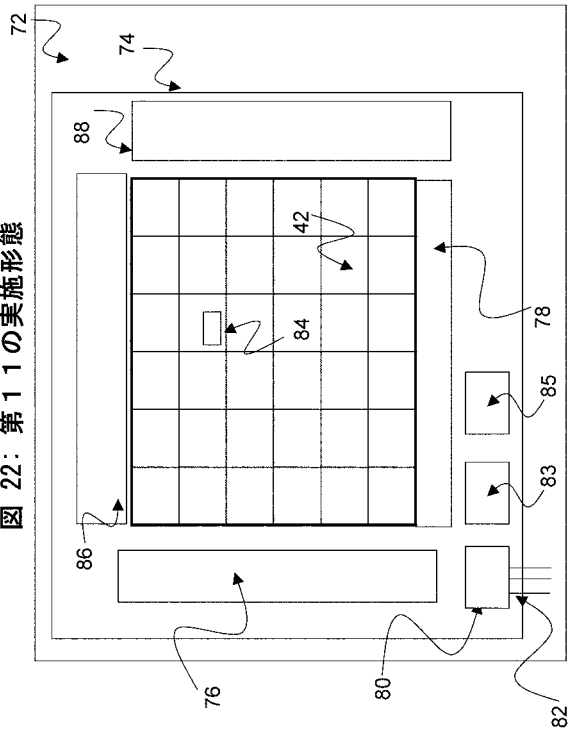
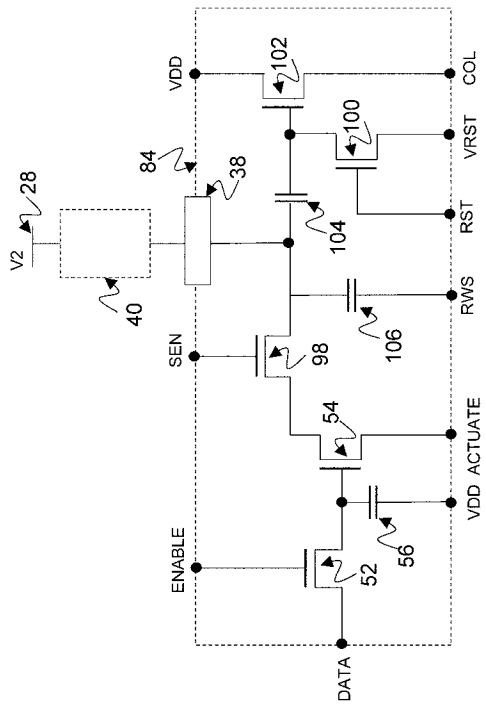


図 23: 第 1 1 の実施形態

【 図 2 3 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2015/006320

A. CLASSIFICATION OF SUBJECT MATTER		
Int.Cl. B01J19/00(2006.01)i, G01N35/08(2006.01)i, G02F1/17(2006.01)i, G09G3/34(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
Int.Cl. B01J19/00, G01N35/08, G02F1/17, G09G3/34, B01L3/00		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2016 Registered utility model specifications of Japan 1996-2016 Published registered utility model applications of Japan 1994-2016		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2014-140841 A (SHARP KABUSHIKI KAISHA) 2014.08.07, paragraphs[0055]-[0095], Fig.5-6 &	1-2, 4-5, 7-9, 23
Y	US 2014/0202863 A1, paragraphs[0084]-[0111], Fig.5-6 & EP 2759342 A2	3, 6, 10-22, 24
Y	JP 2012-176397 A (SHARP KABUSHIKI KAISHA) 2012.09.13, paragraphs [0046], [0054] & US 8173000 B1 & EP 2476489 A1, paragraphs [0040], [0044]	3, 6
Y	WO 2009/019658 A2 (KONINKLIJKE PHILIPS ELECTRONICS N.V.) 2009.02.12, page.15, lines 4-27, Fig.10-11 (No Family)	10-22, 24
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
10.03.2016		22.03.2016
Name and mailing address of the ISA/IP		Authorized officer
Japan Patent Office		4Q 3838
3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		SEKINE, Takashi
		Telephone No. +81-3-3581-1101 Ext. 3468

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(72)発明者 ハドウェン ベンジャミン ジェームス
イギリス オーエックス4 4ジービー, オックスフォードシャー, オックスフォード, オックスフォード サイエンス パーク, エドモンド ハリー ロード (番地なし)

(72)発明者 ブラウン クリストファー ジェームス
イギリス オーエックス4 4ジービー, オックスフォードシャー, オックスフォード, オックスフォード サイエンス パーク, エドモンド ハリー ロード (番地なし)

Fターム(参考) 2K101 AA11 CA04 CB13 CB46 EC06 EC74 ED22 EE02

4G075 AA13 AA39 AA61 BA10 BB10 CA14 DA02 DA03 EB50 EC21

FA12 FB01 FB02 FB12 FC15