

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5216446号
(P5216446)

(45) 発行日 平成25年6月19日(2013.6.19)

(24) 登録日 平成25年3月8日(2013.3.8)

(51) Int.Cl.

H01L 21/205 (2006.01)

F I

H01L 21/205

請求項の数 8 (全 25 頁)

(21) 出願番号 特願2008-172141 (P2008-172141)
 (22) 出願日 平成20年7月1日(2008.7.1)
 (65) 公開番号 特開2009-54996 (P2009-54996A)
 (43) 公開日 平成21年3月12日(2009.3.12)
 審査請求日 平成23年6月16日(2011.6.16)
 (31) 優先権主張番号 特願2007-196189 (P2007-196189)
 (32) 優先日 平成19年7月27日(2007.7.27)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 荒井 康行
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 栗野 正明

最終頁に続く

(54) 【発明の名称】 プラズマCVD装置及び表示装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

被処理体を載置するサセブタと、
 前記サセブタの上部に、互いに間隔をおいて並んで設けられた複数の導波管と、
 隣り合う前記導波管同士で挟まれた空間に設けられたプラズマ発生器と、
 を有する処理室を有し、
前記処理室内の圧力を 1×10^{-2} Pa 以上 1×10^{-5} Pa 以下に保持しつつ、前記プラズマ発生器を動作させ、前記空間においてプラズマを生成することで、前記被処理体に微結晶半導体層を成膜することを特徴とするプラズマCVD装置。

【請求項2】

被処理体を載置するサセブタと、
 前記サセブタの上部に、互いに間隔をおいて並んで設けられた複数の導波管と、
 隣り合う前記導波管同士で挟まれた空間に設けられたプラズマ発生器と、
 を有する処理室を有し、
 複数の前記導波管は前記被処理体の被処理面に対して平行な方向に延びた形状であり、
 前記空間は細溝状であり、
前記処理室内の圧力を 1×10^{-2} Pa 以上 1×10^{-5} Pa 以下に保持しつつ、前記プラズマ発生器を動作させ、前記空間においてプラズマを生成することで、前記被処理体に微結晶半導体層を成膜することを特徴とするプラズマCVD装置。

【請求項3】

10

20

請求項 1 又は請求項 2 において、
複数の前記導波管のそれぞれの側面にはスリットが設けられ、
隣り合う前記導波管同士において、前記スリット同士が対向するように設けられ、
前記スリットからマイクロ波が漏洩して前記プラズマを生成することを特徴とするプラズマ C V D 装置。

【請求項 4】

請求項 3 において、
前記スリットは誘電体板により塞がれていることを特徴とするプラズマ C V D 装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれかーにおいて、
前記処理室は、前記サセプタと前記導波管と間に 2 つのガス供給ノズルを有し、
前記ガス供給ノズルの一方からは希ガスを供給し、他方からは成膜用のガスを供給することを特徴とするプラズマ C V D 装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれかーにおいて、
複数の前記導波管同士は、2 mm 以上 10 mm 以下の間隔をおいて並んで設けられていることを特徴とするプラズマ C V D 装置。

【請求項 7】

被処理体を載置するサセプタと、互いに間隔をおいて並んで設けられた複数の導波管と、隣り合う前記導波管同士で挟まれた空間に設けられたプラズマ発生器と、を有する処理室において、被処理基板を前記サセプタ上に用意し、

前記処理室内の圧力を 1×10^{-2} Pa 以上 1×10^{-5} Pa 以下に保持しつつ、前記プラズマ発生器を動作させ、前記空間においてプラズマを生成することで、前記被処理基板上に微結晶半導体層を形成することを特徴とする表示装置の作製方法。

【請求項 8】

請求項 7 において、
前記プラズマは電子密度が 1×10^{11} cm⁻³ 以上 1×10^{13} cm⁻³ 以下であり、電子温度が 0.2 eV 以上 2.0 eV 以下であることを特徴とする表示装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、微結晶半導体の作製方法、微結晶半導体薄膜トランジスタにより構成される表示装置の作製方法に関する。

【背景技術】

【0002】

既に液晶ディスプレイの用途において、薄膜トランジスタ（以下、「TFT」とも記す。）は広く用いられている。TFT は電界効果トランジスタの一種であり、チャンネルを形成する半導体が薄膜で形成される。チャンネルを形成する半導体層がアモルファスシリコンで形成されるものと多結晶シリコンで形成されるものがあり、前者は液晶テレビジョンなどの大画面パネルにおいて、後者は携帯電話機のモニタ画面など小型高精細の用途において使われている。

【0003】

ところで、微結晶シリコンはアモルファスシリコンと並び、古くから知られた材料であり、電界効果型トランジスタに関するものについては 1980 年代に報告されている（例えば、特許文献 1 参照）。しかしながら、今日に至るまで微結晶シリコンを用いた TFT は、アモルファスシリコントランジスタと多結晶シリコントランジスタの間に埋もれて実用化が遅れている。微結晶シリコンは、学会レベルで報告されている（例えば、非特許文献 1 参照）。

【特許文献 1】米国特許第 5,591,987 号

10

20

30

40

50

【非特許文献１】トシアキ・アライ (Toshiaki Arai) 他、エス・アイ・ディー ０７ ダイジェスト (SID 07 DIGEST)、２００７、p. 1370 - 1373

【発明の開示】

【発明が解決しようとする課題】

【０００４】

微結晶シリコン膜は、シランなどの水素化珪素気体を水素で多量希釈して、プラズマを利用した化学的気相成長法（プラズマＣＶＤ法）により形成される。この場合、成膜条件を最適化しても微結晶シリコン膜を成膜する速度は０．１ｎｍ／秒以下であった。概略１００ｎｍ以上の膜厚を必要とするＴＦＴにおいて、このような成膜速度の遅いプロセスを採用することは実用的でなかった。即ち、アモルファスシリコンＴＦＴと比べて生産性が悪いという問題があった。

10

【０００５】

本発明はこのような問題を解決するものであり、気相成長法で形成される微結晶半導体層の成膜速度を向上させ、微結晶半導体のＴＦＴにより構成される表示装置の生産性を向上させることを目的とする。また本発明は、微結晶半導体のＴＦＴを生産する製造装置を提供することを目的とする。

【課題を解決するための手段】

【０００６】

並置された複数の導波管と、壁面とで囲まれた処理室にヘリウムを含む反応性気体を供給する手段等を備えた製造装置において、ヘリウムを含む反応性気体を供給し、処理室内の圧力を大気圧若しくは準大気圧に保持しつつ、並置された導波管で挟まれた空間にマイクロ波を供給してプラズマを生成し、処理室内に載置された基板上に微結晶半導体でなる微結晶半導体層を堆積する。反応性気体はヘリウムに加えて、半導体材料ガスや希釈ガスが含まれる。

20

【０００７】

並置された複数の導波管の対向する面にスリットが設けられ、該スリットを介して処理室内にマイクロ波が供給されることによりプラズマが生成される。このように生成されたプラズマは安定したものである。プラズマを生成するとき処理室の圧力は大気圧若しくは準大気圧であり、代表的には、 1×10^2 Pa 以上 1×10^5 Pa 以下（１Ｔorr 以上 760 Torr 以下）の圧力が適用される。安定化が図られたプラズマを用いることで、 1×10^2 Pa 以上 1×10^5 Pa 以下（１Ｔorr 以上 760 Torr 以下）の圧力で水素と水素化珪素気体若しくはハロゲン化珪素気体を反応せしめ、微結晶半導体層を形成する。並置された導波管で挟まれた空間に安定して高密度なプラズマを生成することができるため、本発明の微結晶半導体層を概略 1×10^2 Pa 以上 1×10^5 Pa 以下の圧力であっても安定して形成することができる。

30

【０００８】

微結晶半導体層は微小な結晶構造を半導体膜中に含み、自由エネルギー的に安定な第３の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質なものである。当該結晶は概略 2 nm ~ 100 nm のサイズを有している。電子顕微鏡では当該結晶は柱状若しくは錐形状の形状で観測することができる。微結晶半導体層は格子歪みを有し、例えば微結晶シリコン膜をラマン分光法で観測すると、単結晶シリコンの 520.7 cm^{-1} と非晶質シリコンの 480 cm^{-1} の間であって、代表的には 514 cm^{-1} から 519 cm^{-1} の間にラマンピークがみられ、格子歪みを有することがわかる。また、未結合手（ダングリングボンド）を補償するものとして水素またはハロゲンを含ませるとよい。水素又はハロゲンは、少なくとも１原子％またはそれ以上含ませる。さらに、ヘリウム、アルゴン、クリプトン、ネオンなどの希ガスを含ませて格子歪みをさらに助長させた微結晶半導体もある。

40

【発明の効果】

【０００９】

50

微結晶半導体の成膜時の圧力を大気圧若しくは準大気圧として、安定なマイクロ波プラズマを生成することにより、成膜速度を低下させずに微結晶半導体を作製することができる。そのような微結晶半導体層でTFTを作製することが可能である。微結晶半導体層でチャンネルが形成されるTFTはアモルファスシリコンTFTに比べ電気的特性が優れている。この発明によれば、微結晶半導体層でチャンネルが形成されるTFTで表示装置を製造する際にも、生産性を損なうことがない。本発明の微結晶半導体層は、従来と比較して、50倍程度の堆積速度で形成することができる。

【発明を実施するための最良の形態】

【0010】

本発明の実施の形態について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細をさまざまに変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。以下に説明する本発明の構成において、同じものを指す符号は異なる図面間で共通して用いる。

【0011】

(マルチ・チャンバ・マイクロ波プラズマCVD装置の一構成例)

微結晶半導体層はプラズマCVD法により作製する。本形態では微結晶半導体層の成膜条件として、大気圧若しくは準大気圧の圧力が適用される。この圧力として代表的な範囲は $1 \times 10^2 \text{ Pa}$ 以上 $1 \times 10^5 \text{ Pa}$ 以下(1 Torr 以上 760 Torr 以下)である。この圧力で生成されるプラズマは、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}^{-3}$ 以下であり、電子温度が 0.2 eV 以上 2.0 eV 以下(より好ましくは 0.5 eV 以上 1.5 eV 以下)程度であるものを用いることが好ましい。電子密度が高く、電子温度が低いプラズマを利用するとプラズマダメージが少ないため、欠陥が少ない良質な微結晶半導体層を形成することができる。

【0012】

このようなプラズマを生成するために、好適にはマイクロ波電力がプラズマCVD装置の処理室に供給される。液晶用のガラス基板のような大面積のマザーガラス基板に対しても、高密度のプラズマを作用させるために、処理室へは導波管によってマイクロ波電力が供給されるとよい。処理室の構成として、導波管は複数並置され、導波管にはスリットが設けられる。スリットは、互いに隣接した導波管が対向する面にマイクロ波が漏洩するように設けられる。並置された導波管で挟まれた空間にマイクロ波を供給してプラズマを生成し、水素と、希釈された水素化珪素気体若しくはハロゲン化珪素気体とに作用させることで微結晶半導体層を成膜することができる。以下に微結晶半導体層を成膜するのに適した装置の一例を示す。

【0013】

図1は複数の処理室を備えたマルチ・チャンバ・マイクロ波プラズマCVD装置の一例を示す。この装置は共通室306と、ロード/アンロード室301、第1処理室302、第2処理室303、第3処理室304を備えた構成となっている。ロード/アンロード室301のカセット308に装填される素子基板は、共通室306の搬送機構309によって各処理室に搬出入され、プラズマCVD装置は枚葉式の構成となる。共通室306と各室の間にはゲートバルブ307が備えられ、各処理室で行われる処理が、相互に干渉しないように構成されている。各処理室は形成する薄膜の種類によって区分されている。例えば、第1処理室302ではゲート絶縁膜などの絶縁膜を成膜し、第2処理室303ではチャンネルを形成する微結晶半導体層を成膜し、第3処理室304ではソース及びドレインを形成する一導電型の不純物半導体層を成膜する。勿論、処理室の数はこれに限定されるわけではなく、必要に応じて任意に増減することができる。また、上述のように一の処理室で一の膜を成膜するようにしても良いし、一の処理室で複数の膜を成膜するように構成しても良い。

【0014】

各処理室内は不活性ガス又は窒素ガスで置換され、概略 $1 \times 10^2 \text{ Pa}$ 以上 $1 \times 10^5 \text{ Pa}$

10

20

30

40

50

a以下の圧力で反応ガスを流すことができるように、ガス供給手段312、排気手段310が接続されている。本装置による成膜は大気圧若しくは準大気圧で行われるので、排気手段310は吸引排気能力が高いものが好ましい。排気手段310と各処理室との間には開閉制御バルブ311が設けられており、これによって排気速度を制御することもできる。

【0015】

ガス供給手段312はシリンダ313、バルブ314、流量制御機器315などで構成されており、シリンダ313には半導体材料ガス若しくは希ガスなどプロセスに用いる処理用ガス等が充填されている。希ガスとしてヘリウムを用いた場合、プラズマを安定に発生させることもできる。ガス供給手段312gは第1処理室302に接続され、ゲート絶縁膜を成膜するための処理用ガスを供給する。ガス供給手段312iは第2処理室303に接続され、チャンネルを形成するi型半導体層用のガスを供給する。ガス供給手段312nは第3処理室304に接続され、ソース及びドレインを形成するn型半導体層用のガスを供給する。ガス供給手段312hは水素を供給し、ガス供給手段312fは処理室内のクリーニングに用いるエッチングガスを供給する系統であり、これらは各処理室共通のラインとして構成されている。

【0016】

各処理室にはプラズマ発生手段305が設けられている。プラズマ発生手段305は処理室内でプラズマを発生させる発振器が含まれる。例えば、マイクロ波電源、マイクロ波増幅器とマイクロ波を処理室まで誘導する導波管などで構成される。プラズマ発生手段305は各処理室において一又は複数設けられている。プラズマ発生手段305は、被処理基板の面積に対して成膜される被膜の均一性を維持するために必要な数だけ設ければ良い。

【0017】

図2は処理室の一例を説明する断面図である。処理室は処理容器316と蓋体317とからなる。処理容器316は壁面を有しており、蓋体317は並置された複数の導波管321を有している。処理容器316と、蓋体317との密閉構造により圧力を概略 1×10^2 Pa以上 1×10^5 Pa以下に保持できる。処理容器316は、例えば、ステンレス鋼、アルミニウムなどの金属で形成されている。蓋体317と処理容器316で密閉空間が形成される処理室内は不活性ガス又は窒素ガスで置換可能となるようにガス供給手段312が設けられている。この処理室に接続される排気手段310によって処理室に供給したガスを排出することができる。処理室内は雰囲気ガスを置換するために真空排気するようにしても良く、その場合、排気手段310を真空ポンプで構成しても良い。

【0018】

処理容器316の内部には基板など被処理体を載置するサセプタ318が設けられている。サセプタ318は窒化アルミニウム、窒化シリコン、シリコンカーバイドなどのセラミックス材で構成されている。サセプタ318の内部には、ヒータ319が設けられている。ヒータ319はヒータ電源320に接続されている。ヒータ319はサセプタ318に埋め込まれており、ヒータ電源320から電力が供給されることにより発熱し、サセプタ318に載置された基板を所定の温度に保持する。

【0019】

蓋体317は処理容器316の上部を密閉する。蓋体317が有する導波管321は、複数の導波管が並置され、櫛歯状に突出している。導波管321はマイクロ波電源322と連結されている。導波管321にはスリット323が設けられ、そこからマイクロ波が漏洩するようになっている。漏洩するとは、スリット323はマイクロ波を透過する誘電体板324で塞がれており、誘電体板324を介してマイクロ波が供給される状態を示す。誘電体板324は、導波管321の中に処理用ガスが流れ込まないようにスリット323を塞いでおり、石英などから形成される。誘電体板324は、プラズマを均一に発生させるため、導波管321の中央に配置されている。スリット323の位置は、導波管321の側面、つまり並置された導波管が互いに対向する側に設けられており、スリットも互いに対向している。

【 0 0 2 0 】

ガス供給手段 3 1 2 は、処理用ガス（反応性気体）が充填されたシリンダ 3 1 3、バルブ 3 1 4、流量制御機器 3 1 5 などで構成されている。流量制御機器 3 1 5 で流量が調整された処理用ガスは処理容器 3 1 6 内に供給される。シリンダ 3 1 3 は微結晶半導体の成膜に必要な処理用ガスが充填されている。成膜に必要な処理用ガスとしては、水素若しくはフッ素、又はヘリウム若しくはアルゴンなどの希ガスと、シラン若しくはジシランなどの半導体材料ガスとが含まれる。処理容器 3 1 6 にはガス供給ノズル 3 2 5、ガス供給ノズル 3 2 6 があり、当該ノズルから処理用ガスが処理容器 3 1 6 内に流れ出す構成となっている。例えば、ガス供給ノズル 3 2 5 には水素若しくはフッ素、又はヘリウム若しくはアルゴンなどの希ガスを供給し、マイクロ波が供給される誘電体板 3 2 4 の近傍で高密度のラジカルを生成させる。高密度のラジカルによって、被処理基板上で微結晶半導体の成長表面における表面反応を促進させる。ガス供給ノズル 3 2 6 には被膜堆積用の半導体材料ガスを供給する。このように、ガスの供給経路を分離することで、誘電体板 3 2 4 への被膜の堆積を抑えることができる。成膜の段階では、ガス供給ノズル 3 2 5 から水素若しくはフッ素、又はヘリウム若しくはアルゴンなどの希ガスを供給し続けても良い。

10

【 0 0 2 1 】

マイクロ波は誘電体板 3 2 4 を通して処理室内に供給される。導波管 3 2 1 を 2 mm 以上 10 mm 以下といった狭い間隔で並置してスリット 3 2 3 を対向する面に設けることにより、導波管 3 2 1 で挟まれた空間に高密度のプラズマを生成することができる。例えば、誘電体板 3 2 4 の表面を伝搬する表面波を利用して表面波プラズマを形成すると、高密度で均一なプラズマを形成することができる。この場合、導波管 3 2 1 で挟まれた狭い空間、つまり上記狭い間隔にプラズマを形成するので、概略 1×10^2 Pa 以上 1×10^5 Pa 以下の圧力であっても安定してプラズマを形成することができる。導波管の間隔は 2 mm 以上 10 mm 以下の範囲で、上記圧力が高いほど狭く、上記圧力が低いほど広くすることができる。

20

【 0 0 2 2 】

導波管 3 2 1 で挟まれた空間には、プラズマ発生器 3 2 7 が設けられている。プラズマ発生器 3 2 7 は、導波管 3 2 1 で挟まれた空間に、導波管 3 2 1 に沿って複数備えられている。プラズマ発生器 3 2 7 は、導波管 3 2 1 に接続されるものとは別のマイクロ波電源 3 2 8 に接続されている。マイクロ波電源 3 2 8 とプラズマ発生器 3 2 7 の間には電力増幅器 3 2 9 が設けられている。プラズマ発生器 3 2 7 は、導波管 3 2 1 へマイクロ波電力を投入して放電を開始するときに動作させ、プラズマ生成のきっかけをつくるために用いる。

30

【 0 0 2 3 】

プラズマ発生器 3 2 7 にはプラズマの状態を診断するプラズマモニタ機能が備えられており、その出力値が電力増幅器 3 2 9 に入力される。プラズマの状態を診断する方法としては、例えばラングミュアプローブなどが用いられ、電子密度や電子温度などを検出する。制御回路 3 3 0 には、処理室に設置された複数のプラズマ発生器 3 2 7 によりモニタされたプラズマの測定値が入力され、その値から処理室内のプラズマの密度が均一になるように、電力増幅器 3 2 9 のそれぞれに、増幅率を変える個別の制御信号を出力する。プラズマのジャンピング現象と呼ばれ、プラズマの高密度領域が放電空間内を遊動する現象を抑制するために有効である。

40

【 0 0 2 4 】

本形態のマイクロ波プラズマ CVD 装置は、導波管を複数に分割して並置することで、基板サイズの大型化に対しても均一なプラズマを生成することができる。基板サイズとしては、液晶ガラスで第 1 世代と呼ばれる 300 mm × 400 mm から、第 3 世代の 550 mm × 650 mm、第 4 世代の 730 mm × 920 mm、第 5 世代の 1000 mm × 1200 mm、第 6 世代の 2450 mm × 1850 mm、第 7 世代の 1870 mm × 2200 mm、第 8 世代の 2000 mm × 2400 mm などで代表される各種の基板サイズに柔軟に対応することができる。

50

【 0 0 2 5 】

図 3 はこのような処理室の蓋体 3 1 7 と導波管 3 2 1 の構成を示す斜視図である。導波管が 2 mm 以上 1 0 mm 以下といった狭い間隔で並置されることにより、これらに挟まれた細溝状の空間が形成されている。並置される導波管 3 2 1 の対向する面にスリット 3 2 3 を塞ぐ誘電体板 3 2 4 が設けられ、そこからマイクロ波が漏洩してプラズマを生成する。プラズマ発生器 3 2 7 は、並置される導波管 3 2 1 の細溝状の空間に沿って複数設けられている。

【 0 0 2 6 】

図 4 は蓋体 3 1 7 の構成を示す平面図である。蓋体 3 1 7 には導波管 3 2 1 が複数並置されている。導波管 3 2 1 にはスリット 3 2 3 が設けられ、そこからマイクロ波が漏洩するようになっている。スリット 3 2 3 の位置は並置される導波管 3 2 1 が対向する側に設けられている。スリット 3 2 3 は、導波管 3 2 1 の中に処理用ガスが流れ込まないように、マイクロ波を透過する誘電体板 3 2 4 で塞がれている。被処理基板の面積が大きい場合であっても、複数の導波管 3 2 1 を並置させ、その挟まれた空間にマイクロ波放電を生成することでプラズマ密度の均一化を図ることができる。さらに、当該空間には、並置された導波管 3 2 1 の間隔よりも広い間隔となるようにプラズマ発生器 3 2 7 を複数設け、電力増幅器 3 2 9 及び制御回路 3 3 0 によりプラズマ発生器 3 2 7 を制御してプラズマの安定化とプラズマ密度の均一化を図っている。このような構成により、本装置では 7 3 0 mm × 9 2 0 mm のガラス基板、若しくは一辺が 1 m を超えるサイズのガラス基板に対して処理を行うことができる。

【 0 0 2 7 】

図 5 はプラズマ発生器 3 2 7 の一構成例を示す。ガスノズル 3 3 1 はガス供給手段 3 1 2 に接続されている。ガスノズル 3 3 1 の外側にはマイクロ波電力が供給される放電用電極 3 3 2 が設けられている。石英等であるガスノズル 3 3 1 にはヘリウムなど放電開始電圧の低い非堆積性ガスが供給され、放電用電極 3 3 2 に電力が印加されることにより無電極放電が行われる。ガスノズル 3 3 1 の中で生成したプラズマは、ノズルの外側まで拡散する。このプラズマ発生器 3 2 7 を処理室に設けることで、ここで生成されたプラズマが放電開始のきっかけとなる。プローブ 3 3 3 はプラズマ診断用に用意されているものであり、例えばラングミュアプローブが適用される。このモニタ値は、電力増幅器 3 2 9 を介して制御回路 3 3 0 に入力される。

【 0 0 2 8 】

図 6 は単室でゲート絶縁層から半導体層までを連続して成膜するマイクロ波プラズマ C V D 装置の一例を示す。第 1 処理室 3 0 2 とロード / アンロード室 3 0 1 等のその他の構成は図 1 と同様である。

【 0 0 2 9 】

第 1 処理室 3 0 2 は不活性ガス又は窒素ガスで置換され、概略 1×10^{-2} Pa 以上 1×10^{-5} Pa 以下の圧力で反応ガスを流すことができるように、ガス供給手段 3 1 2 と排気手段 3 1 0 が接続されている。ガス供給手段 3 1 2 は、シリンダ 3 1 3、バルブ 3 1 4、流量制御機器 3 1 5 などで構成されている。シリンダ 3 1 3 は、半導体材料ガス若しくは希ガスなどが充填されている。ガス供給手段 3 1 2 g は第 1 処理室 3 0 2 に接続され、ゲート絶縁層形成用のガスを供給する。ガス供給手段 3 1 2 i も第 1 処理室 3 0 2 に接続され、チャネル形成領域を構成する i 型半導体層用のガスを供給する。ガス供給手段 3 1 2 n も第 1 処理室 3 0 2 に接続され、ソース及びドレインを構成する n 型半導体層用のガスを供給する。ガス供給手段 3 1 2 h は水素を供給し、ガス供給手段 3 1 2 f は処理室内のクリーニングに用いるエッチングガスを供給する系統であり、これらは各処理室共通のラインとして構成されている。

【 0 0 3 0 】

処理室にはプラズマ発生手段 3 0 5 が設けられている。プラズマ発生手段 3 0 5 は処理室内でプラズマを発生させる発振器が含まれる。例えば、マイクロ波電源、マイクロ波増幅器とマイクロ波を処理室まで誘導する導波管などで構成される。プラズマ発生手段 3 0 5

10

20

30

40

50

は処理室において一又は複数設けられている。プラズマ発生手段305は、被処理基板の面積に対して成膜される被膜の均一性を維持するために必要な数だけ設ければ良い。

【0031】

このような構成のプラズマCVD装置によっても、基板が載置された処理室内に反応性気体を供給し、基板と略平行に対向配置された導波管に設けられたスリットを介して処理室内にマイクロ波を供給する。そしてプラズマが生成され、基板上に微結晶半導体層を形成することができる。一つの処理室でゲート絶縁層と微結晶半導体層を積層形成する場合には、微結晶半導体層の形成前に放電を止めて SiH_4 ガスによる処理室内洗浄（フラッシング）を行っても良い。フラッシングにより、処理室内に残留する酸素、 N_2O などの残留不純物を効果的に除去することができる。

10

【0032】

上記構成のプラズマCVD装置を用いて微結晶半導体の成膜をする場合には、処理室内でプラズマを発生させるときにヘリウムを用いることが好ましい。つまりプラズマを発生させる電力を供給する前にヘリウムを供給すると好ましい。ヘリウムは24.5 eVとすべての気体中で最も高いイオン化エネルギーを持つが、そのイオン化エネルギーよりも少し低い、約20 eVの準位に準安定状態があるので、放電持続中においては、イオン化するエネルギーには、差分となる約4 eVしか必要とせず、安定した放電が持続できる。また放電開始電圧も全ての気体中最も低い値を示す。このような特性から、大気圧若しくは準大気圧における放電で、ヘリウムはプラズマを安定的に維持することができる。また、均一なプラズマを形成することができるので、微結晶半導体層を堆積する基板の面積が大きくなっても均一な膜を堆積することができる。

20

【0033】

微結晶半導体層は、シラン（不純物を有する微結晶半導体とする場合には、シランに加えドーピングガスを用いる）と水素及び/又は希ガスを混合して高密度プラズマにより成膜する。シランは水素及び/又は希ガスで10倍から2000倍に希釈される。このような希釈に用いるガスを希釈ガスともよぶ。そのため多量の水素及び/又は希ガスが必要とされるため、微結晶半導体の成膜時に供給したガスは回収して再利用するとよい。図7はプラズマCVD装置に適用するガス精製循環装置334の一例を示す。

【0034】

ガス精製循環装置334としては、シランなどの半導体材料ガスを回収精製するもの、ヘリウムなどの希ガスを回収精製するものがある。ガス精製循環装置334は第1処理室302、第2処理室303、第3処理室304のそれぞれに設けることができる。第1処理室302にガス精製循環装置334が接続する場合で説明すると、第1処理室302の処理用ガスはサーキュレータ（循環機）等で構成される排気手段310から使用済みガスとして排出される。排気手段310から排出される使用済みガスはフィルタ335により微粒子が除去されて回収ガス容器336に蓄積される。回収ガス容器336に蓄積された後は、昇圧器337により昇圧され、分離器338によりヘリウムなどの希ガスのみを分離する。分離器338の構成としては、膜分離、吸着分離、吸収分離、深冷分離方式などが適用される。分離精製されたガスは充填容器339に蓄積される。充填容器339に蓄積されたガスは、圧力調整器340で所定の圧力に調整され、ガス供給手段312の流量制御機器315の上流側に供給される。このようにしてガスを再利用することで、微結晶半導体に必要なガスの消費量を削減することができる。すなわち、ヘリウムなどの希ガスを再利用することにより表示装置の製造に係る全エネルギー消費量を低減することができる、二酸化炭素の排出量を削減することができる。

30

40

【0035】

本形態のマイクロ波プラズマCVD装置によれば、微結晶半導体層を大面積基板に均質に堆積することが可能である。以下、表示装置の製造工程の概略について説明する。

【0036】

（実施の形態1）

微結晶半導体層でチャネルを形成するTFTにより構成される表示装置の一製造工程を図

50

面を参照して説明する。図 8、図 9、図 10、図 11 は画素の平面図を示し、当該図中に示す A - B 切断線に対応する断面図を図 12、図 13、図 14、図 15、図 16 に示す。以下の説明ではこれら平面図と断面図を適宜参照しながら説明する。

【0037】

(1) ゲート電極及び容量電極の形成

TFT が作製される素子基板 100 は、ガラス基板等の絶縁表面を有する平板状の基板が適用される。素子基板 100 には、ゲート電極層 102、容量電極層 104 が形成される(図 8、図 12)。

【0038】

ゲート電極層 102 と容量電極層 104 は金属材料で形成される。金属材料としてはアルミニウム、クロム、チタン、タンタル、モリブデン、銅などが適用される。ゲート電極層 102 と容量電極層 104 の好適例は、アルミニウム又はアルミニウムとバリア金属の積層構造体によって形成される。バリア金属としては、チタン、モリブデン、クロムなどの高融点金属が適用される。バリア金属はアルミニウムのヒロック防止、酸化防止のために設けることが好ましい。

【0039】

(2) ゲート絶縁層、微結晶半導体層、不純物半導体層の形成

ゲート電極層 102 と容量電極層 104 を形成した後、ゲート絶縁層 106、微結晶半導体層 108、不純物半導体層 110 を素子基板 100 上に形成する(図 13)。これらの層は、図 1 乃至図 7 で説明するプラズマ CVD 装置を用いることで、各層界面を大気に触れさせることなく連続して積層させることが可能である。

【0040】

ゲート絶縁層 106 は、窒化シリコン、酸化シリコン、窒化酸化シリコン、酸化窒化シリコン、窒化アルミニウム、窒化酸化アルミニウムなどの絶縁材料で形成する。まず、図 1 で示すような構成の処理室にゲート電極層 102 と容量電極層 104 が形成された素子基板 100 を搬送する。そして、該処理室にヘリウムを含む反応性気体を供給し、処理室内の圧力を大気圧若しくは準大気圧に保持しつつ、大気圧若しくは準大気圧においてマイクロ波電力の供給により生成されるプラズマによりゲート絶縁層 106 の形成を行う。なお、処理室の内側には、窒化シリコン膜又は酸化シリコン膜などゲート絶縁層 106 と同じ種類若しくは類似する種類の膜をコーティングしておいても良い。それにより、処理室内壁からの脱ガスの割合が低減し、金属不純物などの汚染を防ぐことができる。

【0041】

このように作製されるゲート絶縁層 106 としては、例えば、ゲート電極層 102 及び容量電極層 104 上に第 1 ゲート絶縁層 106 a として窒化シリコン層(又は窒化酸化シリコン層)を設け、その上に第 2 ゲート絶縁層 106 b として酸化シリコン層(又は酸化窒化シリコン層)を設ける。このようにゲート絶縁層 106 を複数の層で形成することで、複数の機能をゲート絶縁層 106 に付与することができる。すなわち、第 1 ゲート絶縁層 106 a として窒化シリコン層(又は窒化酸化シリコン層)を設けることで、素子基板 100 からの不純物拡散を防止し、ゲート電極層 102 などの酸化防止を図ることができる。また、ゲート電極層 102 としてアルミニウムを使用する場合には、アルミニウムのヒロックを防止することができる。第 2 ゲート絶縁層 106 b として酸化シリコン層(又は酸化窒化シリコン層)を設けることで、半導体層との密着性を高め、第 1 ゲート絶縁層 106 a の応力歪みの影響を緩和する。第 1 ゲート絶縁層 106 a は 10 nm ~ 100 nm、第 2 ゲート絶縁層 106 b は 50 nm ~ 150 nm の厚さで形成することが好ましい。

【0042】

なお、酸化窒化シリコン膜とは、窒素よりも酸素の含有量が多いものであって、例えば濃度範囲として酸素が 55 ~ 65 原子%、窒素が 1 ~ 20 原子%、Si が 25 ~ 35 原子%、水素(及び/又は OH 基)が 0.1 ~ 10 原子%の範囲で含まれるものをいう。また、窒化酸化シリコン膜とは、その組成として酸素よりも窒素の含有量が多いものであって、例えば濃度範囲として酸素が 15 ~ 30 原子%、窒素が 20 ~ 35 原子%、Si が 25 ~

35原子%、水素（及び／又はOH基）が15～25原子%の範囲に含まれるものをいう。

【0043】

微結晶半導体層108は、処理室内に載置された素子基板100のゲート絶縁層106上に形成する。その際、処理室にヘリウムを含む反応性気体を供給し、処理室内の圧力を大気圧若しくは準大気圧に保持しつつ、並置された導波管で挟まれた空間にマイクロ波を供給してプラズマを生成させる。反応性気体には、水素と水素化珪素気体若しくはハロゲン化珪素気体が含まれる。

【0044】

微結晶半導体層108は反応性気体に含まれる水素化珪素気体であるシランをマイクロ波（代表的には2.45GHz）の電磁エネルギーによりプラズマ化して、反応生成物を堆積させることにより形成される。代表的な水素化珪素気体としては、 SiH_4 若しくは Si_2H_6 である。その他、ハロゲン化珪素気体若しくはハロゲン水素化珪素気体として SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 などを用いることができる。基板の加熱温度は100 から400（好ましくは200 から350）とすれば良い。微結晶半導体層108の厚さは50nm～500nm（好ましくは100nm～250nm）の厚さとすれば良い。なお、処理室の内側には、微結晶半導体層108と同じ種類若しくは類似する種類の膜をコーティングしておいても良い。微結晶半導体層108をシリコンで形成する場合、シリコン膜などをコーティングする。それにより、処理室内壁からの脱ガスの割合が低減し、金属をはじめとする不純物などの汚染を防ぐことができる。また、プラズマを生成する前に、微結晶半導体層の半導体材料ガス、例えば SiH_4 ガスを流して処理室中の残留酸素、水分等と反応させて、清浄度を高める処置を行うことが望ましい。

【0045】

この水素化珪素気体などを、希釈ガスで希釈して用いることで微結晶の形成を容易なものとすることができる。希釈ガスには、水素、希ガス（ヘリウム、アルゴン、クリプトン、ネオン）、及びハロゲン気体（フッ素、塩素など）のいずれか一、又はこれらを組み合わせ用いることができ、さらに希ガスであるヘリウム、アルゴン、クリプトン、ネオンは複数組み合わせ用いることもできる。希釈率は10倍～2000倍の範囲で半導体材料ガスを希釈することが好ましい。プラズマを生成する圧力は、大気圧若しくは準大気圧（ $1 \times 10^2 \text{ Pa}$ 以上 $1 \times 10^5 \text{ Pa}$ 以下）で行えば良い。このような圧力でプラズマを生成すると、気相中でラジカル反応が進み、微結晶半導体層における表面反応と相まって成膜速度が向上する。また、気相中でのラジカル反応により微結晶核が生成されることにより、初期段階であるゲート絶縁層106上の被形成面から微結晶性の層を堆積することができる。すなわち、微結晶半導体層108の堆積初期段階において非晶質層が形成されてしまうことを極力防ぐことが可能となる。成膜中に、マイクロ波を1kHz～100kHzのパルス放電にすることで、気相中でのラジカル反応は制御され気相中で粒子が生成されるなどの異常成長を抑えることができ、好ましい。このように形成される微結晶半導体層は、従来と比較して、50倍程度の堆積速度を達成することができる。

【0046】

プラズマを生成するためには1GHz～5GHz、代表的には2.45GHzの電磁波を供給すれば良い。基板加熱温度は500 以下が好ましく、100 ～400 の基板加熱温度が推奨される。また、半導体材料ガス中に CH_4 、 C_2H_6 などの炭素の水素化物、 GeH_4 、 GeF_4 などの水素化ゲルマニウム、フッ化ゲルマニウムを混合して、エネルギーバンド幅を1.5～2.4eV、若しくは0.9～1.1eVに調節しても良い。微結晶半導体層を構成するシリコンに、炭素又はゲルマニウムを加えるとTFTの温度特性を変えることができる。

【0047】

不純物半導体層（不純物を有する半導体層）110は、価電子制御を目的とした一導電型不純物が添加されている。不純物半導体層110をn型とする場合にはリン又は砒素が添

10

20

30

40

50

加され、p型の場合には硼素が添加される。不純物半導体層110は非晶質半導体又は微結晶半導体で構成される。

【0048】

(3) 半導体層の加工

素子基板100上に形成された微結晶半導体層108と不純物半導体層110は所定のパターンにエッチング加工される。表示装置の画素領域においては、ゲート電極層102と少なくとも一部、又は全部が重畳するように微結晶半導体層108及び不純物半導体層110をエッチング加工する(図9、図14参照)。このような構造とすることで、TFTのチャネル部の遮光を行うことができ、光の影響を受けることがなく、ゲート電圧を微結晶半導体層108に均一に作用させることができる。微結晶半導体層108及び不純物半導体層110の端部はテーパ状に加工することで、この上層に形成する配線層の段差被覆性を改善し、また半導体層の端部を流れるリーク電流を低減する効果がある。なお、ゲート電極層102及び容量電極層104と、後の工程で作製される配線層との交差部に相当する位置に、ゲート電極層102及び容量電極層104に重ねて半導体層109を設けておくことで、当該交差部における配線層の段差被覆性を改善することができる(図9参照)。半導体層109は、微結晶半導体層108と同じように形成することができる。

10

【0049】

(4) 配線層と保護層の形成

ゲート電極層102と交差する方向に延びた配線層及び保護絶縁層116を形成する(図10、図15参照)。配線層は、TFTのソース若しくはドレイン側の電位が付与される配線層112a、画素電極と接続しTFTのドレイン若しくはソース側の電位が付与される配線層112b、容量電極層112cを有している。

20

【0050】

配線層112a、配線層112b、容量電極層112cは、アルミニウム、若しくは銅、耐熱性向上元素若しくはヒロック防止元素(シリコン、チタン、ネオジム、スカンジウムなど)が添加されたアルミニウムを用いて形成することが好ましい。アルミニウムなどをスパッタリング法若しくは蒸着法で形成し、フォトリソグラフィにより所定のレジストマスクを形成し、エッチングを行うことにより形成される。エッチングはドライエッチング又はウエットエッチングにより行うことができる。このとき作製したレジストマスクを利用して、不純物半導体層110をエッチングする。このエッチングにより微結晶半導体層108の一部は食刻されても良い。配線層112aと配線層112bは、不純物半導体層110と接し、微結晶半導体層108上で離間している。配線層112aと配線層112bの間にある不純物半導体層110をエッチングで除去することにより、TFTのチャネル形成領域が形成される。

30

【0051】

また配線層112a、配線層112b、容量電極層112cは、銀、銅などの導電性ナノペーストを用いてスクリーン印刷法、インクジェット法、ナノインプリント法を用いて形成しても良い。

【0052】

配線層112a、配線層112b、容量電極層112cは上述のアルミニウム、銅などで形成すれば良いが、下地との密着性向上と拡散を防ぐバリア層として機能する導電性材料を組み合わせた積層構造としても良い。例えば、バリア層として機能する第1導電層113をモリブデン、クロム、チタン、タンタル、窒化チタン等の高融点金属で形成し、第2導電層114を上述のアルミニウム等で形成し、第3導電層115を第1導電層113と同等の高融点金属で形成することができる。

40

【0053】

保護絶縁層116は、微結晶半導体層108、配線層112a、配線層112b、容量電極層112cなどを被覆するように形成する。保護絶縁層116は、窒化シリコン、窒化酸化シリコンで形成することが好ましい。保護絶縁層116には配線層112bを開口するコンタクトホール117、容量電極層112cを開口するコンタクトホール118を形

50

成する。

【0054】

(5) 画素電極の形成

画素電極120を保護絶縁層116上に形成する(図11、図16)。画素電極120はコンタクトホール117で配線層112bと、コンタクトホール118で容量電極層112cと接続する。画素電極120は酸化インジウムスズ、酸化亜鉛、酸化スズなどの透明電極材料で形成する。また有機導電性材料で形成しても良い。

【0055】

画素電極120にはスリットを設けることで液晶の配向を制御することができる。このような構成は、VA(Vertical Alignment)型液晶において適用される。VA型液晶とは、液晶パネルの液晶分子の配列を制御する方式の一種である。VA型液晶は、電圧が印加されていないときにパネル面に対して液晶分子が垂直方向を向く方式である。素子基板100に対向基板を貼り合わせ、その間に液晶層を設けることで液晶表示装置を完成させることができる。

10

【0056】

このようにして、素子基板100上にTFTとそれに接続する画素電極120、及び保持容量部が形成される。本形態によれば、TFTのチャネルが微結晶半導体で形成されることにより、TFTのしきい値電圧の変動が抑えられ、表示装置の動作安定性を確保することができる。微結晶半導体層はプラズマCVD法により作製可能であり、ポリシリコンのようにレーザ結晶化のような工程が必要ないので生産性を損なうことがない。

20

【0057】

(実施の形態2)

本実施の形態ではVA(Vertical Alignment)型液晶であって、画素(ピクセル)をいくつかの領域(サブピクセル)に分けた所謂マルチドメイン設計が考慮された液晶パネルの画素について例示する。図17は、その画素の平面図を示し、当該図中に示すC-D切断線に対応する断面図を図18に示す。

【0058】

素子基板100、ゲート電極層102、容量電極層104、ゲート絶縁層106、微結晶半導体層108、不純物半導体層110、配線層112a、112b、容量電極層112cの構成は実施の形態1と同様である。保護絶縁層116の上には層間絶縁層122が形成され、それらを貫通するコンタクトホール117が形成されている。層間絶縁層122は酸化シリコンなどの無機絶縁材料、ポリイミド、アクリルなどで代表される有機絶縁材料で形成される。

30

【0059】

画素電極120は層間絶縁層122上に設けられている。画素電極120には液晶の配向を制御するためにスリットが設けられている。画素電極120に隣接する画素電極121は、画素電極120に接続するTFTと同じタイミングでゲート電位が印加される別のTFTと接続している。本形態では1画素(ピクセル)は、画素電極120と画素電極121により構成されている。すなわち、画素電極120と画素電極121はそれぞれ画素のサブピクセルを構成する。この場合、容量電極層104と容量電極層105との電位を異ならせることで、画素電極120と画素電極121との電位を異ならせることができる。すなわち、容量電極層104と容量電極層105との電位を個別に制御することにより液晶の配向を精密に制御して視野角を広げることができる。

40

【0060】

図19は素子基板100と対向基板101を重ね合わせ、液晶を注入した状態を示している。対向基板101においてスペーサ136が形成される位置には、遮光層126、第1着色層128、第2着色層130、第3着色層132、対向電極134が形成されている。この構造により、液晶の配向を制御するための突起状のリブ138とスペーサ136の高さを異ならせている。画素電極120と対向電極134には配向膜124が形成されている。この間に液晶層140が形成されている。

50

【 0 0 6 1 】

本形態によれば、T F Tのチャネルが微結晶半導体で形成されることにより、T F Tのしきい値電圧の変動が抑えられ、マルチドメイン型の液晶表示装置の動作安定性を確保することができる。微結晶半導体層はプラズマC V D法により作製可能であり、ポリシリコンのようにレーザ結晶化のような工程が必要ないので生産性を損なうことがない。

【 0 0 6 2 】

(実施の形態 3)

微結晶半導体層でチャネルを形成するT F Tにより構成される表示装置の一製造工程を、図面を参照して説明する。本形態では画素に発光素子を設けた構成の表示装置について示す。図20、図21、図22、図23は画素の平面図を示し、断面図を図24、図25、図26、図27、図28、図29、図30に示す。図24、図25、図26、図27、図28、図29、図30において、平面図に示すE - F切断線に対応する断面図をそれぞれ(A)に、G - H切断線に対応する断面図をそれぞれ(B)に示す。以下の説明ではこれら平面図と断面図を適宜参照しながら説明する。

10

【 0 0 6 3 】

(1) ゲート電極及び容量電極の形成

T F Tが作製される素子基板100は、ガラス基板等の絶縁表面を有する平板状の基板が適用される。素子基板100には、ゲート電極層102、ゲート電極層103、容量電極層104が形成される(図20、図24(A)(B)参照)。

【 0 0 6 4 】

(2) ゲート絶縁層、微結晶半導体層の形成

ゲート電極層102、ゲート電極層103、容量電極層104を形成した後、ゲート絶縁層106、微結晶半導体層108を素子基板100上に形成する(図25(A)(B)参照)。これらの層は、図1乃至図7で説明するプラズマC V D装置を用いることで、各層界面を大気に触れさせることなく連続して積層させることが可能である。成膜方法については実施の形態1と同様である。

20

【 0 0 6 5 】

(3) 半導体層の加工

素子基板100上に形成された微結晶半導体層108は所定のパターンにエッチング加工する。その後チャネル保護絶縁層111a、チャネル保護絶縁層111bを形成する。(図21、図26(A)(B)参照)。チャネル保護絶縁層111aは微結晶半導体層108aがゲート電極層102と重なるように形成し、チャネル保護絶縁層111bは微結晶半導体層108bがゲート電極層103と重なるように形成する。チャネル保護絶縁層111a、チャネル保護絶縁層111bは微結晶半導体層108a、微結晶半導体層108bの酸化を防止するために窒化シリコンで形成することが好ましい。ゲート絶縁層106には下層のゲート電極層103を露出させるコンタクトホール107を形成する。

30

【 0 0 6 6 】

(4) 不純物半導体層と配線層の形成

不純物半導体層110aと配線層112a、不純物半導体層110bと配線層112b、不純物半導体層110cと容量電極層112c、及び不純物半導体層110dと容量電極層112dは同じレジストマスクパターンを使って形成する(図22、図27(A)(B)参照)。配線層112aはゲート電極層102と交差する配線でありソース線若しくはデータ線とも呼ばれる。配線層112bは画素電極とトランジスタを接続する配線である。容量電極層112cは画素に設けられる2つのトランジスタを接続する配線であり、コンタクトホール107でゲート電極層103と接続する。また、容量電極層112cと容量電極層104との重畳領域にはゲート絶縁層106が介在し、この領域に保持容量が形成される。

40

【 0 0 6 7 】

(5) 保護絶縁層と層間絶縁層の形成

配線層112a、112bと容量電極層112c、112dの上層に保護絶縁層116と

50

層間絶縁層 1 2 2 を形成する。そして、配線層 1 1 2 b を開口するコンタクトホール 1 1 9 を形成する（図 2 8（A）（B）参照）。

【0068】

（6）画素電極と隔壁絶縁層の形成

画素電極 1 2 0 を層間絶縁層 1 2 2 上に形成する（図 2 3、図 2 9（A）（B）参照）。画素電極 1 2 0 はコンタクトホール 1 1 9 で配線層 1 1 2 b と接続する。画素電極 1 2 0 上に絶縁層 1 2 3 を形成する。絶縁層 1 2 3 は画素電極 1 2 0 の周辺を覆い内側を開口する絶縁層であり、隣接する画素を区別している。

【0069】

（7）EL層と対向電極層の形成

その後、EL層 1 4 2 と対向電極層 1 4 4 を形成する（図 3 0（A）（B）参照）。EL層 1 4 2 はエレクトロルミネセンス材料を含んで形成される層である。EL層 1 4 2 を画素電極 1 2 0 と対向電極層 1 4 4 で挟むことにより発光素子が形成され、当該発光素子が各画素に設けられることとなる。画素電極 1 2 0 を非透光性の電極で形成し、対向電極層 1 4 4 を透光性の電極とすることにより、発光素子からの光が対向電極層 1 4 4 側に出るトップエミッション型の表示装置を構成することができる。また、画素電極 1 2 0 を透光性の電極とし、対向電極層 1 4 4 を非透光性の電極とすることにより、発光素子からの光が画素電極 1 2 0 側に出るボトムエミッション型の表示装置を構成することができる。

【0070】

本形態によれば、TFTのチャネルが微結晶半導体で形成されることにより、TFTのしきい値電圧の変動が抑えられ、発光素子を各画素に設ける表示装置の動作安定性を確保することができる。微結晶半導体層はプラズマCVD法により作製可能であり、ポリシリコンのようにレーザ結晶化のような工程が必要ないので生産性を損なうことがない。レーザ結晶化は結晶化斑が生じやすい場合があり、それがTFT特性に影響を与え発光素子の輝度バラツキの原因となる。しかし、本形態によれば微結晶半導体層を均一に形成することができるので、発光素子の輝度バラツキによる表示斑の影響を受けにくいという特性がある。

【0071】

（実施の形態4）

実施の形態1乃至3で例示される表示装置は様々な用途に適用することができる。図31はその一例であり、インターネットに代表される情報ネットワークに接続される表示装置の一例を示す。この表示装置200は微結晶半導体層でチャネルが形成されるTFTにより画素が構成される表示パネル201を有している。表示装置200は、例えばネットワーク接続アダプタ206を介して通信ネットワークと接続される。表示装置200は操作ボード203によって表示画像等の選択をすることができる。操作ボード203は入力部205を有する。入力部205はキーボードの他、マウスなどのポインティングデバイス、図示するようなペン204により情報を入力する方式としても良い。また音声入力部207を設けてペン入力や音声認識機能といった直感的な操作方式とすることもできる。操作ボード203は赤外線若しくは電波を使った無線通信方式202により表示装置200と接続可能とされる。送受信される情報を表示装置200に表示させながら操作ボード203により情報の受信及び送信を行うことができる。微結晶半導体層でチャネルが形成されるTFTにより画素が構成される表示パネル201を有しているので、高精細画面を構成することが可能であり、情報密度の高い画像を自在に取捨選択して楽しむことができる。

【図面の簡単な説明】

【0072】

【図1】複数の処理室を備えたマルチ・チャンバ・マイクロ波プラズマCVD装置の構成を示す図。

【図2】複数の処理室を備えたマルチ・チャンバ・マイクロ波プラズマCVD装置における処理室の構成を説明する図。

10

20

30

40

50

【図 3】複数の処理室を備えたマルチ・チャンバ・マイクロ波プラズマ C V D 装置における処理室の蓋体部の詳細を示す図。

【図 4】複数の処理室を備えたマルチ・チャンバ・マイクロ波プラズマ C V D 装置の処理室の構成を示す平面図。

【図 5】プラズマ発生器の構成を示す図。

【図 6】単室成膜式のマイクロ波プラズマ C V D 装置の一例を示す図。

【図 7】プラズマ C V D 装置におけるガス精製循環装置の構成を示す図。

【図 8】実施の形態 1 における微結晶半導体層でチャネルを形成する T F T により構成される表示装置の一製造工程を示す平面図。

【図 9】実施の形態 1 における微結晶半導体層でチャネルを形成する T F T により構成される表示装置の一製造工程を示す平面図。

10

【図 10】実施の形態 1 における微結晶半導体層でチャネルを形成する T F T により構成される表示装置の一製造工程を示す平面図。

【図 11】実施の形態 1 における微結晶半導体層でチャネルを形成する T F T により構成される表示装置の一製造工程を示す平面図。

【図 12】実施の形態 1 における微結晶半導体層でチャネルを形成する T F T により構成される表示装置の一製造工程を示す断面図。

【図 13】実施の形態 1 における微結晶半導体層でチャネルを形成する T F T により構成される表示装置の一製造工程を示す断面図。

【図 14】実施の形態 1 における微結晶半導体層でチャネルを形成する T F T により構成される表示装置の一製造工程を示す断面図。

20

【図 15】実施の形態 1 における微結晶半導体層でチャネルを形成する T F T により構成される表示装置の一製造工程を示す断面図。

【図 16】実施の形態 1 における微結晶半導体層でチャネルを形成する T F T により構成される表示装置の一製造工程を示す断面図。

【図 17】実施の形態 2 における微結晶半導体層でチャネルを形成する T F T により構成される表示装置の一例を示す平面図。

【図 18】実施の形態 2 における微結晶半導体層でチャネルを形成する T F T により構成される表示装置の一例を示す断面図。

【図 19】実施の形態 2 における微結晶半導体層でチャネルを形成する T F T により構成される表示装置の一例を示す断面図。

30

【図 20】実施の形態 3 における微結晶半導体層でチャネルを形成する T F T により構成される表示装置の一製造工程を示す平面図。

【図 21】実施の形態 3 における微結晶半導体層でチャネルを形成する T F T により構成される表示装置の一製造工程を示す平面図。

【図 22】実施の形態 3 における微結晶半導体層でチャネルを形成する T F T により構成される表示装置の一製造工程を示す平面図。

【図 23】実施の形態 3 における微結晶半導体層でチャネルを形成する T F T により構成される表示装置の一製造工程を示す平面図。

【図 24】実施の形態 3 における微結晶半導体層でチャネルを形成する T F T により構成される表示装置の一製造工程を示す断面図。

40

【図 25】実施の形態 3 における微結晶半導体層でチャネルを形成する T F T により構成される表示装置の一製造工程を示す断面図。

【図 26】実施の形態 3 における微結晶半導体層でチャネルを形成する T F T により構成される表示装置の一製造工程を示す断面図。

【図 27】実施の形態 3 における微結晶半導体層でチャネルを形成する T F T により構成される表示装置の一製造工程を示す断面図。

【図 28】実施の形態 3 における微結晶半導体層でチャネルを形成する T F T により構成される表示装置の一製造工程を示す断面図。

【図 29】実施の形態 3 における微結晶半導体層でチャネルを形成する T F T により構成

50

される表示装置の一製造工程を示す断面図。

【図30】実施の形態3における微結晶半導体層でチャネルを形成するTFTにより構成される表示装置の一製造工程を示す断面図。

【図31】表示装置の利用形態の一態様を示す図。

【符号の説明】

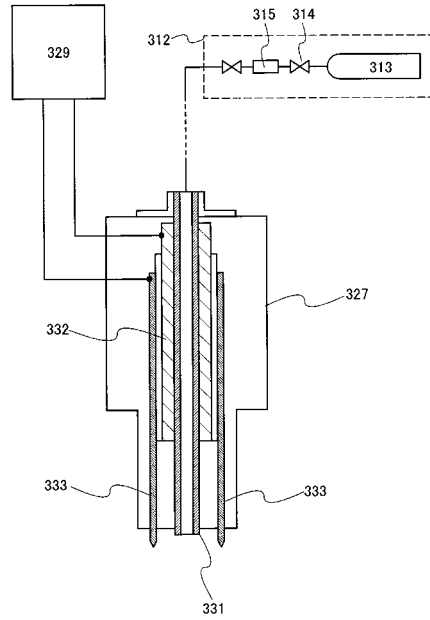
【0073】

100	素子基板
101	対向基板
102、103	ゲート電極層
104、105	容量電極層
106	ゲート絶縁層
107	コンタクトホール
108	微結晶半導体層
109	半導体層
110	不純物半導体層
113～115	導電層
116	保護絶縁層
117～119	コンタクトホール
120、121	画素電極
122	層間絶縁層
123	絶縁層
124	配向膜
126	遮光層
128～132	着色層
134	対向電極
136	スペーサ
138	リブ
140	液晶層

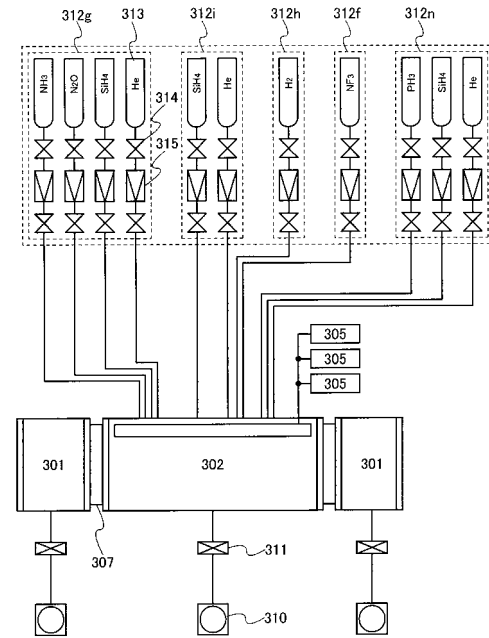
10

20

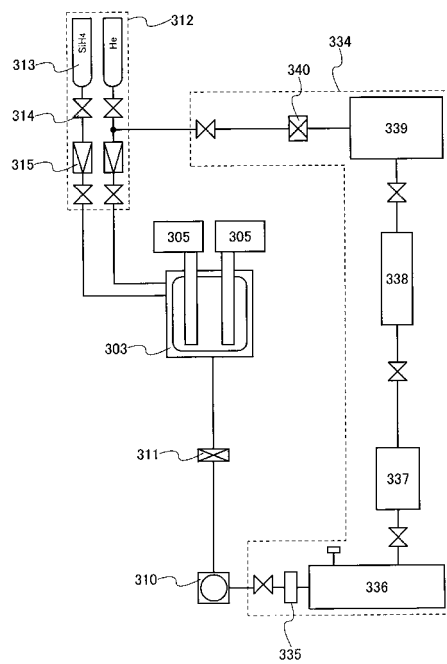
【図 5】



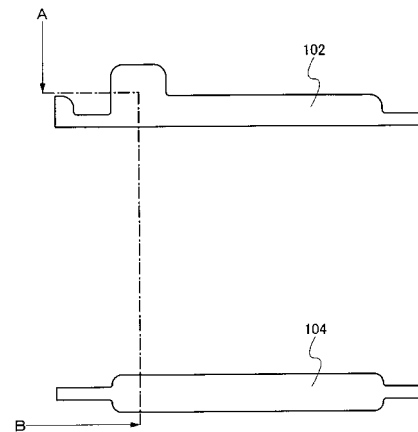
【図 6】



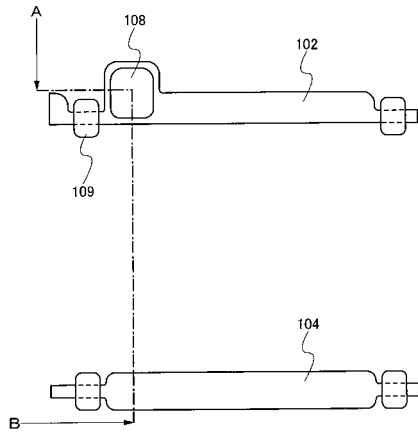
【図 7】



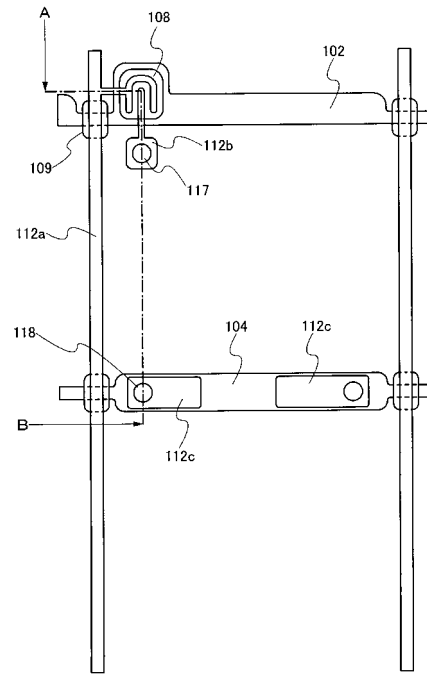
【図 8】



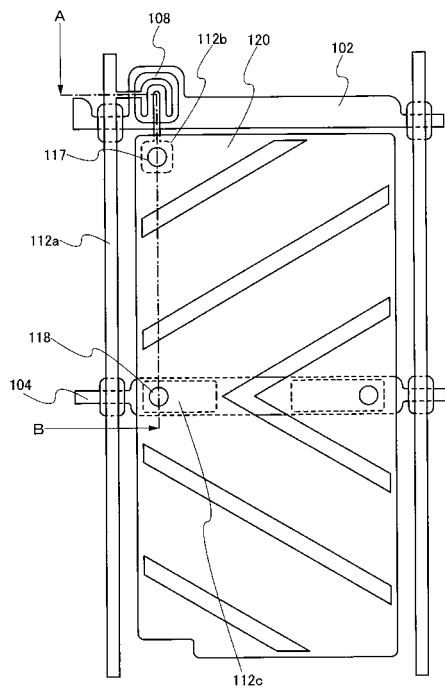
【図 9】



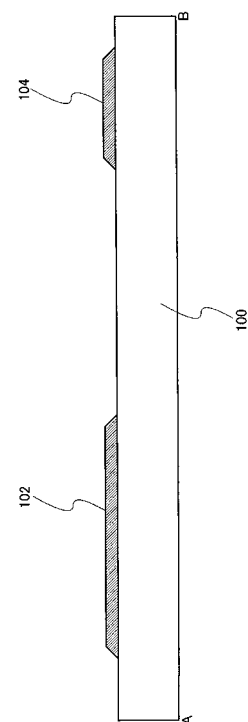
【図 10】



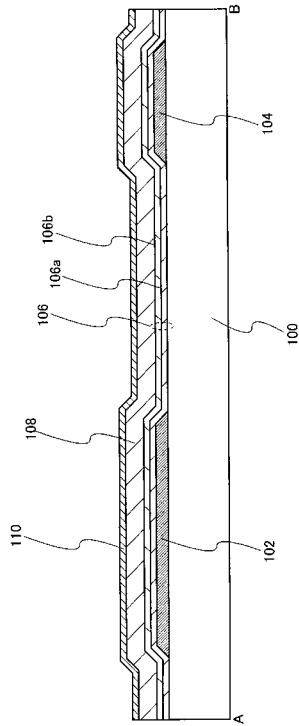
【図 11】



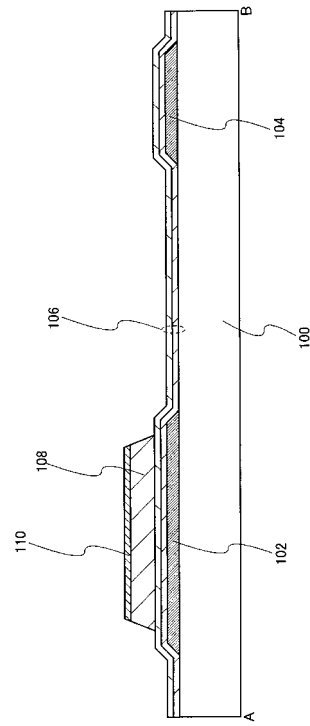
【図 12】



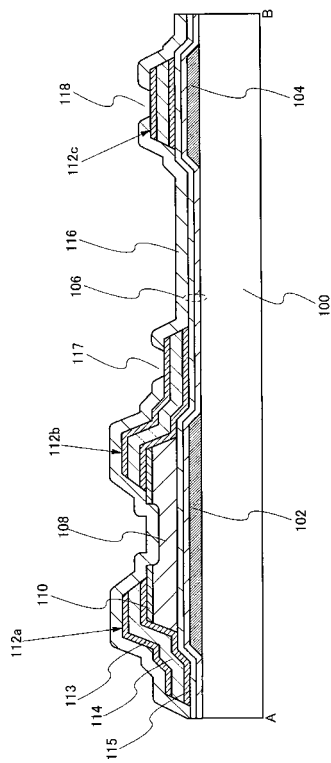
【図 13】



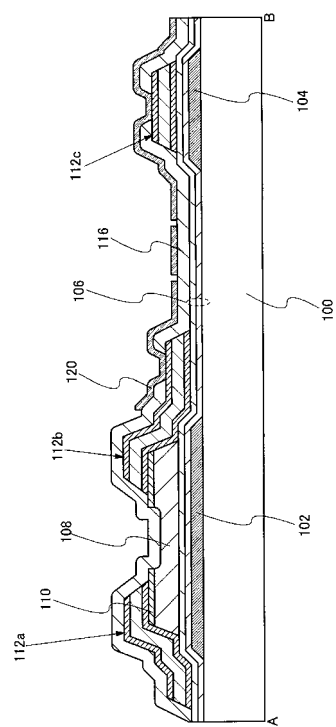
【図 14】



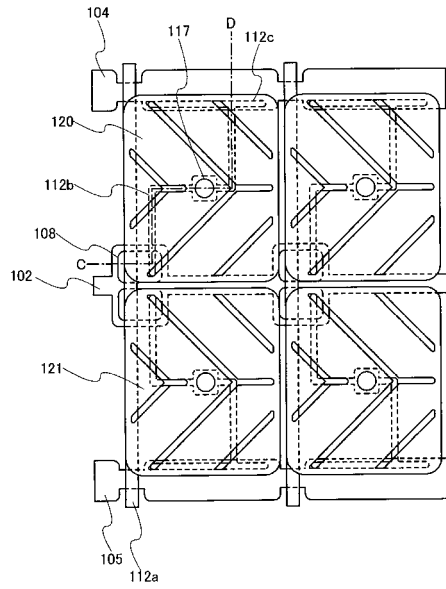
【図 15】



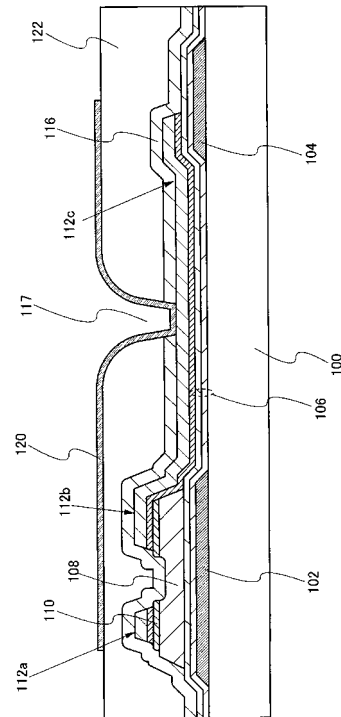
【図 16】



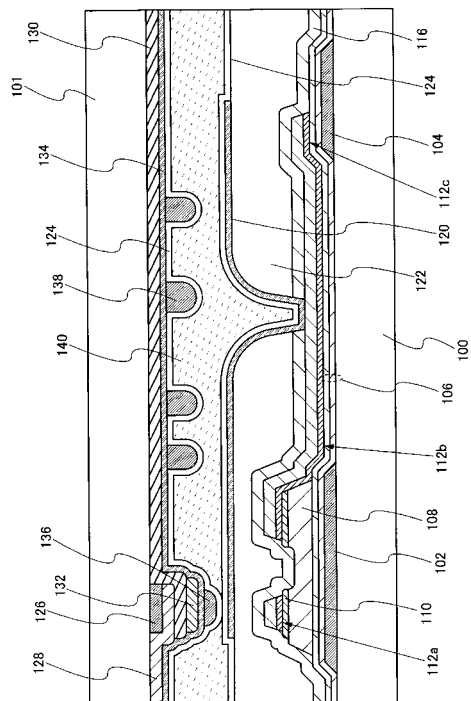
【図 17】



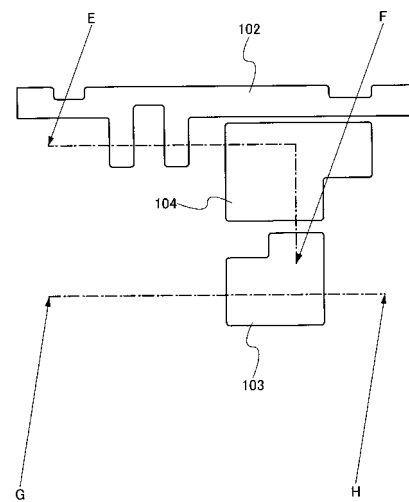
【図 18】



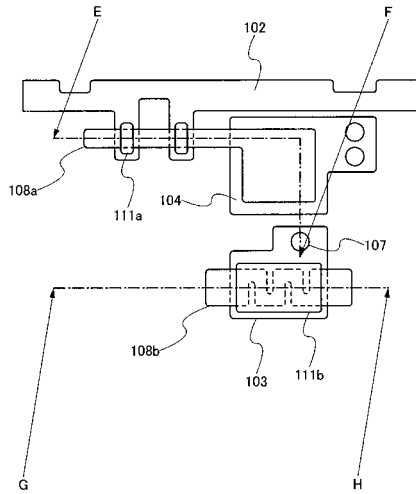
【図 19】



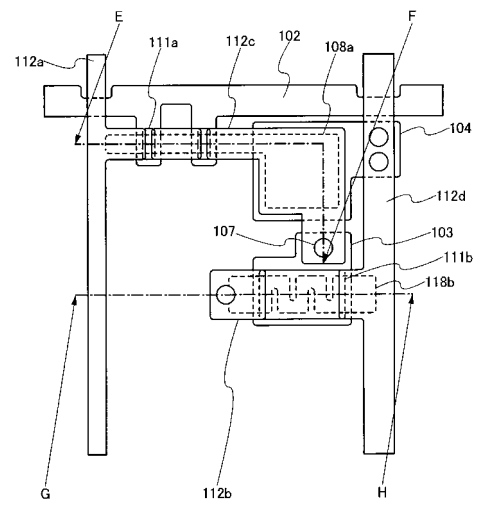
【図 20】



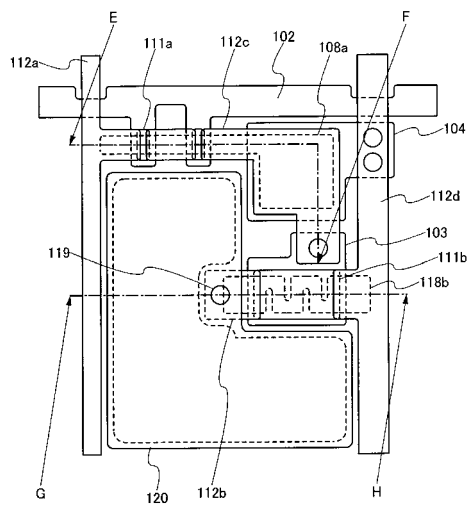
【図 2 1】



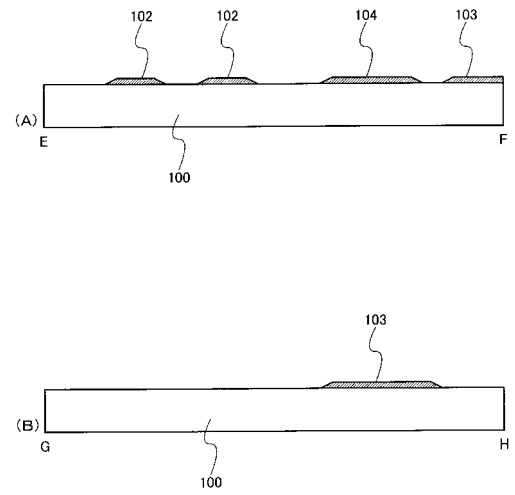
【図 2 2】



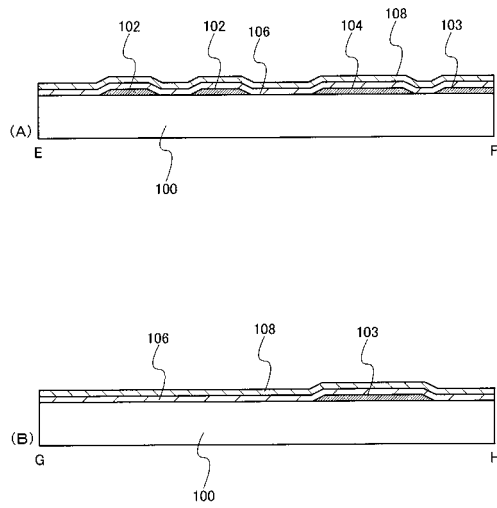
【図 2 3】



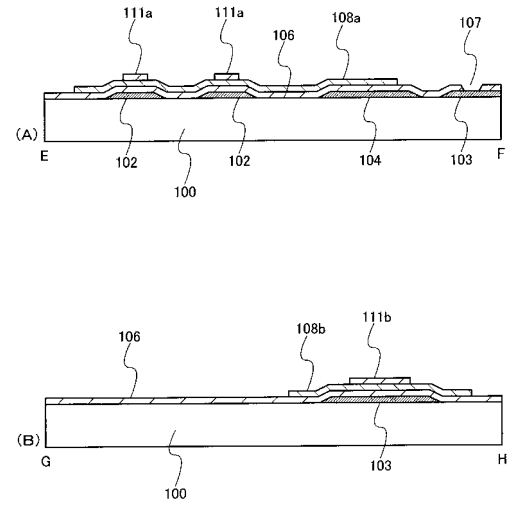
【図 2 4】



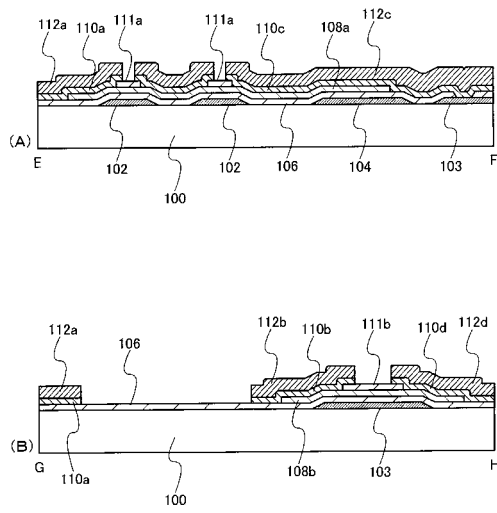
【図 25】



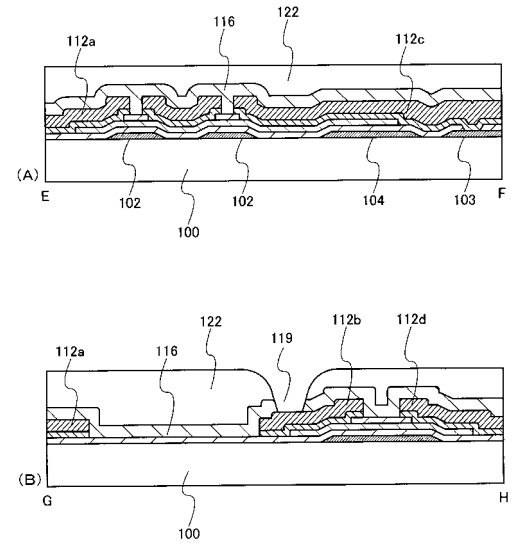
【図 26】



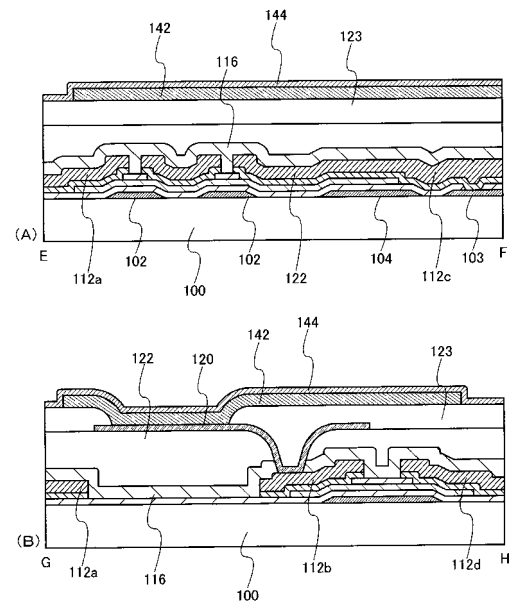
【図 27】



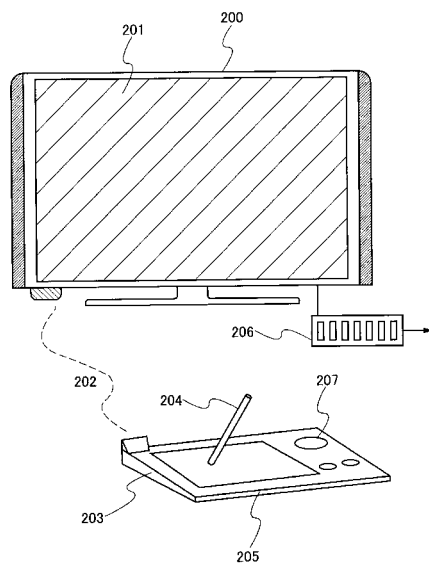
【図 28】



【 図 3 0 】



【 図 3 1 】



フロントページの続き

(56)参考文献 特開2003-303698(JP,A)
特開昭61-241921(JP,A)
特開平02-192720(JP,A)
特開2001-313257(JP,A)
特開平06-013329(JP,A)
米国特許第05591987(US,A)

(58)調査した分野(Int.Cl., DB名)

H01L	21/205
H01L	21/31
H01L	21/3065
C23C	16/511
H05H	1/46