



(12) 发明专利申请

(10) 申请公布号 CN 115735208 A

(43) 申请公布日 2023. 03. 03

(21) 申请号 202180046426.9

(22) 申请日 2021.07.05

(30) 优先权数据

2020-122483 2020.07.17 JP

2020-200722 2020.12.03 JP

(85) PCT国际申请进入国家阶段日

2022.12.29

(86) PCT国际申请的申请数据

PCT/IB2021/055989 2021.07.05

(87) PCT国际申请的公布数据

W02022/013677 JA 2022.01.20

(71) 申请人 株式会社半导体能源研究所

地址 日本神奈川

(72) 发明人 冈本佑树 伊藤港 上妻宗广

(74) 专利代理机构 中国贸促会专利商标事务所

有限公司 11038

专利代理师 秦晨

(51) Int.Cl.

G06G 7/60 (2006.01)

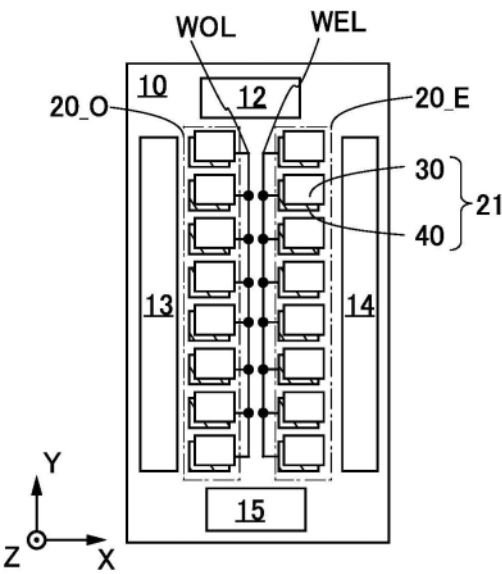
权利要求书2页 说明书33页 附图27页

(54) 发明名称

半导体装置

(57) 摘要

提供一种具有新颖结构的半导体装置。第一存储电路部包括保持多个第一权重数据的第一存储电路。第二存储电路部包括保持多个第二权重数据的第二存储电路。第一运算电路部包括第一运算电路、第一切换电路及第三切换电路。第二运算电路部包括第二运算电路、第二切换电路及第四切换电路。第一切换电路具有将多个第一权重数据中的任一一个供应到第一布线的功能。第二切换电路具有将多个第二权重数据中的任一一个供应到第二布线的功能。第三切换电路具有将供应到第一布线的第二权重数据和供应到第二布线的第二权重数据中的任一一个供应到第一运算电路的功能。第四切换电路具有将供应到第一布线的第二权重数据和供应到第二布线的第二权重数据中的任一一个供应到第二运算电路的功能。



1. 一种半导体装置,包括:

包括第一存储电路部及第一运算电路部的第一运算块;

包括第二存储电路部及第二运算电路部的第二运算块;

第一布线;以及

第二布线,

其中,所述第一存储电路部包括保持多个第一权重数据的第一存储电路,

所述第二存储电路部包括保持多个第二权重数据的第二存储电路,

所述第一运算电路部包括第一运算电路、第一切换电路及第三切换电路,

所述第二运算电路部包括第二运算电路、第二切换电路及第四切换电路,

所述第一切换电路具有将所述多个第一权重数据中的任一个供应到所述第一布线的功能,

所述第二切换电路具有将所述多个第二权重数据中的任一个供应到所述第二布线的功能,

所述第三切换电路具有将供应到所述第一布线的所述第一权重数据和供应到所述第二布线的所述第二权重数据中的任一个供应到所述第一运算电路的功能,

并且,所述第四切换电路具有将供应到所述第一布线的所述第一权重数据和供应到所述第二布线的所述第二权重数据中的任一个供应到所述第二运算电路的功能。

2. 一种半导体装置,包括:

包括第一存储电路部及第一运算电路部的第一运算块;

包括第二存储电路部及第二运算电路部的第二运算块;

第一布线;以及

第二布线,

其中,所述第一存储电路部包括保持多个第一权重数据的第一存储电路,

所述第二存储电路部包括保持多个第二权重数据的第二存储电路,

所述第一运算电路部包括第一运算电路、第一切换电路及第三切换电路,

所述第二运算电路部包括第二运算电路、第二切换电路及第四切换电路,

所述第一切换电路具有将所述多个第一权重数据中的任一个供应到所述第一布线的功能,

所述第二切换电路具有将所述多个第二权重数据中的任一个供应到所述第二布线的功能,

将所述多个第一权重数据中的任一个供应到所述第一布线的工作与将所述多个第二权重数据中的任一个供应到所述第二布线的工作在不同期间进行,

所述第三切换电路具有将供应到所述第一布线的所述第一权重数据和供应到所述第二布线的所述第二权重数据中的任一个供应到所述第一运算电路的功能,

所述第四切换电路具有将供应到所述第一布线的所述第一权重数据和供应到所述第二布线的所述第二权重数据中的任一个供应到所述第二运算电路的功能,

并且,将供应到所述第一布线的所述第一权重数据供应到所述第一运算电路的工作与将供应到所述第二布线的所述第二权重数据供应到所述第二运算电路的工作在不同期间进行。

3. 根据权利要求1或2所述的半导体装置，
其中所述第一存储电路部设置于层叠在包括所述第一运算电路部的层上的层，
并且所述第二存储电路部设置于层叠在包括所述第二运算电路部的层上的层。
4. 根据权利要求1至3中任一项所述的半导体装置，
其中所述第一运算电路及所述第二运算电路分别独立地进行积和运算处理。
5. 根据权利要求1至4中任一项所述的半导体装置，
其中所述第一存储电路部及所述第二存储电路部各自包括第一晶体管，
并且所述第一晶体管包括在沟道形成区域中包含金属氧化物的半导体层。
6. 根据权利要求5所述的半导体装置，
其中所述金属氧化物包含In、Ga及Zn。
7. 根据权利要求1至6中任一项所述的半导体装置，
其中所述第一运算电路部及所述第二运算电路部各自包括第二晶体管，
并且所述第二晶体管包括在沟道形成区域中包含硅的半导体层。

半导体装置

技术领域

[0001] 本说明书说明半导体装置等。

[0002] 注意,本发明的一个方式不局限于上述技术领域。作为本说明书等所公开的本发明的一个方式的技术领域的例子,可以举出半导体装置、摄像装置、显示装置、发光装置、蓄电装置、存储装置、显示系统、电子设备、照明装置、输入装置、输入输出装置、其驱动方法或者其制造方法。

背景技术

[0003] 具有包括CPU (Central Processing Unit:中央处理器) 等的半导体装置的电子设备已经普及。为了使上述电子设备快速处理大量数据,有关提升半导体装置性能的技术开发日益火热。作为实现高性能化的技术,可以举出使GPU (Graphics Processing Unit:图形处理器) 等加速器与CPU紧密结合的所谓的SoC (System on Chip:系统芯片) 化技术。在通过SoC化实现了高性能化的半导体装置中,有发热及功耗增大的问题。

[0004] 在AI (Artificial Intelligence) 技术中,参数量庞大,所以运算量增大。运算量增大为发热及功耗增大的主要原因,因此人们已在积极提出用来降低运算量的体系结构。作为典型体系结构,可以举出Binary Neural Network (BNN) 及Ternary Neural Network (TNN),它们对缩小电路规模和实现低功耗特别有效(例如参照专利文献1)。

[0005] [先行技术文献]

[0006] [专利文献]

[0007] [专利文献1]国际专利申请公开第2019/078924号

发明内容

[0008] 发明所要解决的技术问题

[0009] 在AI技术中,要求运算处理的高速化。对运算处理的高速化来说,电路的集成化是很有效的。通过使进行权重数据(也称为权重参数、滤波等)与输入数据的运算处理的运算电路以及储存权重数据的存储电路集成化,集成电路可以实现利用AI技术的运算。此时,通过位线等布线将权重数据等所需要的数据从存储电路读出到运算电路。在电连接存储电路与运算电路的路径中,以高频率读出权重数据等数据。由此,位线的充放电能量增加,功耗有可能增大。

[0010] 尤其是,进行卷积运算的神经网络可以具有在多个运算电路中利用相同的权重数据进行运算处理的结构。此时,因为电连接存储电路与运算电路的路径增多,在想要高速地读出权重数据等数据的情况下,有可能难以高速地进行布线的充放电。由此,有可能难以提高运算处理速度。

[0011] 缩短位线能够有效地减少位线的充放电能量。但是,由于交替地配置运算电路和存储电路,所以有可能导致外围电路的面积大幅增大。

[0012] 本发明的一个方式的目的之一是提供一种实现低功耗化的半导体装置。此外,本

发明的一个方式的目的之一是提供一种运算处理速度得到提高的半导体装置。此外，本发明的一个方式的目的之一是提供一种实现小型化的半导体装置。此外，本发明的一个方式的目的之一是提供一种具有新颖结构的半导体装置。

[0013] 注意，本发明的一个方式并不需要实现所有上述目的，只要可以实现至少一个目的即可。此外，上述目的的记载不妨碍其他目的的存在。可以从说明书、权利要求书、附图等的记载显而易见地看出并抽出上述以外的目的。

[0014] 解决技术问题的手段

[0015] 本发明的一个方式是一种半导体装置，包括：包括第一存储电路部及第一运算电路部的第一运算块；包括第二存储电路部及第二运算电路部的第二运算块；第一布线；以及第二布线，其中，第一存储电路部包括保持多个第一权重数据的第一存储电路，第二存储电路部包括保持多个第二权重数据的第二存储电路，第一运算电路部包括第一运算电路、第一切换电路及第三切换电路，第二运算电路部包括第二运算电路、第二切换电路及第四切换电路，第一切换电路具有将多个第一权重数据中的任一个供应到第一布线的功能，第二切换电路具有将多个第二权重数据中的任一个供应到第二布线的功能，第三切换电路具有将供应到第一布线的的第一权重数据和供应到第二布线的的第二权重数据中的任一个供应到第一运算电路的功能，并且，第四切换电路具有将供应到第一布线的的第一权重数据和供应到第二布线的的第二权重数据中的任一个供应到第二运算电路的功能。

[0016] 本发明的一个方式是一种半导体装置，包括：包括第一存储电路部及第一运算电路部的第一运算块；包括第二存储电路部及第二运算电路部的第二运算块；第一布线；以及第二布线，其中，第一存储电路部包括保持多个第一权重数据的第一存储电路，第二存储电路部包括保持多个第二权重数据的第二存储电路，第一运算电路部包括第一运算电路、第一切换电路及第三切换电路，第二运算电路部包括第二运算电路、第二切换电路及第四切换电路，第一切换电路具有将多个第一权重数据中的任一个供应到第一布线的功能，第二切换电路具有将多个第二权重数据中的任一个供应到第二布线的功能，将多个第一权重数据中的任一个供应到第一布线的工作与将多个第二权重数据中的任一个供应到第二布线的工作在不同期间进行，第三切换电路具有将供应到第一布线的的第一权重数据和供应到第二布线的的第二权重数据中的任一个供应到第一运算电路的功能，第四切换电路具有将供应到第一布线的的第一权重数据和供应到第二布线的的第二权重数据中的任一个供应到第二运算电路的功能，并且，将供应到第一布线的的第一权重数据供应到第一运算电路的工作与将供应到第二布线的的第二权重数据供应到第二运算电路的工作在不同期间进行。

[0017] 在本发明的一个方式的半导体装置中，优选的是，第一存储电路部设置于层叠在包括第一运算电路部的层上的层，并且第二存储电路部设置于层叠在包括第二运算电路部的层上的层。

[0018] 在本发明的一个方式的半导体装置中，优选的是，第一运算电路及第二运算电路分别独立地进行积和运算处理。

[0019] 在本发明的一个方式的半导体装置中，优选的是，第一存储电路部及第二存储电路部各自包括第一晶体管，并且第一晶体管包括在沟道形成区域中包含金属氧化物的半导体层。

[0020] 在本发明的一个方式的半导体装置中，优选的是，金属氧化物包含In、Ga及Zn。

[0021] 在本发明的一个方式的半导体装置中,优选的是,第一运算电路部及第二运算电路部各自包括第二晶体管,并且第二晶体管包括在沟道形成区域中包含硅的半导体层。

[0022] 注意,本发明的其他方式被记载于以下说明的实施方式及附图中。

[0023] 发明效果

[0024] 本发明的一个方式可以提供一种实现低功耗化的半导体装置。此外,本发明的一个方式可以提供一种运算处理速度得到提高的半导体装置。此外,本发明的一个方式可以提供一种实现小型化的半导体装置。此外,本发明的一个方式可以提供一种具有新颖结构的半导体装置。

[0025] 多个效果的记载不妨碍彼此的效果的存在。此外,本发明的一个方式并不需要具有所有上述效果。在本发明的一个方式中,上述之外的目的、效果及新颖的特征可从本说明书中的描述及附图自然得知。

附图说明

[0026] 图1A、图1B及图1C是说明半导体装置的结构例子的图。

[0027] 图2A、图2B、图2C及图2D是说明半导体装置的结构例子的图。

[0028] 图3A、图3B及图3C是说明半导体装置的结构例子的图。

[0029] 图4A及图4B是说明半导体装置的结构例子的图。

[0030] 图5A及图5B是说明半导体装置的结构例子的图。

[0031] 图6是说明半导体装置的结构例子的图。

[0032] 图7A及图7B是说明半导体装置的结构例子的图。

[0033] 图8是说明半导体装置的结构例子的图。

[0034] 图9是说明半导体装置的结构例子的图。

[0035] 图10A及图10B是说明半导体装置的结构例子的图。

[0036] 图11A及图11B是说明半导体装置的结构例子的图。

[0037] 图12是说明半导体装置的结构例子的图。

[0038] 图13是说明半导体装置的工作例子的时序图。

[0039] 图14是说明半导体装置的结构例子的图。

[0040] 图15是说明半导体装置的结构例子的图。

[0041] 图16A及图16B是说明半导体装置的结构例子的图。

[0042] 图17是说明运算处理系统的结构例子的图。

[0043] 图18是说明CPU的结构例子的图。

[0044] 图19A及图19B是说明CPU的结构例子的图。

[0045] 图20是示出CPU的工作例子的时序图。

[0046] 图21是示出晶体管的结构例子的图。

[0047] 图22A及图22B是示出晶体管的结构例子的图。

[0048] 图23A及图23B是说明集成电路的结构例子的图。

[0049] 图24A及图24B是说明集成电路的应用例子的图。

[0050] 图25A及图25B是说明集成电路的应用例子的图。

[0051] 图26A、图26B及图26C是说明集成电路的应用例子的图。

[0052] 图27是说明集成电路的应用例子的图。

具体实施方式

[0053] 下面,对实施方式进行说明。注意,本发明的一个实施方式不局限于以下说明,所属技术领域的普通技术人员可以很容易地理解一个事实,就是其方式和详细内容可以在不脱离本发明的宗旨及其范围的条件下被变换为各种各样的形式。因此,本发明的一个方式不应该被解释为仅限定在以下所示的实施方式所记载的内容中。

[0054] 注意,在本说明书等中,“第一”、“第二”、“第三”等序数词是为了避免构成要素的混淆而附加的。因此,该序数词不限制构成要素的个数。此外,该序数词不限制构成要素的顺序。此外,例如,在本说明书等中,一个实施方式中的“第一”所指的构成要素有可能在其他实施方式或权利要求书中被设定为“第二”所指的构成要素。此外,例如,在本说明书等中,一个实施方式中的“第一”所指的构成要素有可能在其他实施方式或权利要求书中被省略。

[0055] 在附图中,有时使用同一符号表示同一要素或具有相同功能的要素、同一材质的要素或同时形成的要素等,并有时省略重复说明。

[0056] 在本说明书中,有时将电源电位VDD简称为电位VDD、VDD等。其他构成要素(例如,信号、电压、电路、元件、电极及布线等)也是同样的。

[0057] 此外,在多个要素使用同一符号并且需要区别它们时,有时对符号附加“_1”,“_2”, “[n]”, “[m,n]”等用于识别的符号。例如,将第二布线GL表示为布线GL[2]。

[0058] (实施方式1)

[0059] 将说明本发明的一个方式的半导体装置的结构及工作等。

[0060] 在本说明书等中,半导体装置是指能够通过利用半导体特性而工作的所有装置。除了晶体管等的半导体元件之外,半导体电路、运算装置或存储装置也是半导体装置的一个方式。显示装置(液晶显示装置、发光显示装置等)、投影装置、照明装置、电光装置、蓄电装置、存储装置、半导体电路、摄像装置以及电子设备等有时可以说是包括半导体装置。

[0061] 图1A是说明本发明的一个方式的半导体装置10的图。此外,图1B、图1C是说明半导体装置10所包括的运算块的结构例子的图。

[0062] 半导体装置10具有执行从主程序中调用出来的程序(也称为内核或内核程序)的作为加速器的功能。半导体装置10例如可以进行图形处理中的行列运算的并行处理、神经网络的积和运算的并行处理、科学技术计算中的浮点数运算的并行处理等。

[0063] 如图1A所示,半导体装置10包括多个运算块21。运算块21包括存储电路部30(也称为存储单元阵列)及运算电路部40。如图1A所示,存储电路部30及运算电路部40设置在大致垂直于图中的xy平面方向(图1A中的z方向)上不同的层中。就是说,存储电路部30及运算电路部40层叠地设置。

[0064] 注意,“大致垂直”是指以85°以上且95°以下的角度配置的状态。在本说明书中,图1A等所示的X方向、Y方向以及Z方向是彼此正交或交叉的方向。此外,X方向及Y方向平行于或大致平行于衬底表面,Z方向垂直于或大致垂直于衬底表面。

[0065] 图1A所示的多个运算块大致分为工作及连接关系不同的两个以上的块。注意,在本说明书等中,虽然说明将多个运算块分为第奇数个运算块部20_0与第偶数个运算块部

20_E的情况,但是也可以采用将多个运算块分为三个以上的块的结构。有时将运算块部20_0中的运算块称为运算块21_0。有时将运算块部20_E中的运算块称为运算块21_E。

[0066] 运算块21_0及运算块21_E如图1B及图1C所示那样各自包括存储电路部30及运算电路部40。注意,关于运算块21_0与运算块21_E的相同部分,可以适当地参照运算块21_0所示的结构对运算块21_E所示的结构进行说明,反之亦然。

[0067] 存储电路部30包括多个存储电路31。存储电路部30有时被称为存储单元阵列,存储电路31有时被称为存储单元。存储电路31的数据的写入及读出由驱动电路12、驱动电路13控制。驱动电路12、驱动电路13也被称为数据控制电路。

[0068] 存储电路部30所包括的存储电路31包括在沟道形成区域中包含氧化物半导体的晶体管(0S晶体管)。存储电路31所储存(保持)的数据是对应于神经网络的积和运算处理所使用的权重参数的数据(权重数据)。通过将权重数据为数字数据,可以实现抗噪声性能强、可进行高速运算的半导体装置。另外,权重数据也可以为模拟数据。

[0069] 注意,作为权重数据,既可以利用1位数据(即,‘1’或‘0’的数据)进行运算处理,又可以利用多位数据进行运算处理。当利用多位(例如,n位)数据时,使用与位数对应的个数的布线供应权重数据即可。

[0070] 存储电路部30所包括的存储电路31可以具有NOSRAM的电路结构。“NOSRAM(注册商标)”是“Nonvolatile Oxide Semiconductor RAM”的简称。NOSRAM是指存储单元为两个晶体管型(2T)或三个晶体管型(3T)增益单元且存取晶体管为0S晶体管的存储器。

[0071] OS晶体管在关闭状态下流过源极与漏极间的电流,即,泄漏电流极小。NOSRAM可以通过利用泄漏电流极小这一特性将对应于数据的电荷保持在存储电路内而被用作非易失性存储器。尤其是,NOSRAM能够以不破坏所保持的数据的方式进行读出(非破坏读出),因此适用于反复进行多次数据读出工作的神经网络的积和运算的并行处理。

[0072] 存储电路31优选使用NOSRAM或DOSRAM这样的包括OS晶体管的存储器(以下也称为OS存储器)。用作氧化物半导体的金属氧化物带隙为2.5eV以上,所以OS晶体管具有极小的关态电流(off-state current)。作为一个例子,可以将源极与漏极间的电压为3.5V且室温(25℃)下的每沟道宽度1μm的关态电流设定为低于 1×10^{-20} A,优选低于 1×10^{-22} A,更优选低于 1×10^{-24} A。因此,在OS存储器中,通过OS晶体管从保持节点泄漏的电荷量极少。由此,OS存储器可以被用作非易失性存储电路,所以可以进行半导体装置10的电源门控。

[0073] 晶体管以高密度被集成的半导体装置有时由于电路驱动而发热。由于该发热而晶体管的温度增高,因此该晶体管的特性发生变化,这有可能导致场效应迁移率的变化或工作频率的下降等。OS晶体管的耐热性比Si晶体管高,因此不易发生温度变化所导致的场效应迁移率的变化,并且不易发生工作频率的下降。再者,在OS晶体管中,即使温度增高,也容易维持漏极电流相对于栅极-源极间电压呈指数增大的特性。因此,通过使用OS晶体管,可以在高温环境下稳定工作。

[0074] 作为应用于OS晶体管的金属氧化物,有Zn氧化物、Zn-Sn氧化物、Ga-Sn氧化物、In-Ga氧化物、In-Zn氧化物及In-M-Zn氧化物(M为Ti、Ga、Y、Zr、La、Ce、Nd、Sn或Hf)等。尤其是在将使用Ga作为M的金属氧化物用于OS晶体管的情况下,优选调整元素比例,由此可以形成场效应迁移率等电特性优良的晶体管。此外,包含铟和锌的氧化物也可以还包含选自铝、镓、铋、铜、钋、铍、硼、硅、钛、铁、镍、锗、钼、镧、铈、铈、铈、铈和镁等中的一种或多种。

[0075] 为了提高OS晶体管的可靠性、电特性,用于半导体层的金属氧化物优选为CAAC-OS、CAC-OS、nc-OS等的具有结晶部的金属氧化物。CAAC-OS是c-axis-aligned crystalline oxide semiconductor的简称。CAC-OS是Cloud-Aligned Composite oxide semiconductor的简称。nc-OS是nanocrystalline oxide semiconductor的简称。

[0076] CAAC-OS具有c轴取向性,其多个纳米晶在a-b面方向上连结而结晶结构具有畸变。注意,畸变是指在多个纳米晶连结的区域中晶格排列一致的区域与其他晶格排列一致的区域之间的晶格排列的方向变化的部分。

[0077] CAC-OS具有使成为载流子的电子(或空穴)流过的功能以及不使成为载流子的电子流过的功能。通过分离使电子流过的功能和不使电子流过的功能,可以最大限度地提高双方的功能。换言之,通过将CAC-OS用于OS晶体管的沟道形成区域,可以实现高通态电流及极低关态电流的双方。

[0078] 因为金属氧化物的带隙大,电子不容易被激发,空穴的有效质量大,所以OS晶体管与一般的Si晶体管相比有时不容易发生雪崩击穿等。因此,例如有时可以抑制起因于雪崩击穿的热载流子劣化等。通过能够抑制热载流子劣化,可以以高漏极电压驱动OS晶体管。

[0079] OS晶体管是以电子为多数载流子的积累型晶体管。由此,该OS晶体管与具有pn结的反转型晶体管(典型的是,Si晶体管)相比作为短沟道效应之一的DIBL(Drain-Induced Barrier Lowering,漏极导致的势垒降低)的影响小。换言之,与Si晶体管相比,OS晶体管对短沟道效应具有高耐性。

[0080] 由于OS晶体管对短沟道效应具有高耐性,可以缩小其沟道长度而不降低其可靠性,因此通过使用OS晶体管,可以提高电路的集成度。漏极电场随沟道长度的微型化而变强,但如上所述,OS晶体管与Si晶体管相比不容易发生雪崩击穿。

[0081] 此外,OS晶体管的抗短沟道效应能力强,所以与Si晶体管相比可以增加栅极绝缘膜的厚度。例如,即使是沟道长度及沟道宽度为50nm以下的微型晶体管,有时也可以设置10nm左右的较厚的栅极绝缘膜。通过增加栅极绝缘膜的厚度可以降低寄生电容,所以可以提高电路的工作速度。此外,通过增加栅极绝缘膜的厚度,可以减少经过栅极绝缘膜的泄漏电流,所以可以降低静态功耗。

[0082] 如此,通过使半导体装置10包括作为OS存储器的存储电路31,在电源电压停止供应的情况下也可以保持数据。因此,可以进行半导体装置10的电源门控,可以实现功耗的大幅度的降低。

[0083] 注意,有时将运算块21_0的存储电路部30称为第一存储电路部。此外,有时将运算块21_E的存储电路部30称为第二存储电路部。此外,有时将运算块21_0的存储电路部30的存储电路31称为第一存储电路。此外,有时将运算块21_E的存储电路部30的存储电路31称为第二存储电路。此外,有时将运算块21_0的存储电路部30的存储电路31所储存的权重数据称为第一权重数据。此外,有时将运算块21_E的存储电路部30的存储电路31所储存的权重数据称为第二权重数据。第一权重数据是与第二权重数据不同的权重数据。

[0084] 包括运算电路部40的层具有锁存电路41、切换电路42、缓冲电路43_0(43_E)、切换电路44、运算电路45。运算电路部40中的数据的输入输出等的控制及处理被控制电路14、处理电路15控制。将控制电路14、处理电路15称为运算控制电路、运算处理电路或运算电路。

[0085] 锁存电路41、切换电路42、缓冲电路43_0(43_E)、切换电路44、运算电路45的各电

路优选由在沟道形成区域中包含硅的晶体管(Si晶体管)构成。通过采用该结构,可以高速地进行连接状态的切换及运算处理。

[0086] 另外,锁存电路41、切换电路42、缓冲电路43_0(43_E)、切换电路44、运算电路45的各电路通过使用Si晶体管可以与0S晶体管层叠地设置。就是说,由0S晶体管构成的存储电路部30可以与可由Si晶体管构成的运算电路部40层叠而设置。由此,可以不引起电路面积的增加的方式增加可以配置存储电路部30的面积。与存储电路部30及运算电路部40配置在同一层上的情况相比,在设置存储电路部30的区域位于设置有运算电路部40的衬底上时,可以增大用作加速器的半导体装置10进行运算处理时所需的存储容量。通过增大存储容量,可以减少从外部存储装置向半导体装置传送运算处理所需的数据的次数,由此可以实现低功耗化。

[0087] 锁存电路41具有保持多个权重数据的功能,该多个权重数据通过与存储电路部30的存储电路31连接的布线(也称为局部位线、读出位线)被读出。注意,可以根据需要省略锁存电路41。

[0088] 为了从存储电路部30高速地向锁存电路41读出权重数据,优选缩短与存储电路部30的存储电路31连接的布线。另外,为了减少伴随充放电的消耗能量,优选缩短与存储电路部30的存储电路31连接的布线。通过拉近包括锁存电路41的运算电路部40与储存权重数据的存储电路部30的物理性距离,例如,层叠以缩短布线距离,可以减少产生在信号线上的寄生电容,由此可以实现低功耗化。

[0089] 切换电路42选择锁存电路41所保持的多个权重数据中的任一个并将其输出到缓冲电路43_0(43_E)。切换电路42被用作复用器。切换电路42具有选择多个输入信号中的一个的功能。控制切换电路42的控制信号1sel在运算块21_0的运算电路部40中为控制信号1sel_0,在运算块21_E的运算电路部40中为控制信号1sel_E,可以分别进行控制。注意,有时将运算块21_0的运算电路部40的切换电路42称为第一切换电路。另外,有时将运算块21_E的运算电路部40的切换电路42称为第三切换电路。

[0090] 在运算块21_0的运算电路部40中,缓冲电路43_0将被切换电路42选择的权重数据传送到布线WOL。在运算块21_E的运算电路部40中,缓冲电路43_E将被切换电路42选择的权重数据传送到布线WEL。缓冲电路43_0、43_E被用作三态缓冲电路。缓冲电路43_0及43_E分别被控制信号gsel_0及gsel_E控制。

[0091] 布线WOL具有传送运算块部20_0的运算块21_0中的存储电路部30所储存的权重数据(W_0)的功能。此外,布线WEL具有传送运算块部20_E的运算块21_E中的存储电路部30所储存的权重数据(W_E)的功能。通过布线WOL及布线WEL传送的权重数据通过切换电路44传送到运算块21_0及运算块21_E各自包括的运算电路45。注意,有时将布线WOL称为第一布线。此外,有时将布线WEL称为第二布线。注意,布线WOL、WEL为根据多个运算块部的块数配置的布线,有可能为三个以上的布线。

[0092] 切换电路44选择传送到布线WOL或布线WEL的权重数据中的任一个并将其输出到运算电路45。切换电路44被用作复用器。控制切换电路44的控制信号wsel可以在运算块21_0的运算电路部40与运算块21_E的运算电路部40之间进行相同的控制。注意,有时将运算块21_0的运算电路部40的切换电路44称为第二切换电路。另外,有时将运算块21_E的运算电路部40的切换电路44称为第四切换电路。

[0093] 运算电路45具有进行积和运算等运算处理的功能。运算电路45进行从控制电路14输入的输入数据与从切换电路44供应的权重数据的积和运算处理。输入数据及权重数据优选为数字数据。数字数据不容易受到噪声的影响。因此,运算电路45适合进行被要求高精度运算结果的运算处理。注意,有时将运算块21_0的运算电路部40的运算电路45称为第一运算电路。另外,有时将运算块21_E的运算电路部40的运算电路45称为第二运算电路。运算电路45也可以除了积和运算等运算处理以外还进行激活函数运算、量子化运算、池化运算等。

[0094] 接着,说明图1A至图1C所示的半导体装置10的工作例子。图2A以虚线箭头示意性地示出如下状态:在可用作运算块21_0、21_E的运算块21的结构中,从存储电路31读出的权重数据(权重数据 W_0 或 W_E ,在附图中表示为 W_0/W_E)经过可用作缓冲电路43_0或43_E的缓冲电路43、布线WOL、WEL、切换电路44供应到运算电路45。运算电路45输出输出数据MAC,该输出数据MAC通过输入数据A与权重数据 W_0/W_E 的积和运算处理来输出。在附图中表示为 W_0 (0表示奇数)、 W_{01} 等的权重数据相当于上述第一权重数据。另外,在附图中表示为 W_E (E表示偶数)、 W_{E1} 等的权重数据相当于上述第二权重数据。

[0095] 当如图2A所示那样示意性地示出权重数据时,运算块部20_0的运算块21_0中的运算电路部40可以如图2B所示那样简单地表示。图2B示出从存储电路部30(未图示)读出的权重数据 W_0 经过缓冲电路43_0供应到布线WOL的状态。此外,图2B示出被切换电路44选择供应到布线WOL的权重数据 W_0 和供应到布线WEL的权重数据 W_E 中的任一个权重数据(附图中的 W_0/W_E)并将其供应到运算电路45(未图示)的状态。

[0096] 与图2B同样,运算块部20_E的运算块21_E中的运算电路部40可以如图2C所示那样简单地表示。图2C示出从存储电路部30(未图示)读出的权重数据 W_E 经过缓冲电路43_E供应到布线WEL的状态。此外,图2C示出被切换电路44选择供应到布线WOL的权重数据 W_0 和供应到布线WEL的权重数据 W_E 中的任一个权重数据(附图中的 W_0/W_E)并将其供应到运算电路45(未图示)的状态。

[0097] 图2D是组合图2B及图2C所示的运算块部20_0的运算电路部40与运算块部20_E的运算电路部40的示意图。图2D示出从存储电路部30(未图示)读出到运算块部20_0的运算电路部40的每一个的权重数据 W_{01} 至 W_{0N} (N为自然数)。此外,图2D示出从存储电路部30(未图示)读出到运算块部20_E的运算电路部40的每一个的权重数据 W_{E1} 至 W_{EN} 。运算块部20_0及运算块部20_E所包括的与运算电路部40对应的存储电路部30(未图示)具有保持不同的权重数据并将所选择的权重数据(附图中的 W_0/W_E)输出到运算电路45(未图示)的结构。

[0098] 注意,虽然图2B、图2C示出在切换电路44中切换输出权重数据 W_0/W_E 的结构,但是也可以采用其他结构。例如,如图3A、图3B中的运算电路部40(运算块21_0、运算块21_E)所示,也可以采用不经过缓冲电路43_E(缓冲电路43_0)地向切换电路44输出权重数据 W_{FC} 的结构。通过采用图3A、图3B的结构,切换电路44可以将所选择的权重数据(附图中的 $W_0/W_E/W_{FC}$)输出到运算电路45(未图示)。

[0099] 权重数据 W_{FC} 是用于进行卷积运算的神经网络中的全连接运算的权重数据。在全连接运算中,按每个运算电路使用不同的权重数据。当将不同的权重数据 W_{FC} 称为权重数据 W_{FC1} 至权重数据 W_{FCN} (N为2以上的自然数)时,如图3C所示,可以由切换电路44按每个运算电路部40选择不同的权重数据 W_{FC1} 至权重数据 W_{FCN} 并将其输出到运算电路45(未图示)。

[0100] 通过采用图3A至图3C的结构,可以由切换电路44切换被多个运算电路共同使用权

重数据 W_0/W_E 或者按每个运算电路部40使用不同的权重数据 W_{FC} 而在运算电路中进行运算。因此,可以将进行卷积运算的神经网络中的卷积运算和全连接运算所需要的权重数据读出到所需要的运算电路附近。

[0101] 接着,参照图4A、图4B、图5A、图5B说明图2D所例示的运算块21_0和21_E的工作。

[0102] 说明图4A的工作。图4A以虚线箭头示意性地示出如下状态:从与属于第奇数个运算块部20_0的运算电路部40_01对应的存储电路部选择并读出权重数据 W_{01} ,将布线WOL充放电到与权重数据 W_{01} 对应的电位。注意,图4A相当于运算开始之前的初始工作,此时布线WOL与运算电路45的连接被切换电路44遮断。因此,布线WOL的充放电工作不限制运算电路45的运算工作速度。注意,优选的是,切换电路44的输出通过连接布线WEL与运算电路45或者供应其他固定电位(H电位或L电位)等来避免处于不定状态。

[0103] 说明图4B的工作。在图4B中,由第奇数个运算块部20_0及第偶数个运算块部20_E的运算电路部40的切换电路44使布线WOL与运算电路45之间的连接处于导通状态,由此向运算电路45供应权重数据 W_{01} 。因为在之前的工作中布线WOL的充电结束了,所以即便运算电路部40_01所包括的缓冲电路43_0的电荷供应能力较小也不限制运算电路45的运算工作速度。

[0104] 另外,在图4B的工作中,从与属于第偶数个运算块部20_E的运算电路部40_E1对应的存储电路部选择并读出权重数据 W_{E1} ,将布线WEL充放电到与权重数据 W_{E1} 对应的电位。此时,布线WEL与运算电路45的连接被切换电路44遮断,由切换电路44连接布线WOL与运算电路45。通过进行上述驱动,布线WEL的充放电工作不限制运算电路45的运算工作速度。

[0105] 说明图5A的工作。在图5A中,由第奇数个运算块部20_0及第偶数个运算块部20_E的运算电路部40的切换电路44使布线WEL与运算电路45之间的连接处于导通状态,由此向运算电路45供应权重数据 W_{E1} 。因为在之前的工作中布线WEL的充电结束了,所以即便运算电路部40_E1所包括的缓冲电路43_E的电荷供应能力较小也不限制运算电路45的运算工作速度。

[0106] 另外,在图5A的工作中,从与属于第奇数个运算块部20_0的运算电路部40_02对应的存储电路部选择并读出权重数据 W_{02} ,将布线WOL充放电到与权重数据 W_{02} 对应的电位。此时,布线WOL与运算电路45的连接被切换电路44遮断,由切换电路44连接布线WEL与运算电路45。通过进行上述驱动,布线WOL的充放电工作不限制运算电路45的运算工作速度。

[0107] 说明图5B的工作。在图5B中,由第奇数个运算块部20_0及第偶数个运算块部20_E的运算电路部40的切换电路44使布线WOL与运算电路45之间的连接处于导通状态,由此向运算电路45供应权重数据 W_{02} 。因为在之前的工作中布线WOL的充电结束了,所以即便运算电路部40_02所包括的缓冲电路43_0的电荷供应能力较小也不限制运算电路45的运算工作速度。

[0108] 另外,在图5B的工作中,从与属于第偶数个运算块部20_E的运算电路部40_E2对应的存储电路部选择并读出权重数据 W_{E2} ,将布线WEL充放电到与权重数据 W_{E2} 对应的电位。此时,布线WEL与运算电路45的连接被切换电路44遮断,由切换电路44连接布线WOL与运算电路45。通过进行上述驱动,布线WEL的充放电工作不限制运算电路45的运算工作速度。

[0109] 之后,如图4A、图4B、图5A、图5B所说明,在第奇数个运算块部20_0和第偶数个运算块部20_E中交替进行布线WOL或WEL的充放电以及将充放电到布线WOL或WEL的权重数据供

应到运算电路45。如上所述,在本发明的一个方式的结构中,布线WOL、WEL的充放电工作不限运算电路45的运算工作速度,由此可以提高运算的工作速度。

[0110] 在以上已说明的本发明的一个方式的半导体装置10的结构中,即使是在对缓冲电路的电荷供应能力有限制的情况下,例如在对缓冲电路的面积有限制的情况下,也可以高速地进行布线的充电。另一方面,如图6所示,在从运算电路部40的缓冲电路43以不切换工作的方式通过布线WL向运算电路45供应权重数据W的情况下,有可能布线WL的与权重数据对应的电位的变化需要很多时间,从而运算处理速度不充分快。在实现了布线WOL或WEL的充电的高速化的本发明的一个方式中,半导体装置可以提高运算处理速度。

[0111] 图7A是在图1B所示的运算块21_0中层叠存储电路部30和运算电路部40时的示意图。存储电路部30与运算电路部40通过布线LBL连接。在图7A的结构中,可以增大存储电路部的面积而不增大电路面积。其结果,可以将庞大数量的权重数据保持在存储电路部中而减少从外部的存储器传输权重数据的次数,从而可以实现低功耗化。此外,可以实现半导体装置的小型化。

[0112] 图7B是用来说明适合于图7A所示的运算块21_0中的存储电路部30、运算电路部40的晶体管的图。另外,该晶体管可以用于运算块21_E中的存储电路部30、运算电路部40。

[0113] 存储电路部30包括存储电路31。存储电路31包括晶体管51。晶体管51所包括的半导体层52采用氧化物半导体(金属氧化物),由此可以形成上述由OS晶体管构成的存储电路31。

[0114] 运算电路部40包括锁存电路41、切换电路42、缓冲电路43_0、切换电路44、运算电路45。运算电路部40所包括的各电路包括晶体管53。晶体管53所包括的半导体层54采用硅,由此可以形成上述由Si晶体管构成的运算电路部40所包括的各电路。

[0115] 与存储电路部30及运算电路部40配置在同一层上的情况相比,在设置存储电路部30的区域位于设置有运算电路部40的衬底上时,可以增大用作加速器的半导体装置10进行运算处理时所需的存储容量,就是说,可以增加存储电路的个数。通过增大存储容量,可以减少外部存储装置向半导体装置传送运算处理所需的数据的次数,由此可以实现低功耗化。

[0116] 当存储电路部30与运算电路部40为不同芯片时,总线宽度受限于芯片的引脚数。另一方面,如本发明的一个方式的结构所示,在存储电路部30与运算电路部40层叠的结构中,可以根据设置布线LBL的开口增加运算处理所需的数据的并行数量,从而可以进行高效的运算处理。

[0117] 注意,在使用多个运算块的情况下,如图8所示,沿着布线WOL、WEL设置运算块21_0、21_E。通过具有该结构,可以缩短布线WOL、WEL与运算块21_0、21_E之间的距离,由此可以实现半导体装置的小型化、低功耗化。

[0118] 接着,参照图9对示出整个运算处理系统100的方框图进行说明,该运算处理系统100包括用作AI加速器的半导体装置10。

[0119] 在图9中,除了包括多个图1A中说明的半导体装置10的加速器部130之外,还示出CPU110及总线120。CPU110包括CPU核心200及备份电路222。除了多个半导体装置10以外,加速器部130还包括用来控制半导体装置10间的数据的输入输出的控制部131。

[0120] CPU110具有进行通用处理的功能,例如执行操作系统、控制数据、执行各种运算或

程序等。CPU110包括CPU核心200。CPU核心200相当于一个或多个CPU核心。此外，CPU110包括即使电源电压停止供应也能够保持CPU核心200内的数据的备份电路222。通过使用电源开关等电离开电源域，可以控制电源电压的供应。此外，电源电压有时被称为驱动电压。例如，备份电路222优选为包括0S晶体管的0S存储器。

[0121] 由0S晶体管构成的备份电路222可以与可由Si晶体管构成的CPU核心200层叠而设置。备份电路222的面积小于CPU核心200的面积，因此可以以不引起电路面积的增加的方式将备份电路222配置在CPU核心200上。备份电路222具有保持CPU核心200所具有的寄存器的数据的功能。备份电路222也被称为数据保持电路。关于包括具有0S晶体管的备份电路222的CPU核心200的详细结构将在实施方式3中也叙述。

[0122] 控制部131的内部有SRAM等存储电路。控制部131将在多个半导体装置10中获得的输出数据MAC保持在存储电路中。然后，将存储电路所保持的输出数据MAC输出到多个半导体装置。通过采用该结构，可以利用多个半导体装置进行并行数多的并行计算。

[0123] 总线120电连接CPU110和加速器部130。就是说，CPU110与半导体装置10能够通过总线120进行数据传送。

[0124] 图10A是说明可以应用于本发明的半导体装置10中的存储电路部30的电路结构例子的图。图10A示出M行N列(M、N为2以上的自然数)的行列方向上排列而配置的写入用字线WWL_1至WWL_M、读出用字线RWL_1至RWL_M、写入用位线WBL_1至WBL_N及布线LBL_1至LBL_N。此外，还示出与各字线及位线连接的存储电路31。

[0125] 图10B是说明可以应用于存储电路31的电路结构例子的图。存储电路31包括晶体管61、晶体管62、晶体管63及电容元件64(也称为电容器)。

[0126] 晶体管61的源极和漏极中的一个与写入用位线WBL连接。晶体管61的栅极与写入用字线WWL连接。晶体管61的源极和漏极中的另一个与电容元件64的一个电极及晶体管62的栅极连接。晶体管62的源极和漏极中的一个及电容元件64的另一个电极与供应诸如接地电位等恒定电位的布线连接。晶体管62的源极和漏极中的另一个与晶体管63的源极和漏极中的一个连接。晶体管63的栅极与读出用字线RWL连接。晶体管63的源极和漏极中的另一个与布线LBL连接。布线LBL通过以延伸在大致垂直于设置有运算电路部40的Si晶体管的衬底表面的方向上的方式设置的布线与运算电路部40所包括的锁存电路41(未图示)连接。

[0127] 图10B所示的存储电路31的电路结构相当于三个晶体管型(3T)增益单元的NOSRAM。晶体管61至晶体管63是0S晶体管。0S晶体管在关闭状态下流过源极与漏极间的电流，即，泄漏电流极小。NOSRAM可以通过利用泄漏电流极小这一特性将对应于数据的电荷保持在存储电路内而被用作非易失性存储器。

[0128] 可应用于图10A中的存储电路31的电路结构不局限于图10B的3T型NOSRAM。例如，也可以是图11A所示的相当于2T型NOSRAM的电路。图11A示出包括晶体管61B、晶体管62B及电容元件64B的存储电路31A。晶体管61B及晶体管62B都是0S晶体管。晶体管61B及晶体管62B可以是半导体层配置在不同层上的0S晶体管，也可以是半导体层配置在同一层上的0S晶体管。图11A示出存储电路31A与写入用位线WBL、用作读出用位线的布线LBL、写入用字线WWL、读出用字线RWL、源极线SL及背栅极线BGL连接的例子。

[0129] 可应用于图10A中的存储电路31的电路结构也可以是图11B所示的组合3T型NOSRAM的电路。图11B示出包括可以保持逻辑不同的数据的存储电路31_P及存储电路31_N

的存储电路31B。图11B示出包括晶体管61_P、晶体管62_P、晶体管63_P及电容元件64_P的存储电路31_P以及包括晶体管61_N、晶体管62_N、晶体管63_N及电容元件64_N的存储电路31_N。存储电路31_P及存储电路31_N所包括的各晶体管都是0S晶体管。存储电路31_P及存储电路31_N所包括的各晶体管可以是半导体层配置在不同层上的0S晶体管,也可以是半导体层配置在同一层上的0S晶体管。图11B示出存储电路31B与写入用位线WBL_P、布线LBL_P、写入用位线WBL_N、布线LBL_N、写入用字线WWL、读出用字线RWL连接的例子。存储电路31B可以保持逻辑不同的数据,将逻辑不同的数据读出到布线LBL_P及布线LBL_N。

[0130] 图12是说明切换电路42、缓冲电路43(43_0、43_E)、切换电路44的工作的图。在图12中,为了容易理解,说明半导体装置包括四个运算块的情况。在图12中,作为四个运算块的结构,例示出存储电路部30_1至30_4、运算电路部40_1至40_4。存储电路部30_1与运算电路部40_1的组合及存储电路部30_3与运算电路部40_3的组合相当于第奇数个运算块部的结构。存储电路部30_2与运算电路部40_2的组合及存储电路部30_4与运算电路部40_4的组合相当于第偶数个运算块部的结构。

[0131] 存储电路部30_1包括与布线LBL_11至LBL_1N连接的存储电路31。存储电路部30_1保持权重数据 W_{11} 至 W_{1N} 。存储电路部30_2包括与布线LBL_21至LBL_2N连接的存储电路31。存储电路部30_2保持权重数据 W_{21} 至 W_{2N} 。存储电路部30_3包括与布线LBL_31至LBL_3N连接的存储电路31。存储电路部30_3保持权重数据 W_{31} 至 W_{3N} 。存储电路部30_4包括与布线LBL_41至LBL_4N连接的存储电路31。存储电路部30_4保持权重数据 W_{41} 至 W_{4N} 。

[0132] 在图12中,布线LBL_11至LBL_1N、布线LBL_21至LBL_2N、布线LBL_31至LBL_3N及布线LBL_41至LBL_4N所示的布线 LBL_p 相当于连接上层的存储电路部与下层的运算电路部且在垂直方向上延伸的布线。布线 LBL_p 比在水平方向上延伸的布线短。因此,可以减小布线LBL_11至LBL_1N、布线LBL_21至LBL_2N、布线LBL_31至LBL_3N及布线LBL_41至LBL_4N的寄生电容及布线的充放电所需要的电荷,并且可以实现低功耗化及运算效率的提高。此外,可以将权重数据从存储电路31高速地读出到锁存电路。

[0133] 运算电路部40_1包括锁存电路41_1、切换电路42_1、缓冲电路43_1、切换电路44_1、运算电路45_1。锁存电路41_1保持通过布线LBL_11至LBL_1N从存储电路部30_1所包括的存储电路31读出的权重数据 W_{11} 至 W_{1N} 。切换电路42_1被控制信号 $lse1_0$ 控制。缓冲电路43_1被控制信号 $gse1_01$ 控制。切换电路44_1被控制信号 $wse1$ 控制。运算电路45_1通过输入数据 A_1 与切换电路44_1所选择的权重数据的积和运算来进行运算处理,并输出输出数据MAC1。

[0134] 运算电路部40_2包括锁存电路41_2、切换电路42_2、缓冲电路43_2、切换电路44_2、运算电路45_2。锁存电路41_2保持通过布线LBL_21至LBL_2N从存储电路部30_2所包括的存储电路31读出的权重数据 W_{21} 至 W_{2N} 。切换电路42_2被控制信号 $lse1_E$ 控制。缓冲电路43_2被控制信号 $gse1_E1$ 控制。切换电路44_2被控制信号 $wse1$ 控制。运算电路45_2通过输入数据 A_2 与切换电路44_2所选择的权重数据的积和运算来进行运算处理,并输出输出数据MAC2。

[0135] 运算电路部40_3包括锁存电路41_3、切换电路42_3、缓冲电路43_3、切换电路44_3、运算电路45_3。锁存电路41_3保持通过布线LBL_31至LBL_3N从存储电路部30_3所包括的存储电路31读出的权重数据 W_{31} 至 W_{3N} 。切换电路42_3被控制信号 $lse1_0$ 控制。缓冲电路43_3被控制信号 $gse1_02$ 控制。切换电路44_3被控制信号 $wse1$ 控制。运算电路45_3通过输入数据 A_3 与切换电路44_3所选择的权重数据的积和运算来进行运算处理,并输出输出数据MAC3。

[0136] 运算电路部40_4包括锁存电路41_4、切换电路42_4、缓冲电路43_4、切换电路44_4、运算电路45_4。锁存电路41_4保持通过布线LBL_41至LBL_4N从存储电路部30_4所包括的存储电路31读出的权重数据 W_{41} 至 W_{4N} 。切换电路42_4被控制信号lse1_E控制。缓冲电路43_4被控制信号gse1_E2控制。切换电路44_4被控制信号wse1控制。运算电路45_4通过输入数据 A_4 与切换电路44_4所选择的权重数据的积和运算来进行运算处理,并输出输出数据MAC4。

[0137] 图13示出用于说明图12所说明的各结构的工作的时序图。在运算电路45中,对应时钟信号CLK的切换工作(toggle operation)(例如,时刻T0至T6)供应权重数据,对该权重数据与输入数据 A_1 至 A_4 进行运算处理。通过采用提高时钟信号CLK的频率的结构,可以实现运算处理的高速化。

[0138] 当输入数据 A_{1N} 对应时钟信号CLK高速切换时,需要高速切换供应权重数据的布线WOL、WEL的数据。

[0139] 通过布线LBL_11至LBL_1N、布线LBL_21至LBL_2N、布线LBL_31至LBL_3N、布线LBL_41至LBL_4N将权重数据 W_{11} 至 W_{1N} 、权重数据 W_{21} 至 W_{2N} 、权重数据 W_{31} 至 W_{3N} 、权重数据 W_{41} 至 W_{4N} 保持在锁存电路41_1至41_4中。关于从时刻T0起进行的权重数据 W_{11} 至 W_{1N} 、权重数据 W_{21} 至 W_{2N} 、权重数据 W_{31} 至 W_{3N} 、权重数据 W_{41} 至 W_{4N} 的读出,可以在各存储电路部中同时或依次进行。

[0140] 在时刻T1,由控制信号lse1_0从锁存电路41_1、41_3选择权重数据 W_{11} 、权重数据 W_{31} 。将控制信号gse1_01设定为H电平,将与切换电路42_1所选择的权重数据 W_{11} 对应的电位充电到布线WOL。如上所述,此时的布线WOL的充电可以高速地进行。

[0141] 在时刻T2,由控制信号lse1_E从锁存电路41_2、41_4选择权重数据 W_{21} 、权重数据 W_{41} 。将控制信号gse1_E1设定为H电平,将与切换电路42_2所选择的权重数据 W_{21} 对应的电位充电到布线WEL。如上所述,此时的布线WEL的充电可以高速地进行。另外,在时刻T2,由供应到切换电路44_1至44_4的控制信号wse1切换在上述时刻T1已充电的布线WOL的与权重数据 W_{11} 对应的电位,将其供应到运算电路45_1至45_4。在运算电路45_1至45_4中,根据相同的权重数据 W_{11} 进行积和运算处理,由此进行输出数据MAC1至MAC4的运算。

[0142] 在时刻T3,将控制信号gse1_02设定为H电平,将与切换电路42_3所选择的权重数据 W_{31} 对应的电位充电到布线WOL。如上所述,此时的布线WOL的充电可以高速地进行。另外,在时刻T3,由供应到切换电路44_1至44_4的控制信号wse1切换在上述时刻T2已充电的布线WEL的与权重数据 W_{21} 对应的电位,将其供应到运算电路45_1至45_4。在运算电路45_1至45_4中,根据相同的权重数据 W_{21} 进行积和运算处理,由此进行输出数据MAC1至MAC4的运算。

[0143] 在时刻T4,将控制信号gse1_E2设定为H电平,将与切换电路42_4所选择的权重数据 W_{41} 对应的电位充电到布线WEL。如上所述,此时的布线WEL的充电可以高速地进行。另外,在时刻T4,由供应到切换电路44_1至44_4的控制信号wse1切换在上述时刻T3已充电的布线WOL的与权重数据 W_{31} 对应的电位,将其供应到运算电路45_1至45_4。在运算电路45_1至45_4中,根据相同的权重数据 W_{31} 进行积和运算处理,由此进行输出数据MAC1至MAC4的运算。

[0144] 在时刻T5,由控制信号lse1_0从锁存电路41_1、41_3选择权重数据 W_{12} 、权重数据 W_{32} 。将控制信号gse1_01设定为H电平,将与切换电路42_1所选择的权重数据 W_{12} 对应的电位充电到布线WOL。如上所述,此时的布线WOL的充电可以高速地进行。另外,在时刻T5,由供应到切换电路44_1至44_4的控制信号wse1切换在上述时刻T4已充电的布线WEL的与权重数据 W_{41} 对应的电位,将其供应到运算电路45_1至45_4。在运算电路45_1至45_4中,根据相同的权

重数据 W_{41} 进行积和运算处理,由此进行输出数据MAC1至MAC4的运算。

[0145] 在时刻T6,由控制信号lsel_E从锁存电路41_2、41_4选择权重数据 W_{22} 、权重数据 W_{42} 。将控制信号gsel_E1设定为H电平,将与切换电路42_2所选择的权重数据 W_{22} 对应的电位充电到布线WEL。如上所述,此时的布线WEL的充电可以高速地进行。另外,在时刻T6,由供应到切换电路44_1至44_4的控制信号wsel切换在上述时刻T5已充电的布线WOL的与权重数据 W_{12} 对应的电位,将其供应到运算电路45_1至45_4。在运算电路45_1至45_4中,根据相同的权重数据 W_{12} 进行积和运算处理,由此进行输出数据MAC1至MAC4的运算。

[0146] 之后的时刻也是同样的,通过切换各控制信号,可以在高速地切换权重数据的同时由运算电路45_1至45_4进行积和运算,由此可以进行输出数据MAC1至MAC4的运算。

[0147] 图14示出运算电路45的具体的结构例子。图14示出能够进行权重数据W(相当于上述 W_0 、 W_E)与输入数据A的积和运算处理的运算电路45的结构例子。图14示出乘法电路71、加法电路72及寄存器73。由乘法电路71相乘的数据被输入到加法电路72。加法电路72的输出保持在寄存器73中,由乘法电路71相乘的数据由加法电路72加在一起,由此进行积和运算处理。寄存器73由时钟信号CLK及复位信号reset_B控制。通过采用该结构,可以得到相当于权重数据W与输入数据A的积和运算的输出数据MAC。

[0148] 图15示出参照图1A说明的在运算电路部40上层叠设置的存储电路部30及其外围电路的结构例子。具体而言,图15示出驱动电路12、驱动电路13、控制电路14、处理电路15、存储电路31、切换电路42、切换电路44及运算电路45。

[0149] 此外,在图15省略图示,但是图15的各电路与外部电路之间进行用来控制各电路的控制信号、输入数据及输出数据的输入及输出的结构。

[0150] 图16A是抽出图15所示的各构成要素中的控制存储电路部30的块的图。除了存储电路部30中的存储电路31以外,图16A还示出驱动电路12及驱动电路13。

[0151] 驱动电路12及驱动电路13处理从外部的输入信号而生成用来对存储电路31写入权重数据的信号及用来从存储电路31读出权重数据的信号。所生成的信号通过布线被供应到存储电路。

[0152] 图16B是抽出图15所示的各构成要素中的控制运算电路部40的块的图。除了运算电路部40所包括的切换电路42、切换电路44及运算电路45以外,图16B还示出控制电路14、处理电路15、布线WOL、WEL。注意,在图16B中省略锁存电路41、缓冲电路43等。

[0153] 控制电路14生成输入数据A,将其输出到运算电路45。切换电路42选择从存储电路31读出的权重数据,将其通过缓冲电路(未图示)供应到布线WOL或WEL。切换电路44选择布线WOL或WEL,将权重数据W(相当于上述 W_0 、 W_E)输出到运算电路45。运算电路45进行权重数据W与输入数据A的积和运算,将输出数据MAC输出到处理电路15。在处理电路15中进行输出数据MAC的后处理,将其输出到控制电路14。在控制电路14中将输入数据A再次输入到运算电路部40。

[0154] 在半导体装置10中,控制电路14可以将被进行运算处理的数据作为输入数据再次输出到运算电路部40。因此,可以在不将运算中途的数据读出到半导体装置10的外部的主存储器等的情况下进行运算处理。另外,在半导体装置10中,存储电路部与运算电路部间的电连接可以通过在绝缘膜等中设置的开口部的布线来进行,由此可以通过增加布线数来增加并行数。所以,半导体装置10可以进行CPU的数据总线宽度以上的位数的并行计算。另外,

因为层叠设置运算电路部与存储电路部,所以可以增加能够配置存储电路的面积。其结果,可以将庞大数量的权重数据保持在存储电路部中而减少从外部的存储器传输权重数据的次数,从而可以实现低功耗化。

[0155] 如上所述,本发明的一个方式可以提供实现了小型化的用作加速器的半导体装置。本发明的一个方式可以提供实现了低功耗化的用作加速器的半导体装置。本发明的一个方式可以提供新颖的结构用作加速器的半导体装置。

[0156] (实施方式2)

[0157] 在本实施方式中,对上述实施方式所示的CPU110所执行的程序中的部分运算由作为半导体装置10进行了说明的加速器执行时的工作的一个例子进行说明。

[0158] 图17是说明由加速器执行CPU所执行的程序中的部分运算时的工作的一个例子的图。

[0159] CPU中执行主程序(主程序执行;步骤S1)。

[0160] 当CPU确认到在存储电路部中确保利用加速器进行运算时所需的数据用区域的指令时(存储确保指令;步骤S2),在存储电路部中确保该数据用区域(存储确保;步骤S3)。

[0161] 接着,CPU从主存储器或外部存储装置向上述存储电路部传送作为输入数据的权重数据(数据传送;步骤S4)。上述存储电路部接收该权重数据,并将该权重数据储存至步骤S2中确保的区域(数据接收;步骤S5)。

[0162] 当CPU确认到启动内核程序的指令时(内核程序的启动;步骤S6),加速器开始执行内核程序(运算开始;步骤S7)。

[0163] 另外,也可以在加速器开始执行内核程序后立即将CPU从进行运算的状态切换至PG(电源门控)状态(PG状态转换;步骤S8)。在该情况下,在加速器马上要结束内核程序的执行之前,CPU从PG状态切换为进行运算的状态(PG状态停止;步骤S9)。通过在步骤S8至步骤S9的期间使CPU为PG状态,可以抑制整个运算处理系统的功耗及发热。

[0164] 当加速器结束内核程序的执行后,输出数据被储存至加速器内保持运算结果的存储部中(运算结束;步骤S10)。

[0165] 在结束内核程序的执行后,当CPU确认到将储存于存储部的输出数据传送到主存储器或外部存储装置的指令时(数据传送要求;步骤S11),上述输出数据被传送到主存储器或外部存储装置并被储存至主存储器或外部存储装置(数据传送;步骤S12)。

[0166] 通过反复进行上述步骤S1至步骤S14,可以在抑制CPU及加速器的功耗及发热的同时利用加速器进行CPU执行的部分运算。本发明的一个方式的半导体装置具有非诺依曼体系结构,与随着处理速度的增加功耗增大的诺依曼体系结构相比,可以以极少的功耗进行运算处理。

[0167] 本实施方式可以与其他实施方式的记载适当地组合。

[0168] (实施方式3)

[0169] 在本实施方式中,说明包括能够进行电源门控的CPU核心的CPU的一个例子。

[0170] 图18示出CPU110的结构例子。CPU110包括CPU核心(CPU Core) 200、L1(电平1)高速缓冲存储装置(L1 Cache) 202、L2高速缓冲存储装置(L2 Cache) 203、总线接口部(Bus I/F) 205、功率开关210至212、电平转换器(LS) 214。CPU核心200包括触发器220。

[0171] 通过总线接口部205,CPU核心200、L1高速缓冲存储装置202与L2高速缓冲存储装

置203彼此连接。

[0172] 根据从外部输入的中断信号 (Interrupts)、CPU110所生成的信号SLEEP1等的信号,PMU193进行时钟信号GCLK1、各种的PG (电源门控) 控制信号 (PG control signals) 的生成。时钟信号GCLK1、PG控制信号被输入到CPU110。PG控制信号控制功率开关210至212、触发器220。

[0173] 功率开关210、211分别控制向虚拟电源线V_VDD (以下,称为V_VDD线) 供应电压VDDD、VDD1。功率开关212控制向电平转换器 (LS) 214供应电压VDDH。CPU110及PMU193不通过功率开关被输入电压VSSS。PMU193不通过功率开关被输入电压VDDD。

[0174] 电压VDDD、VDD1是CMOS电路用驱动电压。电压VDD1是低于电压VDDD的休眠状态下的驱动电压。电压VDDH是OS晶体管用驱动电压且高于电压VDDD。

[0175] L1高速缓冲存储装置202、L2高速缓冲存储装置203和总线接口部205的每一个至少包括一个能够进行电源门控的电源定域。能够进行电源门控的电源定域设置有一个或多个功率开关。上述功率开关被PG控制信号控制。

[0176] 触发器220用于寄存器。触发器220设置有备份电路。以下,说明触发器220。

[0177] 图19示出触发器220 (Flip-flop) 的电路结构例子。触发器220包括扫描触发器 (Scan Flip-flop) 221、备份电路 (Backup Circuit) 222。

[0178] 扫描触发器221包括节点D1、Q1、SD、SE、RT、CK、时钟缓冲电路221A。

[0179] 节点D1是数据 (data) 输入节点,节点Q1是数据输出节点,节点SD是扫描测试用数据的输入节点。节点SE是信号SCE的输入节点。节点CK是时钟信号GCLK1的输入节点。时钟信号GCLK1被输入到时钟缓冲电路221A。扫描触发器221的模拟开关与时钟缓冲电路221A的节点CK1、CKB1连接。节点RT是复位信号 (reset signal) 的输入节点。

[0180] 信号SCE是扫描使能信号,在PMU193生成。PMU193生成信号BK、RC。电平转换器214对信号BK、RC进行电平转移,生成信号BKH、RCH。信号BK是备份信号,信号RC是恢复信号。

[0181] 扫描触发器221的电路结构不局限于图19,也可以使用在标准的电路库中准备的触发器。

[0182] 备份电路222包括节点SD_IN、SN11、晶体管M11至M13及电容元件C11。

[0183] 节点SD_IN是扫描测试数据的输入节点,连接于扫描触发器221的节点Q1。节点SN11是备份电路222的保持节点。电容元件C11是用来保持节点SN11的电压的存储电容器。

[0184] 晶体管M11控制节点Q1与节点SN11之间的导通状态。晶体管M12控制节点SN11与节点SD之间的导通状态。晶体管M13控制节点SD_IN与节点SD之间的导通状态。晶体管M11、M13的开启/关闭被信号BKH控制,晶体管M12的开启/关闭被信号RCH控制。

[0185] 与上述存储电路31所包括的晶体管61至63同样,晶体管M11至M13是OS晶体管。晶体管M11至M13具有包括背栅极的结构。晶体管M11至M13的背栅极与供应电压VBG1的电源线电连接。

[0186] 优选的是,至少晶体管M11、M12为OS晶体管。由于OS晶体管的关态电流极小的特征,因此可以抑制节点SN11的电压下降,并且在保持数据时几乎不耗电,所以备份电路222具有非易失性特性。由于通过电容元件C11的充放电改写数据,所以备份电路222在原理上对改写次数没有限制,可以以低能量进行数据的写入及读出。

[0187] 特别优选的是,备份电路222的所有晶体管为OS晶体管。如图19B所示,可以在由硅

CMOS电路构成的扫描触发器221上层叠备份电路222。

[0188] 与扫描触发器221相比,备份电路222的元件个数非常少,由此不需要为了层叠备份电路222改变扫描触发器221的电路结构及布局。也就是说,备份电路222是通用性非常高的备份电路。此外,可以在形成有扫描触发器221的区域内设置备份电路222,由此即使安装备份电路222也可以使触发器220的面积开销为0。因此,通过将备份电路222设置在触发器220,可以进行CPU核心200的电源门控。电源门控所需要的能量少,所以能够高效地对CPU核心200进行电源门控。

[0189] 通过设置备份电路222,虽然晶体管M11所产生的寄生电容附加到节点Q1,但是其小于与节点Q1连接的逻辑电路所产生的寄生电容,因此不影响到扫描触发器221的工作。也就是说,即使设置备份电路222,实质上触发器220的性能也不会下降。

[0190] 作为CPU核心200的低功耗状态,例如,可以设定时钟门控状态、电源门控状态及休眠状态。PMU193根据中断信号、信号SLEEP1等选择CPU核心200的低功耗模式。例如,在从正常工作状态转移到时钟门控状态时,PMU193停止生成时钟信号GCLK1。

[0191] 例如,在从正常工作状态转移到休眠状态时,PMU193进行电压及/或频率调节。例如,在进行电压调节时,为了将电压VDD1输入到CPU核心200,PMU193使功率开关210开启并使功率开关211关闭。电压VDD1是不使扫描触发器221的数据消失的电压。在进行频率调节时,PMU193使时钟信号GCLK1的频率下降。

[0192] 在将CPU核心200从正常工作状态转移到电源门控状态时,进行将扫描触发器221的数据备份到备份电路222的工作。在将CPU核心200从电源门控状态恢复到正常工作状态时进行将备份电路222的数据再次写入到触发器221的恢复工作。

[0193] 图20示出CPU核心200的电源门控序列的一个例子。注意,在图20中,t1至t7表示时刻。信号PSE0至PSE2是功率开关210至212的控制信号,在PMU193生成。在信号PSE0为“H”/“L”时,功率开关210为开启/关闭。信号PSE1、PSE2也是同样的。

[0194] 时刻t1之前是正常工作状态(Normal Operation)。功率开关210开启,CPU核心200被输入电压VDD。扫描触发器221进行正常工作。此时,不需要使电平转换器214工作,所以功率开关212关闭,信号SCE、BK、RC处于“L”。节点SE处于“L”,所以扫描触发器221储存节点D1的数据。注意,在图20的例子中,在时刻t1备份电路222的节点SN11处于“L”。

[0195] 将说明备份(Backup)时的工作。在工作时刻t1,PMU193停止时钟信号GCLK1而使信号PSE2、BK处于“H”。电平转换器214变为活动状态且将“H”的信号BKH输出到备份电路222。

[0196] 备份电路222的晶体管M11成为开启状态,扫描触发器221的节点Q1的数据写入到备份电路222的节点SN11。若扫描触发器221的节点Q1为“L”,节点SN11则保持“L”,若节点Q1为“H”,节点SN11则成为“H”。

[0197] 在时刻t2,PMU193使信号PSE2、BK成为“L”,在时刻t3,PMU193使信号PSE0成为“L”。在时刻t3,CPU核心200的状态转移到电源门控状态。此外,也可以在信号BK下降的时序使信号PSE0下降。

[0198] 将说明电源门控(Power-gating)时的工作。在信号PSE0处于“L”时V_{VDD}线的电压下降,所以节点Q1的数据消失。节点SN11继续保持时刻t3的节点Q1的数据。

[0199] 将说明恢复(Recovery)时的工作。在时刻t4,PMU193使信号PSE0成为“H”,因此从电源门控状态转移到恢复状态。开始V_{VDD}线的充电,在V_{VDD}线的电压成为VDD的状态(时

刻t5)时,PMU193使信号PSE2、RC、SCE变为“H”。

[0200] 晶体管M12开启,电容元件C11的电荷分配于节点SN11和节点SD。若节点SN11是“H”,节点SD的电压则上升。节点SE是“H”,节点SD的数据被写入到扫描触发器221的输入侧锁存电路。在时刻t6,向节点CK输入时钟信号GCLK1,输入侧锁存电路的数据被写入到节点Q1。也就是说,节点SN11的数据被写入到节点Q1。

[0201] 在时刻t7,PMU193使信号PSE2、SCE、RC变为“L”结束恢复工作。

[0202] 使用0S晶体管的备份电路222的动态及静态功耗都小,所以非常适合于常闭运算。此外,可以将包括含有使用0S晶体管的备份电路222的CPU核心200的CPU110称为NoffCPU(注册商标)。NoffCPU包括非易失性存储器,在不需要工作时可以停止供电。即便安装触发器220,也几乎不会发生CPU核心200的性能下降以及动态电力的增加。

[0203] 此外,CPU核心200也可以包括能够进行电源门控的多个电源定域。多个电源定域设置有用来控制电压的输入的一个或多个功率开关。此外,CPU核心200也可以具有一个或多个不进行电源门控的电源定域。例如,可以在不进行电源门控的电源定域设置用来控制触发器220、功率开关210至212的控制的电源门控控制电路。

[0204] 注意,触发器220的应用不局限于CPU110。在CPU110中,也可以将触发器220用于设置在能够进行电源门控的电源定域中的寄存器。

[0205] 本实施方式可以与其他实施方式的记载适当地组合。

[0206] (实施方式4)

[0207] 在本实施方式中,说明可应用于上述实施方式所说明的CPU110以及作为半导体装置10说明的加速器的晶体管的结构的一个例子。作为一个例子,说明层叠具有不同的电特性的晶体管的结构。通过采用该结构,可以提高半导体装置的设计自由度。此外,通过层叠具有不同的电特性的晶体管,可以提高半导体装置的集成度。

[0208] 图21示出半导体装置的部分截面结构。图21所示的半导体装置包括晶体管550、晶体管500及电容元件600。图22A是晶体管500的沟道长度方向上的截面图,图22B是晶体管500的沟道宽度方向上的截面图。例如,晶体管500相当于上述实施方式所示的存储电路31中的0S晶体管,也就是说,相当于沟道形成区域中包括氧化物半导体的晶体管。另外,晶体管550相当于上述实施方式所示的运算电路部40中的Si晶体管,也就是说,相当于沟道形成区域包含硅的晶体管。另外,电容元件600相当于存储电路31中的电容元件。

[0209] 晶体管500为0S晶体管。0S晶体管的关态电流极小。因此,可以长期间保持通过晶体管500被写入到存储节点的数据电压或电荷。换言之,由于减少存储节点的刷新工作的频率或者不需要刷新工作,所以可以减小半导体装置的功耗。

[0210] 在图21中,晶体管500设置在晶体管550的上方,电容元件600设置在晶体管550及晶体管500的上方。

[0211] 晶体管550设置在衬底311中。衬底311例如是p型硅衬底。衬底311也可以是n型硅衬底。氧化物层314优选为通过埋氧化(Burried oxide)而形成在衬底311中的绝缘层(也称为BOX层),例如为氧化硅。晶体管550设置在隔着氧化物层314设置在衬底311中的单晶硅,即所谓的SOI(Silicon On Insulator)衬底中。

[0212] 被用作元件分离层的绝缘体313设置在作为SOI衬底的衬底311中。此外,衬底311包括阱区域312。阱区域312为根据晶体管550的导电类型而被赋予n型或p型导电性的区域。

半导体区域315、被用作源极区域或漏极区域的低电阻区域316a、低电阻区域316b设置在作为SOI衬底的单晶硅中。此外，低电阻区域316c设置在阱区域312上。

[0213] 晶体管550可以与添加有赋予导电性的杂质元素的阱区域312重叠而设置。通过低电阻区域316c独立地控制电位，可以将阱区域312用作晶体管550的底栅电极。因此，可以控制晶体管550的阈值电压。尤其是，在晶体管550为n沟道晶体管的情况下，通过对阱区域312施加负电位，可以进一步提高晶体管550的阈值电压，并降低关态电流。因此，通过对阱区域312施加负电位，可以减少施加到Si晶体管的栅电极的电位为0V时的漏极电流。其结果是，可以降低包括晶体管550的运算电路部40中的基于贯穿电流等的功耗，并可以提高运算效率。

[0214] 晶体管550优选为导电体318隔着绝缘体317覆盖半导体层的顶面及沟道宽度方向上的侧面的所谓的Fin型结构。通过使晶体管550具有Fin型结构，实效沟道宽度增加，从而提高晶体管550的通态特性。此外，由于可以增强栅电极的电场的作用，所以可以提高晶体管550的关态特性。

[0215] 此外，晶体管550既可为p沟道晶体管又可为n沟道晶体管。

[0216] 导电体318有时被用作第一栅（也称为顶栅极）电极。此外，阱区域312有时被用作第二栅（也称为底栅极）电极。在此情况下，可以通过低电阻区域316c控制供应到阱区域312的电位。

[0217] 半导体区域315的沟道形成区域或其附近的区域、被用作源区域或漏区域的低电阻区域316a及低电阻区域316b、与控制阱区域312的电位的电极连接的低电阻区域316c等优选包含硅类半导体等半导体，更优选包含单晶硅。此外，也可以使用包含Ge（锗）、SiGe（硅锗）、GaAs（砷化镓）、GaAlAs（镓铝砷）等的材料形成。可以使用使晶格受到应力，以改变晶面间距来控制有效质量的硅。此外，晶体管550也可以是使用GaAs和GaAlAs等的HEMT（High Electron Mobility Transistor：高电子迁移率晶体管）。

[0218] 在阱区域312、低电阻区域316a、低电阻区域316b以及低电阻区域316c中，除了应用于半导体区域315的半导体材料之外，还包含砷、磷等赋予n型导电性的元素或硼等赋予p型导电性的元素。

[0219] 作为被用作栅电极的导电体318，可以使用包含砷、磷等赋予n型导电性的元素或硼等赋予p型导电性的元素的硅等半导体材料、金属材料、合金材料或金属氧化物材料等导电材料。此外，导电体318也可以使用镍硅化物等硅化物。

[0220] 此外，由于导电体的材料决定功函数，所以通过选择导电体的材料，可以调整晶体管的阈值电压。具体而言，作为导电体优选使用氮化钛或氮化钽等材料。为了兼具导电性和嵌入性，作为导电体优选使用钨或铝等金属材料的叠层，尤其在耐热性方面优选使用钨。

[0221] 低电阻区域316a、低电阻区域316b以及低电阻区域316c也可以另外层叠导电体，例如，镍硅化物等硅化物而设置。通过采用该结构，可以提高被用作电极的区域的导电性。此时，也可以在被用作栅电极的导电体318的侧面及被用作栅极绝缘膜的绝缘体的侧面设置被用作侧壁间隔物（也称为侧壁绝缘层）的绝缘体。通过采用该结构，可以防止导电体318与低电阻区域316a及低电阻区域316b成为导通状态。

[0222] 以覆盖晶体管550的方式依次层叠有绝缘体320、绝缘体322、绝缘体324及绝缘体326。

[0223] 作为绝缘体320、绝缘体322、绝缘体324及绝缘体326,例如可以使用氧化硅、氮氧化硅、氮氧化硅、氮化硅、氧化铝、氮氧化铝、氮氧化铝及氮化铝等。

[0224] 注意,在本说明书中,氮氧化硅是指在其组成中氧含量多于氮含量的材料,而氮氧化硅是指在其组成中氮含量多于氧含量的材料。注意,在本说明书中,氮氧化铝是指氧含量多于氮含量的材料,“氮氧化铝”是指氮含量多于氧含量的材料。

[0225] 绝缘体322也可以被用作用来使因设置在其下方的晶体管550等而产生的台阶平坦化的平坦化膜。例如,为了提高绝缘体322的顶面的平坦性,其顶面也可以通过利用化学机械抛光(CMP)法等的平坦化处理被平坦化。

[0226] 作为绝缘体324,优选使用能够防止氢或杂质从衬底311或晶体管550等扩散到设置有晶体管500的区域中的具有阻挡性的膜。

[0227] 作为对氢具有阻挡性的膜的一个例子,例如可以使用通过CVD法形成的氮化硅。在此,有时氢扩散到晶体管500等具有氧化物半导体的半导体元件中,导致该半导体元件的特性下降。因此,优选在晶体管500与晶体管550之间设置抑制氢的扩散的膜。具体而言,抑制氢的扩散的膜是指氢的脱离量少的膜。

[0228] 氢的脱离量例如可以利用热脱附谱分析法(TDS)等测量。例如,在TDS分析中的膜表面温度为50℃至500℃的范围内,当将换算为氢原子的脱离量换算为绝缘体324的单位面积的量时,绝缘体324中的氢的脱离量为 $10 \times 10^{15} \text{ atoms/cm}^2$ 以下,优选为 $5 \times 10^{15} \text{ atoms/cm}^2$ 以下,即可。

[0229] 注意,绝缘体326的介电常数优选比绝缘体324低。例如,绝缘体326的相对介电常数优选低于4,更优选低于3。例如,绝缘体326的相对介电常数优选为绝缘体324的相对介电常数的0.7倍以下,更优选为0.6倍以下。通过将介电常数低的材料用于层间膜,可以减少产生在布线之间的寄生电容。

[0230] 此外,在绝缘体320、绝缘体322、绝缘体324及绝缘体326中嵌入与电容元件600或晶体管500连接的导电体328、导电体330等。此外,导电体328及导电体330具有插头或布线的功能。注意,有时使用同一符号表示具有插头或布线的功能的多个导电体。此外,在本说明书等中,布线、与布线连接的插头也可以是一个构成要素。就是说,导电体的一部分有时被用作布线,并且导电体的一部分有时被用作插头。

[0231] 作为各插头及布线(导电体328、导电体330等)的材料,可以使用金属材料、合金材料、金属氮化物材料或金属氧化物材料等导电材料的单层或叠层。优选使用兼具耐热性和导电性的钨或钼等高熔点材料,优选使用钨。或者,优选使用铝或铜等低电阻导电材料。通过使用低电阻导电材料,可以降低布线电阻。

[0232] 此外,也可以在绝缘体326及导电体330上设置布线层。例如,在图21中,依次层叠有绝缘体350、绝缘体352及绝缘体354。此外,在绝缘体350、绝缘体352及绝缘体354中形成有导电体356。导电体356具有与晶体管550连接的插头或布线的功能。此外,导电体356可以使用与导电体328及导电体330同样的材料。

[0233] 此外,与绝缘体324同样,绝缘体350例如优选使用对氢具有阻挡性的绝缘体。此外,导电体356优选包含对氢具有阻挡性的导电体。尤其是,在对氢具有阻挡性的绝缘体350所具有的开口部中形成对氢具有阻挡性的导电体。通过采用该结构,可以使用阻挡层将晶体管550与晶体管500分离,从而可以抑制氢从晶体管550扩散到晶体管500中。

[0234] 注意,作为对氢具有阻挡性的导电体,例如优选使用氮化钽等。此外,通过层叠氮化钽和导电性高的钨,不但可以保持作为布线的导电性而且可以抑制氢从晶体管550扩散。此时,对氢具有阻挡性的氮化钽层优选与对氢具有阻挡性的绝缘体350接触。

[0235] 此外,也可以在绝缘体354及导电体356上设置布线层。例如,在图21中,依次层叠有绝缘体360、绝缘体362及绝缘体364。此外,在绝缘体360、绝缘体362及绝缘体364中形成有导电体366。导电体366具有插头或布线的功能。此外,导电体366可以使用与导电体328及导电体330同样的材料。

[0236] 此外,与绝缘体324同样,绝缘体360例如优选使用对氢具有阻挡性的绝缘体。此外,导电体366优选包含对氢具有阻挡性的导电体。尤其是,在对氢具有阻挡性的绝缘体360所具有的开口部中形成对氢具有阻挡性的导电体。通过采用该结构,可以使用阻挡层将晶体管550与晶体管500分离,从而可以抑制氢从晶体管550扩散到晶体管500中。

[0237] 此外,也可以在绝缘体364及导电体366上设置布线层。例如,在图21中,依次层叠有绝缘体370、绝缘体372及绝缘体374。此外,在绝缘体370、绝缘体372及绝缘体374中形成有导电体376。导电体376具有插头或布线的功能。此外,导电体376可以使用与导电体328及导电体330同样的材料。

[0238] 此外,与绝缘体324同样,绝缘体370例如优选使用对氢具有阻挡性的绝缘体。此外,导电体376优选包含对氢具有阻挡性的导电体。尤其是,在对氢具有阻挡性的绝缘体370所具有的开口部中形成对氢具有阻挡性的导电体。通过采用该结构,可以使用阻挡层将晶体管550与晶体管500分离,从而可以抑制氢从晶体管550扩散到晶体管500中。

[0239] 此外,也可以在绝缘体374及导电体376上设置布线层。例如,在图21中,依次层叠有绝缘体380、绝缘体382及绝缘体384。此外,在绝缘体380、绝缘体382及绝缘体384中形成有导电体386。导电体386具有插头或布线的功能。此外,导电体386可以使用与导电体328及导电体330同样的材料。

[0240] 此外,与绝缘体324同样,绝缘体380例如优选使用对氢具有阻挡性的绝缘体。此外,导电体386优选包含对氢具有阻挡性的导电体。尤其是,在对氢具有阻挡性的绝缘体380所具有的开口部中形成对氢具有阻挡性的导电体。通过采用该结构,可以使用阻挡层将晶体管550与晶体管500分离,从而可以抑制氢从晶体管550扩散到晶体管500中。

[0241] 在上面说明包括导电体356的布线层、包括导电体366的布线层、包括导电体376的布线层及包括导电体386的布线层,但是根据本实施方式的半导体装置不局限于此。与包括导电体356的布线层同样的布线层可以为三层以下,与包括导电体356的布线层同样的布线层可以为五层以上。

[0242] 在绝缘体384上依次层叠有绝缘体510、绝缘体512、绝缘体514及绝缘体516。作为绝缘体510、绝缘体512、绝缘体514或绝缘体516,优选使用对氧或氢具有阻挡性的物质。

[0243] 例如,作为绝缘体510及绝缘体514,优选使用对从衬底311或设置有晶体管550的区域等到设置有晶体管500的区域的氢或杂质具有阻挡性的膜。因此,绝缘体510及绝缘体514可以使用与绝缘体324同样的材料。

[0244] 作为对氢具有阻挡性的膜的一个例子,可以使用通过CVD法形成的氮化硅。在此,有时氢扩散到晶体管500等具有氧化物半导体的半导体元件中,导致该半导体元件的特性下降。因此,优选在晶体管550与晶体管500之间设置抑制氢的扩散的膜。

[0245] 例如,作为对氢具有阻挡性的膜,绝缘体510及绝缘体514优选使用氧化铝、氧化钪、氧化钽等金属氧化物。

[0246] 尤其是,氧化铝的不使氧及导致晶体管的电特性变动的氢、水分等杂质透过的阻挡效果高。因此,在晶体管的制造工序中及制造工序之后,氧化铝可以防止氢、水分等杂质进入晶体管500中。此外,氧化铝可以抑制氧从构成晶体管500的氧化物释放。因此,氧化铝适合用于晶体管500的保护膜。

[0247] 例如,作为绝缘体512及绝缘体516,可以使用与绝缘体320同样的材料。此外,通过对上述绝缘体使用介电常数较低的材料,可以减少产生在布线之间的寄生电容。例如,作为绝缘体512及绝缘体516,可以使用氧化硅膜和氮化硅膜等。

[0248] 此外,在绝缘体510、绝缘体512、绝缘体514及绝缘体516中嵌入导电体518、构成晶体管500的导电体(例如,导电体503)等。此外,导电体518被用作与电容元件600或晶体管550连接的插头或布线。导电体518可以使用与导电体328及导电体330同样的材料。

[0249] 尤其是,与绝缘体510及绝缘体514接触的区域导电体518优选为对氧、氢及水具有阻挡性的导电体。通过采用该结构,可以利用对氧、氢及水具有阻挡性的层将晶体管550与晶体管500分离,从而可以抑制氢从晶体管550扩散到晶体管500中。

[0250] 在绝缘体516的上方设置有晶体管500。

[0251] 如图22A和图22B所示,晶体管500包括以嵌入绝缘体514及绝缘体516的方式配置的导电体503、配置在绝缘体516及导电体503上的绝缘体522、配置在绝缘体522上的绝缘体524、配置在绝缘体524上的氧化物530a、配置在氧化物530a上的氧化物530b、彼此分开地配置在氧化物530b上的导电体542a及导电体542b、配置在导电体542a及导电体542b上并以重叠于导电体542a和导电体542b之间的方式形成开口的绝缘体580、配置在开口的底面及侧面的绝缘体545以及配置在绝缘体545的形成面上的导电体560。

[0252] 此外,如图22A和图22B所示,优选在氧化物530a、氧化物530b、导电体542a及导电体542b与绝缘体580之间配置有绝缘体544。此外,如图22A和图22B所示,导电体560优选包括设置在绝缘体545的内侧的导电体560a及以嵌入导电体560a的内侧的方式设置的导电体560b。此外,如图22A和图22B所示,优选在绝缘体580、导电体560及绝缘体545上配置有绝缘体574。

[0253] 注意,在本说明书等中,有时将氧化物530a及氧化物530b统称为氧化物530。

[0254] 在晶体管500中,在形成沟道的区域及其附近层叠有氧化物530a及氧化物530b的两层,但是本发明不局限于此。例如,可以具有氧化物530b的单层结构,也可以具有三层以上的叠层结构。

[0255] 此外,在晶体管500中,导电体560具有两层结构,但是本发明不局限于此。例如,导电体560也可以具有单层结构或三层以上的叠层结构。注意,图21、图22A及图22B所示的晶体管500的结构只是一个例子而不局限于上述结构,可以根据电路结构或驱动方法使用适当的晶体管。

[0256] 在此,导电体560被用作晶体管的栅电极,导电体542a及导电体542b被用作源电极或漏电极。如上所述,导电体560以嵌入绝缘体580的开口中及夹在导电体542a与导电体542b之间的区域的方式设置。导电体560、导电体542a及导电体542b的配置根据绝缘体580的开口而自对准地被选择。换言之,在晶体管500中,可以在源电极与漏电极之间自对准地

配置栅电极。由此,可以在不设置用于对准的余地的方式形成导电体560,所以可以实现晶体管500的占有面积的缩小。由此,可以实现半导体装置的微型化及高集成化。

[0257] 再者,导电体560自对准地形成在导电体542a与导电体542b之间的区域,所以导电体560不包括与导电体542a或导电体542b重叠的区域。由此,可以降低形成在导电体560与导电体542a及导电体542b之间的寄生电容。因此,可以提高晶体管500的开关速度,从而晶体管500可以具有高频率特性。

[0258] 导电体560有时被用作第一栅(也称为顶栅极)电极。导电体503有时被用作第二栅(也称为底栅极)电极。在此情况下,通过独立地改变供应到导电体503的电位而不使其与供应到导电体560的电位联动,可以控制晶体管500的阈值电压。尤其是,通过对导电体503供应负电位,可以使晶体管500的阈值电压更大并且可以减小关态电流。因此,与不对导电体503施加负电位时相比,在对导电体503施加负电位的情况下,可以减小对导电体560施加的电位为0V时的漏极电流。

[0259] 导电体503以与氧化物530及导电体560重叠的方式配置。由此,在对导电体560及导电体503供应电位的情况下,从导电体560产生的电场和从导电体503产生的电场连接,可以覆盖形成在氧化物530中的沟道形成区域。

[0260] 在本说明书等中,将由一对栅电极(第一栅电极和第二栅电极)的电场电围绕沟道形成区域的晶体管的结构称为surrounded channel (S-channel:围绕沟道)结构。此外,本说明书等中公开的S-channel结构与Fin型结构及平面型结构不同。通过采用S-channel结构,可以提高对于短沟道效应的耐性,换言之,可以实现不容易发生短沟道效应的晶体管。

[0261] 此外,导电体503具有与导电体518相同的结构,以与绝缘体514及绝缘体516的开口的内壁接触的方式形成有导电体503a,其内侧形成有导电体503b。此外,在晶体管500中,层叠有导电体503a与导电体503b,但是本发明不局限于此。例如,导电体503可以具有单层结构,也可以具有三层以上的叠层结构。

[0262] 在此,作为导电体503a优选使用具有抑制氢原子、氢分子、水分子、铜原子等杂质的扩散的功能(不容易使上述杂质透过)的导电材料。此外,优选使用具有抑制氧(例如,氧原子、氧分子等中的至少一个)的扩散的功能(不容易使上述氧透过)的导电材料。在本说明书中,抑制杂质或氧的扩散的功能是指抑制上述杂质和上述氧中的任一个或全部的扩散的功能。

[0263] 例如,通过使导电体503a具有抑制氧的扩散的功能,可以抑制因导电体503b氧化而导致导电率的下降。

[0264] 此外,在导电体503还具有布线的功能的情况下,作为导电体503b,优选使用以钨、铜或铝为主要成分的导电性高的导电材料。此外,虽然在本实施方式中示出由导电体503a及导电体503b的叠层构成的导电体503,但是导电体503也可以具有单层结构。

[0265] 绝缘体522及绝缘体524被用作第二栅极绝缘膜。

[0266] 在此,与氧化物530接触的绝缘体524优选使用包含超过化学计量组成的氧的绝缘体。该氧通过加热容易从膜中释放。在本说明书等中,有时将通过加热释放的氧称为“过剩氧”。就是说,在绝缘体524中优选形成有包含过剩氧的区域(也称为“过剩氧区域”)。通过以与氧化物530接触的方式设置上述包含过剩氧的绝缘体,可以减少氧化物530中的氧空位(V_o :oxygen vacancy),从而可以提高晶体管500的可靠性。此外,在氢进入氧化物530的氧

空位中的情况下,有时该缺陷(以下,有时称为 V_OH)被用作供体而产生作为载流子的电子。此外,有时由于氢的一部分与键合于金属原子的氧键合,产生作为载流子的电子。因此,使用包含多量的氢的氧化物半导体的晶体管容易具有常开启特性。此外,因为氧化物半导体中的氢因受热、电场等作用而容易移动,所以当氧化物半导体包含多量的氢时可能会导致晶体管的可靠性降低。在本发明的一个方式中,优选尽量降低氧化物530中的 V_OH 而成为高纯度本征或实质上高纯度本征。如此,为了得到这种 V_OH 被充分减少的氧化物半导体,重要的是:去除氧化物半导体中的水分、氢等杂质(有时也称为脱水、脱氢化处理);以及对氧化物半导体供应氧来填补氧空位(有时也称为加氧化处理)。通过将 V_OH 等杂质被充分减少的氧化物半导体用于晶体管的沟道形成区域,可以赋予稳定的电特性。

[0267] 具体而言,作为具有过剩氧区域的绝缘体,优选使用通过加热使一部分的氧脱离的氧化物材料。通过加热使氧脱离的氧化物是指在TDS (Thermal Desorption Spectroscopy) 分析中换算为氧原子的氧的脱离量为 1.0×10^{18} atoms/cm³以上,优选为 1.0×10^{19} atoms/cm³以上,更优选为 2.0×10^{19} atoms/cm³以上,或者 3.0×10^{20} atoms/cm³以上的氧化物膜。此外,进行上述TDS分析时的膜的表面温度优选在100℃以上且700℃以下,或者100℃以上且400℃以下的范围内。

[0268] 此外,也可以以使上述具有过剩氧区域的绝缘体和氧化物530彼此接触的方式进行加热处理、微波处理或RF处理中的任一个或多个处理。通过进行该处理,可以去除氧化物530中的水或氢。例如,在氧化物530中发生 V_OH 键合被切断的反应,换言之,发生“ $V_OH \rightarrow V_O + H$ ”的反应而可以进行脱氢化。此时产生的氢的一部分有时与氧键合并从氧化物530或氧化物530附近的绝缘体被去除作为 H_2O 。此外,氢的一部分有时被导电体542吸杂。

[0269] 此外,作为上述微波处理,例如优选使用包括产生高密度等离子体的电源的装置或包括对衬底一侧施加RF的电源的装置。例如,通过使用包含氧的气体及高密度等离子体,可以生成高密度的氧自由基,并且通过对衬底一侧施加RF,可以将由高密度等离子体生成的氧自由基高效地导入氧化物530或氧化物530附近的绝缘体中。此外,在上述微波处理中,压力为133Pa以上,优选为200Pa以上,更优选为400Pa以上。此外,作为对进行微波处理的装置内导入的气体,例如使用氧及氩,并且氧流量比($O_2/(O_2+Ar)$)为50%以下,优选为10%以上且30%以下。

[0270] 此外,在晶体管500的制造工序中,优选在氧化物530的表面露出的状态下进行加热处理。该加热处理例如以100℃以上且450℃以下,更优选以350℃以上且400℃以下进行,即可。此外,加热处理在氮气体或惰性气体的气氛或包含10ppm以上、1%以上或10%以上的氧化性气体的气氛下进行。例如,加热处理优选在氧气氛下进行。由此,可以对氧化物530供应氧来减少氧空位(V_O)。此外,加热处理也可以在减压状态下进行。或者,也可以在氮气体或惰性气体的气氛下进行加热处理,然后为了填补脱离的氧而在包含10ppm以上、1%以上或10%以上的氧化性气体的气氛下进行加热处理。或者,也可以在包含10ppm以上、1%以上或10%以上的氧化性气体的气氛下进行加热处理,然后在氮气体或惰性气体的气氛下连续进行加热处理。

[0271] 此外,通过对氧化物530进行加氧化处理,可以由被供应的氧填补氧化物530中的氧空位,换言之,可以促进“ $V_O + O \rightarrow \text{null}$ ”的反应。再者,通过使残留在氧化物530中的氢与被供应的氧起反应,可以去除该氢作为 H_2O (脱水化)。由此,可以抑制残留在氧化物530中的氢

与氧空位重新键合而形成 V_OH 。

[0272] 当绝缘体524具有过剩氧区域时,绝缘体522优选具有抑制氧(例如,氧原子、氧分子等)的扩散的功能(不容易使上述氧透过)。

[0273] 当绝缘体522具有抑制氧或杂质的扩散的功能时,氧化物530所包含的氧不扩散到导电体503一侧,所以是优选的。此外,可以抑制导电体503与绝缘体524或氧化物530所包含的氧起反应。

[0274] 作为绝缘体522,例如优选使用包含氧化铝、氧化钪、含有铝及钪的氧化物(铝酸钪)、氧化铌、氧化锆、锆钛酸铅(PZT)、钛酸锶($SrTiO_3$)或 $(Ba,Sr)TiO_3$ (BST)等所谓的high-k材料的绝缘体的单层或叠层。当进行晶体管的微型化及高集成化时,由于栅极绝缘膜的薄膜化,有时发生泄漏电流等问题。通过作为被用作栅极绝缘膜的绝缘体使用high-k材料,可以在保持物理厚度的同时降低晶体管工作时的栅极电位。

[0275] 尤其是,优选使用作为具有抑制杂质及氧等的扩散的功能(不容易使上述氧透过)的绝缘材料的包含铝和钪中的一方或双方的氧化物的绝缘体。作为包含铝和钪中的一方或双方的氧化物的绝缘体,优选使用氧化铝、氧化钪、包含铝及钪的氧化物(铝酸钪)等。当使用这种材料形成绝缘体522时,绝缘体522被用作抑制氧从氧化物530释放或氢等杂质从晶体管500的周围部进入氧化物530的层。

[0276] 或者,例如也可以对上述绝缘体添加氧化铝、氧化铌、氧化锆、氧化铈、氧化硅、氧化钛、氧化钨、氧化钼、氧化锆。此外,也可以对上述绝缘体进行氮化处理。此外,还可以在上述绝缘体上层叠氧化硅、氧氮化硅或氮化硅。

[0277] 此外,在图22A和图22B的晶体管500中,作为由两层的叠层结构而成的第二栅极绝缘膜示出绝缘体522及绝缘体524,但是第二栅极绝缘膜也可以具有单层结构、三层结构或四层以上的叠层结构。此时,不局限于采用由相同材料而成的叠层结构,也可以采用由不同材料而成的叠层结构。

[0278] 在晶体管500中,将起到氧化物半导体作用的金属氧化物用作包含沟道形成区域的氧化物530。例如,作为氧化物530,优选使用In-M-Zn氧化物(元素M为选自铝、镓、铟、铜、钒、铍、硼、钛、铁、镍、锆、锆、钼、镧、铈、钆、钇和镁等中的一种或多种)等金属氧化物。

[0279] 被用作氧化物半导体的金属氧化物可以使用溅射法形成,也可以使用ALD(Atomic Layer Deposition:原子层沉积)法形成。

[0280] 此外,作为在氧化物530中被用作沟道形成区域的金属氧化物,优选使用其带隙为2eV以上,优选为2.5eV以上的金属氧化物。如此,通过使用带隙较宽的金属氧化物,可以减小晶体管的关态电流。

[0281] 在氧化物530中,当在氧化物530b之下设置有氧化物530a时,可以抑制杂质从形成在氧化物530a下方的结构物扩散到氧化物530b。

[0282] 此外,氧化物530优选具有各金属原子的原子个数比互不相同的多个氧化物层的叠层结构。具体而言,用于氧化物530a的金属氧化物的构成元素中的元素M的原子个数比优选大于用于氧化物530b的金属氧化物的构成元素中的元素M的原子个数比。此外,用于氧化物530a的金属氧化物中的相对于In的元素M的原子个数比优选大于用于氧化物530b的金属氧化物中的相对于In的元素M的原子个数比。此外,用于氧化物530b的金属氧化物中的相对

于元素M的In的原子个数比优选大于用于氧化物530a的金属氧化物中的相对于元素M的In的原子个数比。

[0283] 优选的是,使氧化物530a的导带底的能量高于氧化物530b的导带底的能量。换言之,氧化物530a的电子亲和势优选小于氧化物530b的电子亲和势。

[0284] 在此,在氧化物530a及氧化物530b的接合部中,导带底的能级平缓地变化。换言之,也可以将上述情况表达为氧化物530a及氧化物530b的接合部的导带底的能级连续地变化或者连续地接合。为此,优选降低形成在氧化物530a与氧化物530b的界面的混合层的缺陷态密度。

[0285] 具体而言,通过使氧化物530a与氧化物530b除了氧之外还包含共同元素(为主要成分),可以形成缺陷态密度低的混合层。例如,在氧化物530b为In-Ga-Zn氧化物的情况下,作为氧化物530a优选使用In-Ga-Zn氧化物、Ga-Zn氧化物及氧化镓等。

[0286] 此时,载流子的主要路径为氧化物530b。通过使氧化物530a具有上述结构,可以降低氧化物530a与氧化物530b的界面的缺陷态密度。因此,界面散射对载流子传导的影响减少,可以提高晶体管500的通态电流。

[0287] 在氧化物530b上设置有被用作源电极及漏电极的导电体542a及导电体542b。作为导电体542a及导电体542b,优选使用选自铝、铬、铜、银、金、铂、钽、镍、钛、钼、钨、钼、钒、铌、锰、镁、锆、铍、铟、钽、铈、锆和镧中的金属元素、以上述金属元素为成分的合金或者组合上述金属元素的合金等。例如,优选使用氮化钽、氮化钛、钨、包含钛和铝的氮化物、包含钽和铝的氮化物、氧化钽、氮化钽、包含铈和钽的氧化物、包含镧和镍的氧化物等。此外,氮化钽、氮化钛、包含钛和铝的氮化物、包含钽和铝的氮化物、氧化钽、氮化钽、包含铈和钽的氧化物、包含镧和镍的氧化物是不容易氧化的导电材料或者吸收氧也维持导电性的材料,所以是优选的。氮化钽等的金属氮化物膜对氢或氧具有阻挡性,所以是更优选的。

[0288] 此外,虽然在图22A示出导电体542a及导电体542b的单层结构,但是也可以采用两层以上的叠层结构。例如,优选层叠氮化钼膜及钨膜。此外,也可以层叠钛膜及铝膜。此外,也可以采用在钨膜上层叠铝膜的两层结构、在铜-镁-铝合金膜上层叠铜膜的两层结构、在钛膜上层叠铜膜的两层结构、在钨膜上层叠铜膜的两层结构。

[0289] 此外,也可以使用:在钛膜或氮化钛膜上层叠铝膜或铜膜并在其上形成钛膜或氮化钛膜的三层结构、在钼膜或氮化钼膜上层叠铝膜或铜膜并在其上形成钼膜或氮化钼膜的三层结构等。此外,也可以使用包含氧化铟、氧化锡或氧化锌的透明导电材料。

[0290] 此外,如图22A所示,有时在氧化物530与导电体542a(导电体542b)的界面及其附近作为低电阻区域形成有区域543a及区域543b。此时,区域543a被用作源区域和漏区域中的一个,区域543b被用作源区域和漏区域中的另一个。此外,沟道形成区域形成在夹在区域543a和区域543b之间的区域中。

[0291] 通过以与氧化物530接触的方式设置上述导电体542a(导电体542b),区域543a(区域543b)的氧浓度有时降低。此外,在区域543a(区域543b)中有时形成含有包含在导电体542a(导电体542b)中的金属及氧化物530的组成的金属化合物层。在此情况下,区域543a(区域543b)的载流子密度增加,区域543a(区域543b)成为低电阻区域。

[0292] 绝缘体544以覆盖导电体542a及导电体542b的方式设置,抑制导电体542a及导电体542b的氧化。此时,绝缘体544也可以以覆盖氧化物530的侧面且与绝缘体524接触的方式

设置。

[0293] 作为绝缘体544,可以使用包含选自铅、铝、镓、铋、锗、钨、钛、钽、镍、锆、钼、钨或镁等中的一种或两种以上的金属氧化物。此外,作为绝缘体544也可以使用氮氧化硅或氮化硅等。

[0294] 尤其是,作为绝缘体544,优选使用作为包含铝和镓中的一方或双方的氧化物的绝缘体的氧化铝、氧化镓、包含铝及镓的氧化物(铝酸镓)等。尤其是,铝酸镓的耐热性比氧化镓膜高。因此,在后面的工序的热处理中不容易晶化,所以是优选的。此外,在导电体542a及导电体542b是具有耐氧化性的材料或者吸收氧也其导电性不会降低的材料的情况下,不需要必须设置绝缘体544。根据所需要的晶体管特性,适当地设计即可。

[0295] 通过包括绝缘体544,可以抑制绝缘体580所包含的水及氢等杂质扩散到氧化物530b。此外,可以抑制绝缘体580所包含的过剩氧使导电体542氧化。

[0296] 绝缘体545被用作第一栅极绝缘膜。绝缘体545优选与上述绝缘体524同样地使用包含过剩的氧并通过加热而释放氧的绝缘体形成。

[0297] 具体而言,可以使用包含过剩氧的氧化硅、氧氮化硅、氮氧化硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅、具有空孔的氧化硅。尤其是,氧化硅及氧氮化硅具有热稳定性,所以是优选的。

[0298] 通过作为绝缘体545设置包含过剩氧的绝缘体,可以从绝缘体545对氧化物530b的沟道形成区域有效地供应氧。此外,与绝缘体524同样,优选降低绝缘体545中的水或氢等杂质的浓度。绝缘体545的厚度优选为1nm以上且20nm以下。此外,也可以在形成绝缘体545之前及/或后进行上述微波处理。

[0299] 此外,为了将绝缘体545所包含的过剩氧高效地供应到氧化物530,也可以在绝缘体545与导电体560之间设置金属氧化物。该金属氧化物优选抑制从绝缘体545到导电体560的氧扩散。通过设置抑制氧的扩散的金属氧化物,从绝缘体545到导电体560的过剩氧的扩散受到抑制。换言之,可以抑制供应到氧化物530的过剩氧量减少。此外,可以抑制因过剩氧导致的导电体560的氧化。作为该金属氧化物,可以使用可用于绝缘体544的材料。

[0300] 此外,与第二栅极绝缘膜同样,绝缘体545也可以具有叠层结构。由于当进行晶体管的微型化及高集成化时,有时栅极绝缘膜的薄膜化导致泄漏电流等问题,因此通过使被用作栅极绝缘膜的绝缘体具有high-k材料与具有热稳定性的材料的叠层结构,可以在保持物理厚度的同时降低晶体管工作时的栅极电位。此外,可以实现具有热稳定性及高相对介电常数的叠层结构。

[0301] 在图22A及图22B中,被用作第一栅电极的导体560具有两层结构,但是也可以具有单层结构或三层以上的叠层结构。

[0302] 作为导电体560a,优选使用具有抑制氢原子、氢分子、水分子、氮原子、氮分子、氧化氮分子(N_2O 、 NO 、 NO_2 等)、铜原子等杂质的扩散的功能的导电材料。此外,优选使用具有抑制氧(例如,氧原子、氧分子等中的至少一个)的扩散的功能的导电材料。通过使导电体560a具有抑制氧的扩散的功能,可以抑制因绝缘体545所包含的氧导致导电体560b氧化而导电率下降。作为具有抑制氧的扩散的功能的导电材料,例如,优选使用钽、氮化钽、钇或氧化钇等。此外,作为导电体560a可以使用可应用于氧化物530的氧化物半导体。在此情况下,通过采用溅射法形成导电体560b,可以降低导电体560a的电阻值来使其成为导电体。其可以称

为0C (Oxide Conductor) 电极。

[0303] 作为导电体560b,优选使用以钨、铜或铝为主要成分的导电材料。由于导电体560b还被用作布线,所以优选使用导电性高的导电体。导电体560b也可以具有叠层结构,例如,可以采用钛或氮化钛和上述导电材料的叠层结构。

[0304] 绝缘体580优选隔着绝缘体544设置在导电体542a及导电体542b上。绝缘体580优选具有过剩氧区域。例如,绝缘体580优选包含氧化硅、氧氮化硅、氮氧化硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅、具有空孔的氧化硅或树脂等。尤其是,氧化硅及氧氮化硅具有热稳定性,所以是优选的。尤其是,氧化硅和具有空孔的氧化硅容易在后面的工序中形成过剩氧区域,所以是优选的。

[0305] 绝缘体580优选具有过剩氧区域。通过设置通过加热而释放氧的绝缘体580,可以将绝缘体580中的氧高效地供应给氧化物530。此外,优选降低绝缘体580中的水或氢等杂质的浓度。

[0306] 绝缘体580的开口以与导电体542a和导电体542b之间的区域重叠的方式形成。由此,导电体560以嵌入绝缘体580的开口中及夹在导电体542a与导电体542b之间的区域的方式设置。

[0307] 在进行半导体装置的微型化时,需要缩短栅极长度,但是需要防止导电体560的导电性的下降。为此,在增大导电体560的厚度的情况下,导电体560有可能具有纵横比高的形状。在本实施方式中,由于将导电体560以嵌入绝缘体580的开口的方式设置,所以即使导电体560具有纵横比高的形状,在工序中也不发生导电体560的倒塌。

[0308] 绝缘体574优选以与绝缘体580的顶面、导电体560的顶面及绝缘体545的顶面接触的方式设置。通过利用溅射法形成绝缘体574,可以在绝缘体545及绝缘体580中形成过剩氧区域。由此,可以将氧从该过剩氧区域供应到氧化物530中。

[0309] 例如,作为绝缘体574,可以使用包含选自钪、铝、镓、铋、锗、钨、钛、钽、镍、锆和镁等中的一种或两种以上的金属氧化物。

[0310] 尤其是,氧化铝具有高阻挡性,即使是0.5nm以上且3.0nm以下的薄膜,也可以抑制氢及氮的扩散。由此,通过利用溅射法形成的氧化铝可以在被用作氧供应源的同时还具有氢等杂质的阻挡膜的功能。

[0311] 此外,优选在绝缘体574上设置被用作层间膜的绝缘体581。与绝缘体524等同样,优选降低绝缘体581中的水或氢等杂质的浓度。

[0312] 此外,在形成于绝缘体581、绝缘体574、绝缘体580及绝缘体544中的开口配置导电体540a及导电体540b。导电体540a及导电体540b以隔着导电体560彼此对置的方式设置。导电体540a及导电体540b具有与后面说明的导电体546及导电体548同样的结构。

[0313] 在绝缘体581上设置有绝缘体582。绝缘体582优选使用对氧或氢具有阻挡性的物质。因此,作为绝缘体582可以使用与绝缘体514同样的材料。例如,作为绝缘体582优选使用氧化铝、氧化钪、氧化钽等金属氧化物。

[0314] 尤其是,氧化铝的不使氧及导致晶体管的电特性变动的氢、水分等杂质透过的阻挡效果高。因此,在晶体管的制造工序中及制造工序之后,氧化铝可以防止氢、水分等杂质进入晶体管500中。此外,氧化铝可以抑制氧从构成晶体管500的氧化物释放。因此,氧化铝适合用于晶体管500的保护膜。

[0315] 此外,在绝缘体582上设置有绝缘体586。作为绝缘体586可以使用与绝缘体320同样的材料。此外,通过作为这些绝缘体应用介电常数较低的材料,可以减少产生在布线之间的寄生电容。例如,作为绝缘体586,可以使用氧化硅膜及氮化硅膜等。

[0316] 此外,在绝缘体522、绝缘体524、绝缘体544、绝缘体580、绝缘体574、绝缘体581、绝缘体582及绝缘体586中嵌入导电体546及导电体548等。

[0317] 导电体546及导电体548被用作与电容元件600、晶体管500或晶体管550连接的插头或布线。导电体546及导电体548可以使用与导电体328及导电体330同样的材料。

[0318] 此外,也可以在形成晶体管500之后,以围绕晶体管500的方式形成开口,并以覆盖该开口的方式形成对氢或水具有高阻挡性的绝缘体。通过由上述高阻挡性的绝缘体包裹晶体管500,可以防止水分及氢从外部进入。或者,多个晶体管500都可以由对氢或水具有高阻挡性的绝缘体包裹。此外,在围绕晶体管500地形成开口的情况下,例如,当形成到达绝缘体522或绝缘体514的开口并接触于绝缘体522或绝缘体514地形成上述高阻挡性的绝缘体时可以兼作晶体管500的制造工序的一部分,所以是优选的。此外,作为对氢或水具有高阻挡性的绝缘体,例如使用与绝缘体522或绝缘体514同样的材料即可。

[0319] 接着,在晶体管500的上方设置有电容元件600。电容元件600包括导电体610、导电体620及绝缘体630。

[0320] 此外,也可以在导电体546及导电体548上设置导电体612。导电体612被用作与晶体管500连接的插头或者布线。导电体610被用作电容元件600的电极。此外,可以同时形成导电体612及导电体610。

[0321] 作为导电体612及导电体610可以使用包含选自钼、钛、钽、钨、铝、铜、铬、钕、钕中的元素的金属膜或以上述元素为成分的金属氮化物膜(氮化钼膜、氮化钛膜、氮化钽膜、氮化钨膜)等。或者,也可以使用铟锡氧化物、包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锌氧化物、添加有氧化硅的铟锡氧化物等导电材料。

[0322] 在本实施方式中,导电体612及导电体610具有单层结构,但是不局限于此,也可以具有两层以上的叠层结构。例如,也可以在具有阻挡性的导电体与导电性高的导电体之间形成对具有阻挡性的导电体及导电性高的导电体具有高紧密性的导电体。

[0323] 以隔着绝缘体630重叠于导电体610的方式设置导电体620。作为导电体620可以使用金属材料、合金材料、金属氧化物材料等导电材料。优选使用兼具耐热性和导电性的钨或钼等高熔点材料,尤其优选使用钨。当与导电体等其他构成要素同时形成导电体620时,使用低电阻金属材料的Cu(铜)或Al(铝)等即可。

[0324] 在导电体620及绝缘体630上设置有绝缘体640。绝缘体640可以使用与绝缘体320同样的材料。此外,绝缘体640可以被用作覆盖其下方的凹凸形状的平坦化膜。

[0325] 通过采用本结构,可以实现使用包含氧化物半导体的晶体管的半导体装置的微型化或高集成化。

[0326] 本实施方式所示的构成、结构、方法等可以与其他的实施方式及实施例等所示的构成、结构、方法等适当地组合而使用。

[0327] (实施方式5)

[0328] 在本实施方式中,参照图23A、图23B对包括上述实施方式中说明的运算处理系统

100中的各构成要素的集成电路的结构进行说明。

[0329] 图23A是用来说明包括运算处理系统100中的各构成要素的集成电路的示意图的一个例子。图23A所示的集成电路390是一种通过如下方法将各电路一体化的集成电路,其中CPU110及作为半导体装置10进行了说明的加速器所包括的电路中的部分电路使用OS晶体管构成。

[0330] 如图23A所示,在CPU110中,可以将备份电路222设置在CPU核心200之上的包括OS晶体管的层中。另外,如图23A所示,在作为半导体装置10进行了说明的加速器中,可以将存储电路部30设置在构成运算电路部40的包括Si晶体管的层之上的包括OS晶体管的层中。此外,可以将OS存储器300N等设置在包括OS晶体管的层中。作为OS存储器300N,除了上述实施方式中说明的NOSRAM之外还可以使用DOSRAM。另外,在OS存储器300N中,通过在设置在包括Si晶体管的层中的驱动电路上层叠包括OS晶体管的层,可以提高存储密度。

[0331] 如图23A所示,当采用CPU110、作为半导体装置10进行了说明的加速器及OS存储器300N等的各电路紧密结合的SoC时,虽然存在发热问题,但是与Si晶体管相比OS晶体管因热引起的电特性变化量小,因此是优选的。另外,通过如图23A所示在三维方向上集成电路,与使用硅贯通电极(Through Silicon Via:TSV)等的叠层结构等相比,可以减小寄生电容。由此,可以减少各布线充放电所需的功耗,从而可以提高运算处理效率。

[0332] 图23B示出安装有集成电路390的半导体芯片的一个例子。图23B所示的半导体芯片391包括引线392及集成电路390。作为集成电路390,如图23A所述,上述实施方式中所示的各种电路设置在一个管芯上。集成电路390具有叠层结构,大致分为包括Si晶体管的层(Si晶体管层393)、布线层394、包括OS晶体管的层(OS晶体管层395)。由于OS晶体管层395可以层叠在Si晶体管层393上,由此便于使半导体芯片391小型化。

[0333] 虽然图23B中的半导体芯片391的封装采用QFP(Quad Flat Package),但是封装方式不局限于此。作为其他的结构例子,可以适当地采用插入安装型的DIP(Dual In-line Package)、PGA(Pin Grid Array)、表面安装型的SOP(Small Outline Package)、SSOP(Shrink Small Outline Package)、TSOP(Thin-Small Outline Package)、LCC(Leaded Chip Carrier)、QFN(Quad Flat Non-leaded package)、BGA(Ball Grid Array)、FBGA(Fine pitch Ball Grid Array)以及接触安装型的DTP(Dual Tape carrier Package)、QTP(Quad Tape-carrier Package)等结构。

[0334] 可以将包括Si晶体管的运算电路及切换电路和包括OS晶体管的存储电路都形成在Si晶体管层393、布线层394及OS晶体管层395中。也就是说,构成上述半导体装置的元件可以利用同一制造工序形成。由此,图23B所示的IC即便增加构成元件也不需要增加制造工序,所以可以以低成本安装上述半导体装置。

[0335] 根据上述说明的本发明的一个方式,可以提供一种新颖的半导体装置及电子设备。此外,根据本发明的一个方式,可以提供一种功耗小的半导体装置及电子设备。此外,根据本发明的一个方式,可以提供一种能够抑制发热的半导体装置及电子设备。

[0336] 本实施方式可以与其他实施方式的记载适当地组合。

[0337] (实施方式6)

[0338] 在本实施方式中,参照图24至图27说明能够使用上述实施方式中记载的集成电路390的电子设备、移动体、运算系统。

[0339] 图24A示出作为移动体的一个例子的汽车的外观。图24B是汽车内的数据的递送的简图。汽车590包括多个照相机591等。此外,汽车590包括红外线雷达、毫米波雷达、激光雷达等各种传感器(未图示)等。

[0340] 汽车590的照相机591等可以使用上述集成电路390(或组装有上述集成电路390的半导体芯片391)。汽车590通过将照相机591从多个拍摄方向592拍摄的多个图像在上述实施方式中说明的集成电路390中进行处理并通过总线593等利用主体控制器594等对多个图像进行综合分析,来判断周围的交通状况诸如护栏或行人的有无等,由此可以进行自动驾驶。此外,还可以将上述集成电路390用于进行导航、危险预测等的系统。

[0341] 在集成电路390中,通过对所得到的图像数据进行神经网络等的运算处理,例如可以进行图像的高分辨率化、图像噪声的减少、人脸识别(以安全防范等为目的)、物体识别(以自动驾驶等为目的)、图像压缩、图像校正(宽动态范围化)、无透镜图像传感器的图像恢复、位置对准、文字识别、反射眩光等的降低等处理。

[0342] 虽然在上述例子中作为移动体的一个例子说明汽车,但是移动体不局限于汽车。例如,作为移动体,也可以举出电车、单轨铁路、船舶、飞行物(直升机、无人驾驶飞机(无人机)、飞机、火箭)等,可以对这些移动体应用本发明的一个方式的计算机,以提供利用人工智能的系统。

[0343] 图25A是示出便携式电子设备的一个例子的外观图。图25B是便携式电子设备内的数据的递送的简图。便携式电子设备595包括印刷线路板596、扬声器597、照相机598、麦克风599等。

[0344] 在便携式电子设备595中,可以在印刷线路板596上设置上述集成电路390。便携式电子设备595通过利用上述实施方式中说明的集成电路390对通过扬声器597、照相机598、麦克风599等获得的多个数据进行处理及分析,可以提高使用者的方便性。此外,还可以将上述集成电路390用于进行声音指南、图像检索等系统。

[0345] 在集成电路390中,通过对所得到的图像数据进行神经网络等的运算处理,例如可以进行图像的高分辨率化、图像噪声的减少、人脸识别(以安全防范等为目的)、物体识别(以自动驾驶等为目的)、图像压缩、图像校正(宽动态范围化)、无透镜图像传感器的图像恢复、位置对准、文字识别、反射眩光等的降低等处理。

[0346] 图26A所示的便携式游戏机1100包括外壳1101、外壳1102、外壳1103、显示部1104、连接部1105、操作键1107等。外壳1101、外壳1102及外壳1103可以卸下。通过将设置在外壳1101的连接部1105安装在外壳1108,可以将输出到显示部1104的影像输出到其他视频显示设备。另一方面,通过将外壳1102及外壳1103安装在外壳1109,可以使外壳1102及外壳1103一体化而作为操作部使用。上述实施方式所示的集成电路390可以组合到设置在外壳1102及外壳1103的衬底上的芯片等。

[0347] 图26B是USB连接型的条状的电子设备1120。电子设备1120包括外壳1121、盖子1122、USB连接器1123及基板1124。基板1124收纳在外壳1121内。例如,基板1124安装有存储芯片1125、控制芯片1126。上述实施方式所示的集成电路390可以组合到基板1124的控制芯片1126等。

[0348] 图26C是人型机器人1130。机器人1130包括传感器2101至2106及控制电路2110。例如,上述实施方式所示的集成电路390可以组合到控制电路2110。

[0349] 在上述实施方式中说明的集成电路390可以不设置在电子设备内而用于与电子设备进行通信的服务器。在此情况下,由电子设备及服务器构成运算系统。图27示出系统3000的结构例子。

[0350] 系统3000由电子设备3001及服务器3002构成。电子设备3001与服务器3002间的通信可以通过互联网线3003进行。

[0351] 服务器3002具有多个机架3004。在多个机架设置有多块基板3005,可以在该基板3005上安装上述实施方式中所说明的集成电路390。由此,在服务器3002中构成神经网络。并且,服务器3002可以使用从电子设备3001通过互联网线3003输入的数据进行神经网络的运算。服务器3002的运算结果可以根据需要通过互联网线3003传送到电子设备3001。由此,可以减少电子设备3001中的运算负担。

[0352] 本实施方式可以与其他实施方式的记载适当地组合。

[0353] (关于本说明书等的记载的注释)

[0354] 下面,对上述实施方式及实施方式中的各结构的说明附加注释。

[0355] 各实施方式所示的结构可以与其他实施方式或实施例所示的结构适当地组合而构成本发明的一个方式。此外,当在一个实施方式中示出多个结构例子时,可以适当地组合这些结构例子。

[0356] 此外,可以将某一实施方式中说明的内容(或其一部分)应用/组合/替换成该实施方式中说明的其他内容(或其一部分)及/或另一个或多个其他实施方式中说明的内容(或其一部分)。

[0357] 注意,实施方式中说明的内容是指各实施方式中利用各种附图所说明的内容或者利用说明书所记载的文章而说明的内容。

[0358] 此外,通过将某一实施方式中示出的附图(或其一部分)与该附图的其他部分、该实施方式中示出的其他附图(或其一部分)及/或另一个或多个其他实施方式中示出的附图(或其一部分)组合,可以构成更多图。

[0359] 在本说明书等中,根据功能对构成要素进行分类并在方框图中以彼此独立的方框表示。然而,在实际的电路等中难以根据功能对构成要素进行分类,有时一个电路涉及到多个功能或者多个电路涉及到一个功能。因此,方框图中的方框不局限于说明书中说明的构成要素,而可以根据情况适当地改变。

[0360] 为了便于说明,在附图中,任意示出尺寸、层的厚度或区域。因此,本发明并不局限于附图中的尺寸。附图是为了明确起见而示意性地示出的,而不局限于附图所示的形状或数值等。例如,可以包括因噪声或定时偏差等所引起的信号、电压或电流的不均匀等。

[0361] 此外,附图等所示的构成要素的位置关系是相对性的。因此,在参照附图说明构成要素的情况下,为了方便起见,有时使用表示位置关系的“上”、“下”等词句。构成要素的位置关系不局限于本说明书所记载的内容,根据情况可以适当地改换词句。

[0362] 在本说明书等中,在说明晶体管的连接关系时,使用“源极和漏极中的一个”(第一电极或第一端子)、“源极和漏极中的另一个”(第二电极或第二端子)的表述。这是因为晶体管的源极和漏极根据晶体管的结构或工作条件等改变的缘故。注意,根据情况可以将晶体管的源极和漏极适当地换称为源极(漏极)端子或源极(漏极)电极等。

[0363] 此外,在本说明书等中,“电极”或“布线”不在功能上限定其构成要素。例如,有时

将“电极”用作“布线”的一部分,反之亦然。再者,“电极”或“布线”还包括多个“电极”或“布线”被形成为一体的情况等。

[0364] 此外,在本说明书等中,可以适当地对电压和电位进行调换。电压是指与基准电位的电位差,例如在基准电位为地电压(接地电压)时,也可以将电压称为电位。接地电位不一定意味着0V。注意,电位是相对的,对布线等供应的电位有时根据基准电位而变化。

[0365] 在本说明书等中,节点也可以根据电路结构或器件结构等被称为端子、布线、电极、导电层、导电体或杂质区域等。此外,端子、布线等也可以被称为节点。

[0366] 在本说明书等中,A与B连接是指A与B电连接。在此,A与B电连接是指在A和B之间存在对象物(开关、晶体管元件或二极管等的元件、或者包含该元件及布线的电路等)时可以在A和B之间传送电信号的连接。注意,A与B电连接的情况包括A与B直接连接的情况。在此,A与B直接连接是指A和B能够不经过上述对象物而在其间通过布线(或者电极)等传送电信号的连接。换言之,直接连接是指在使用等效电路表示时可以看作相同的电路图的连接。

[0367] 在本说明书等中,开关是指具有通过变为导通状态(开启状态)或非导通状态(关闭状态)来控制是否使电流流过的功能的元件。或者,开关是指具有选择并切换电流路径的功能的元件。

[0368] 在本说明书等中,例如,沟道长度是指在晶体管的俯视图,半导体(或在晶体管处于导通状态时,在半导体中电流流过的部分)和栅极重叠的区域或者形成沟道的区域中的源极和漏极之间的距离。

[0369] 在本说明书等中,例如,沟道宽度是指半导体(或在晶体管处于导通状态时,在半导体中电流流过的部分)和栅电极重叠的区域、或者形成沟道的区域中的源极和漏极相对的部分的长度。

[0370] 在本说明书等中,根据情况或状态,可以互相调换“膜”和“层”等词句。例如,有时可以将“导电层”调换为“导电膜”。此外,例如有时可以将“绝缘膜”调换为“绝缘层”。

[0371] [符号说明]

[0372] WEL:布线、WOL:布线、10:半导体装置、12:驱动电路、13:驱动电路、14:控制电路、15:处理电路、20_E:运算块部、20_0:运算块部、21_E:运算块、21_0:运算块、21:运算块、30:存储电路部、31:存储电路、40:运算电路部、41:锁存电路、42:切换电路、43_E:缓冲电路、43_0:缓冲电路、44:切换电路、45:运算电路

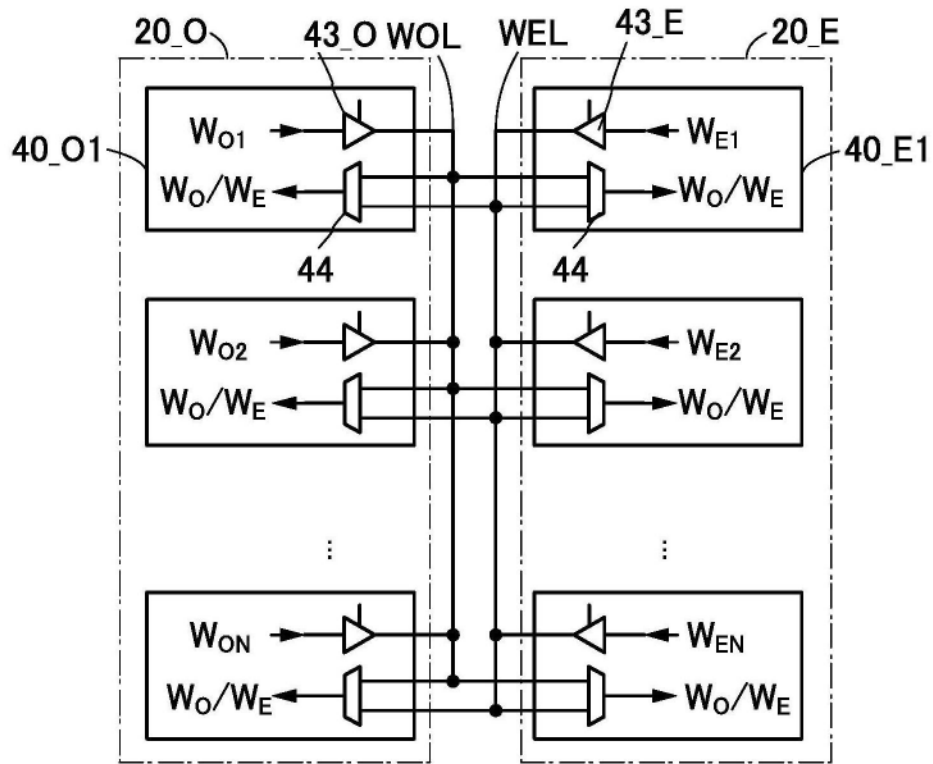


图2D

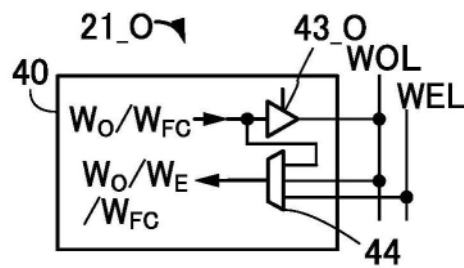


图3A

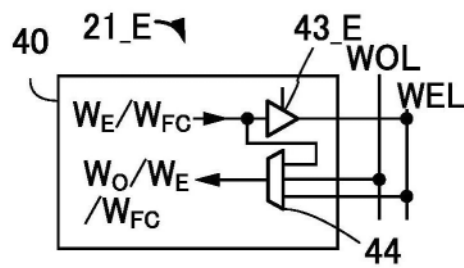


图3B

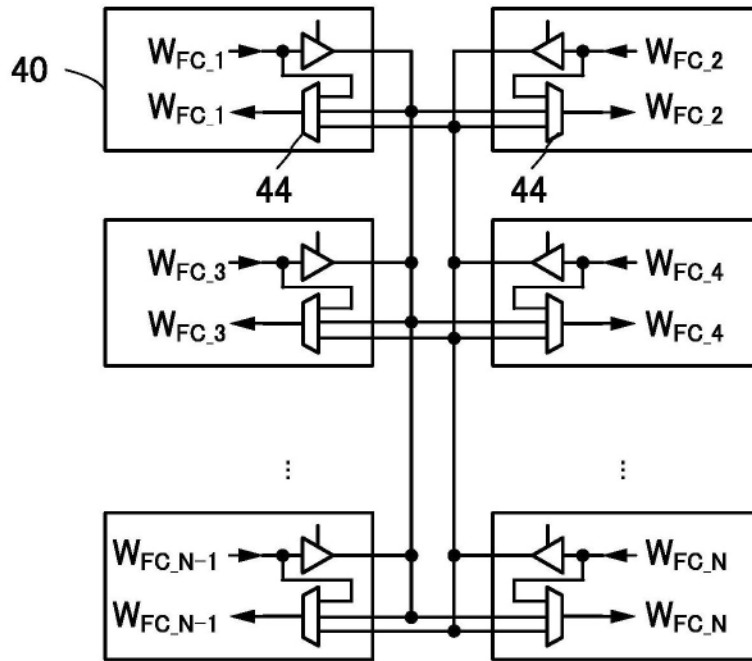


图3C

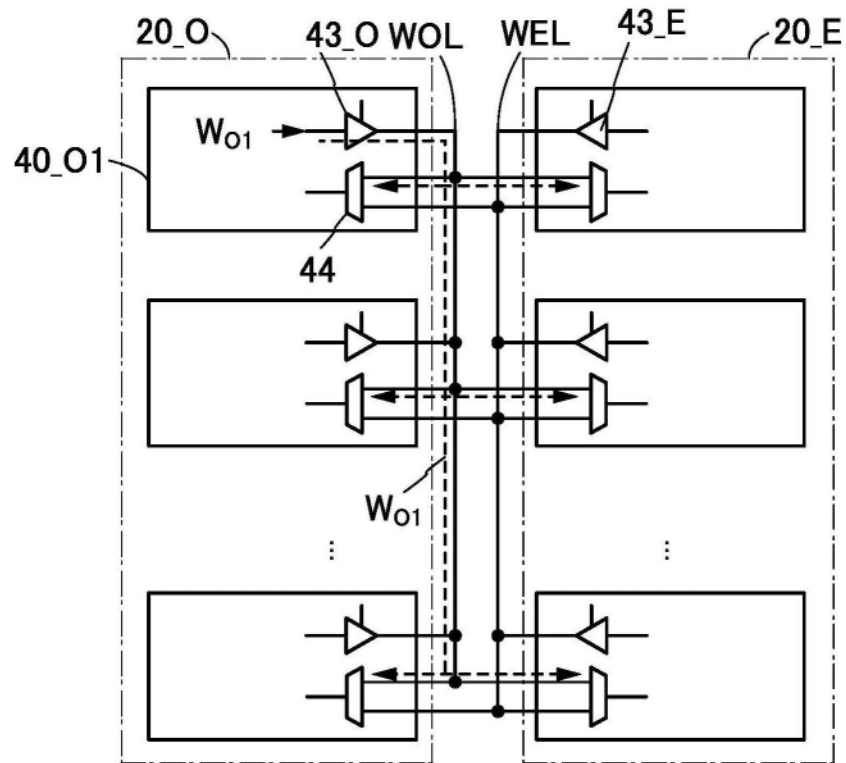


图4A

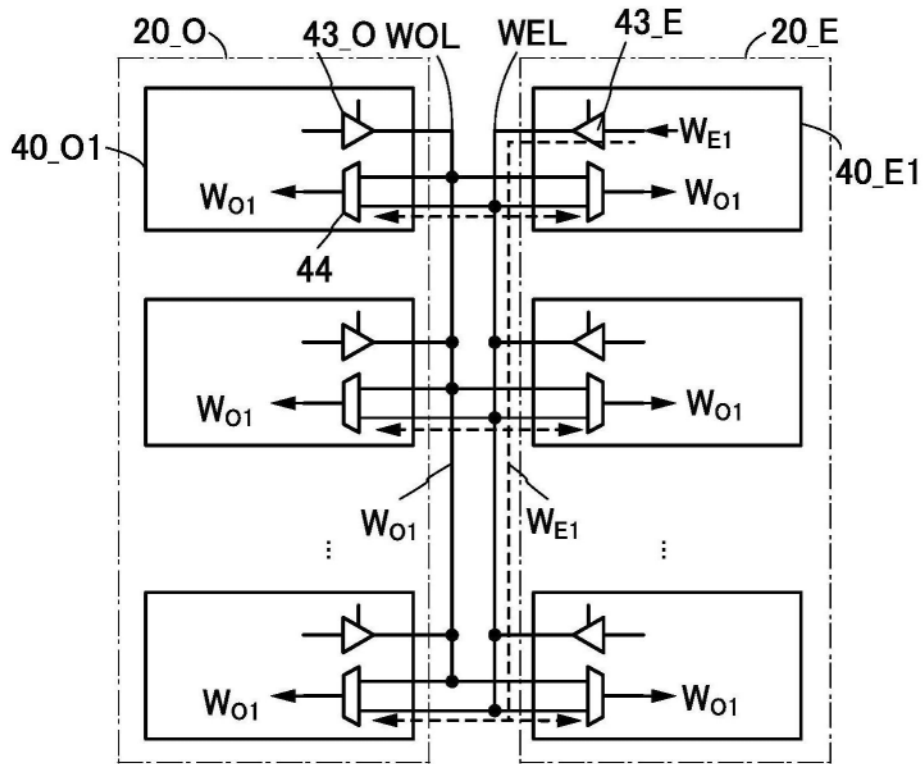


图4B

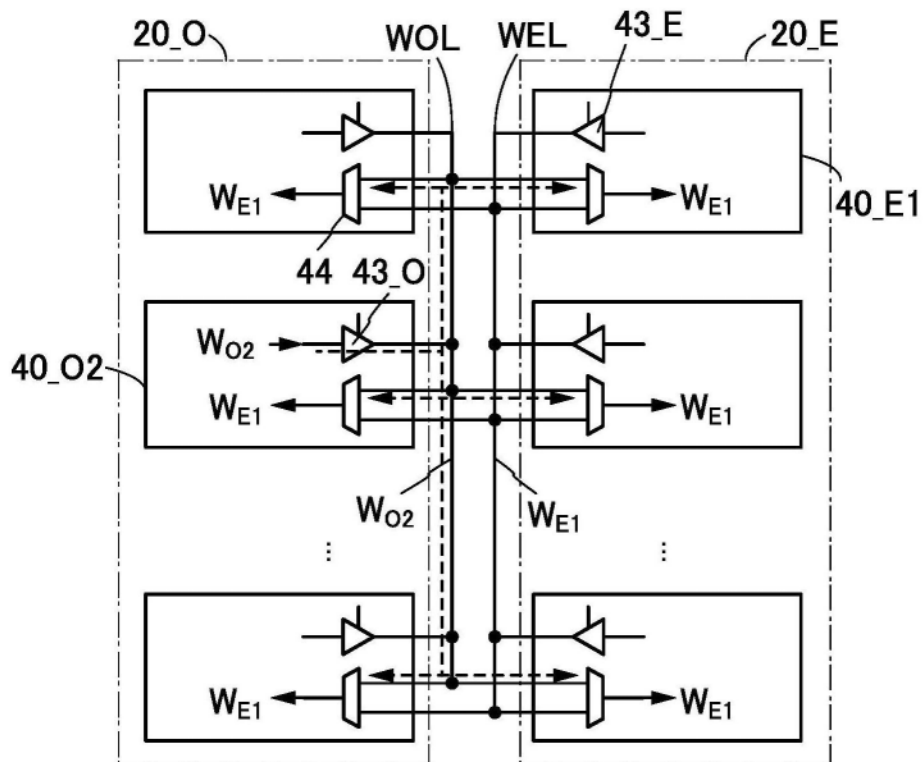


图5A

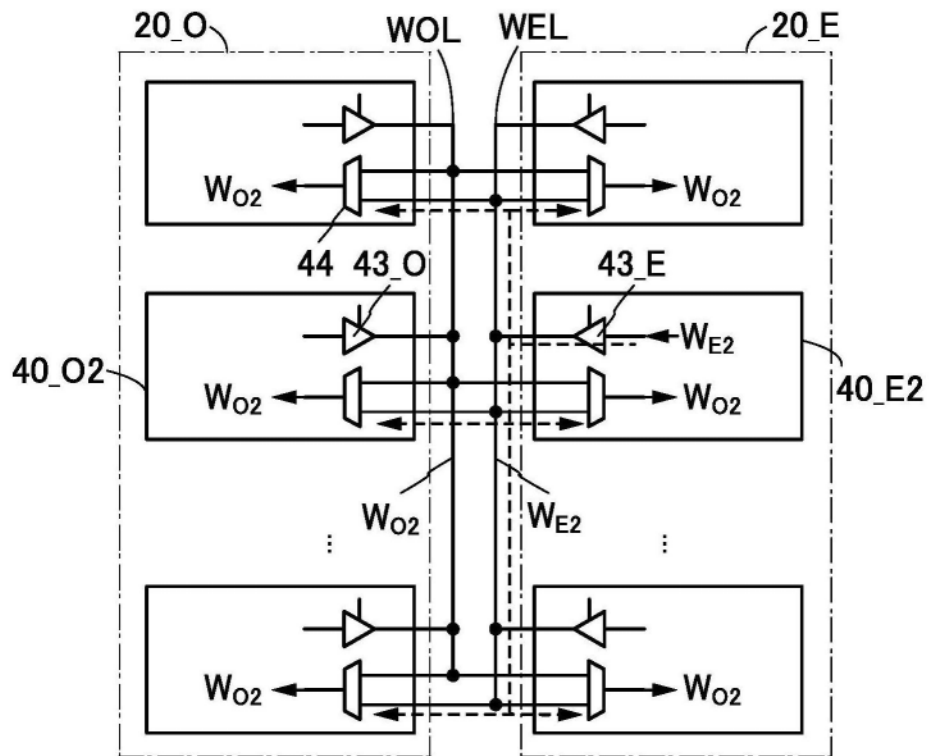


图5B

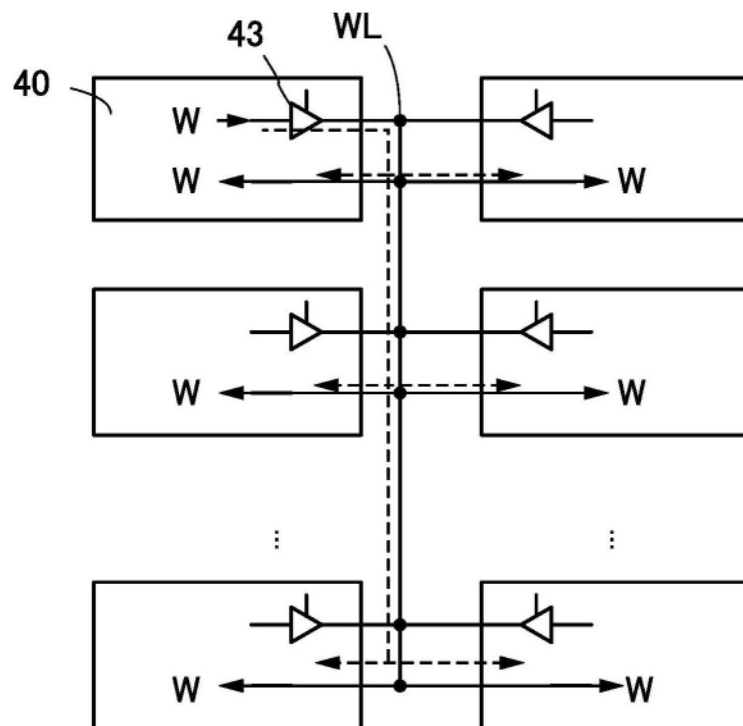


图6

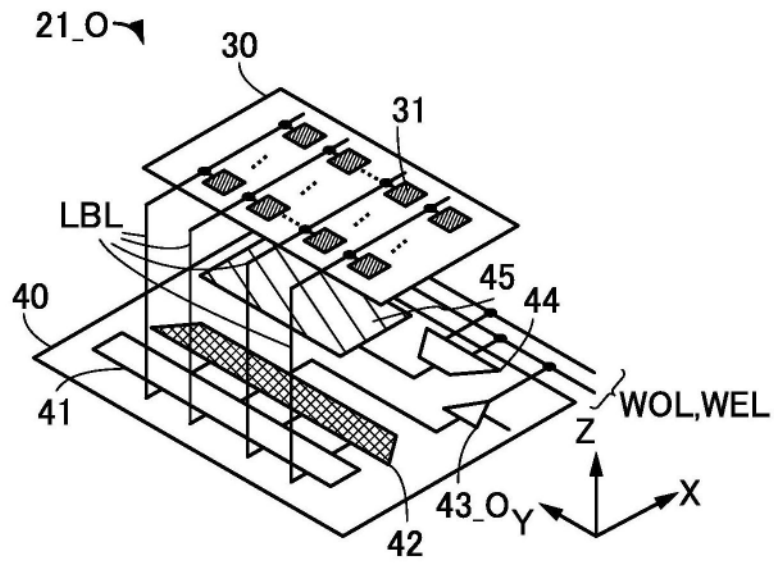


图7A

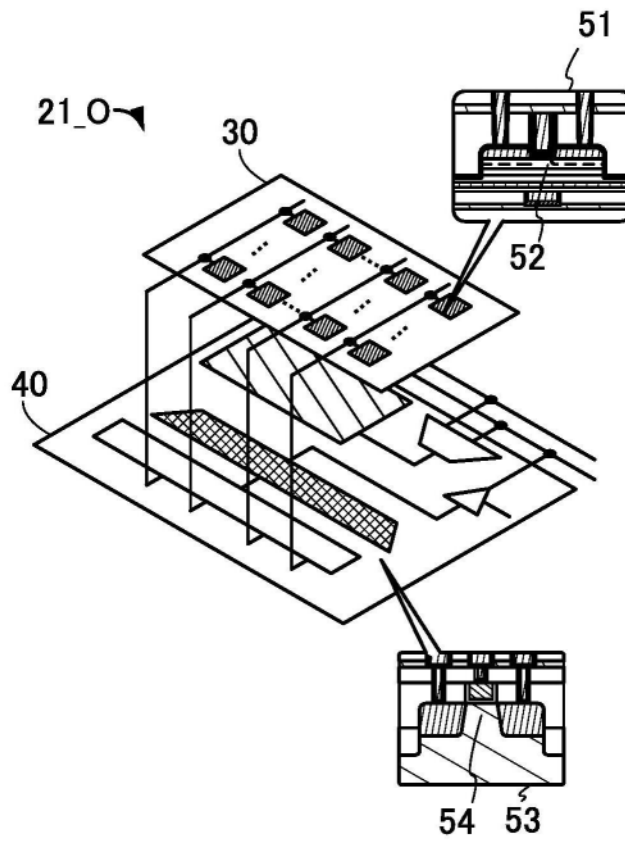


图7B

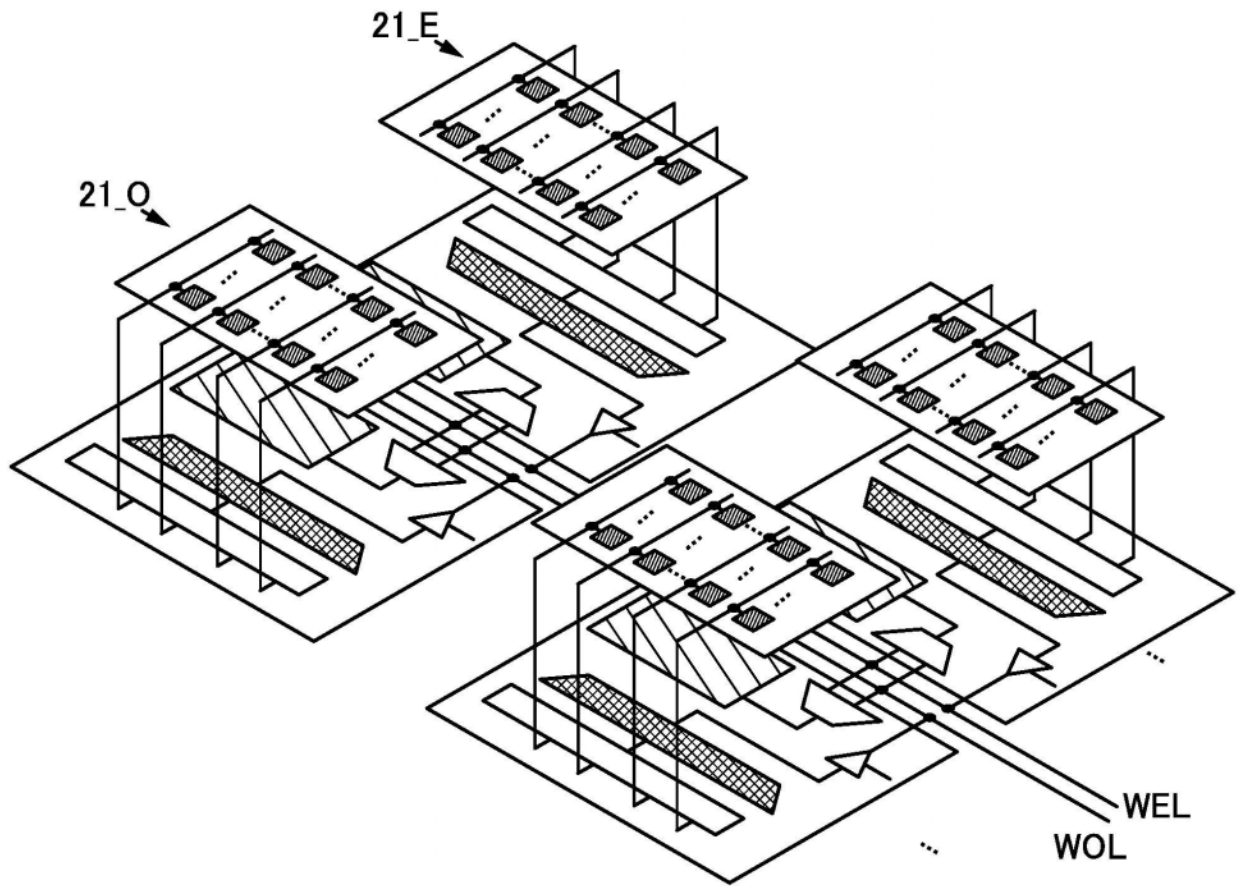


图8

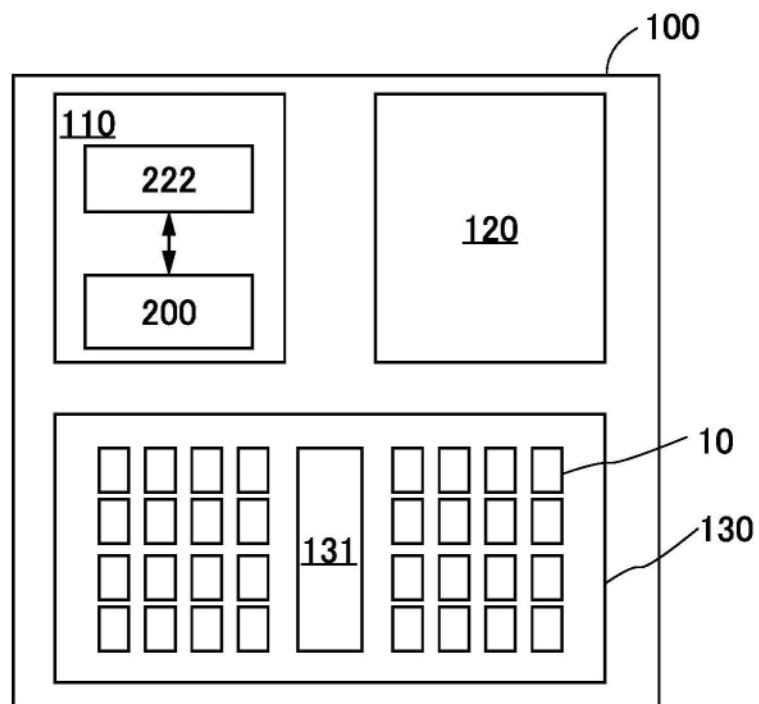


图9

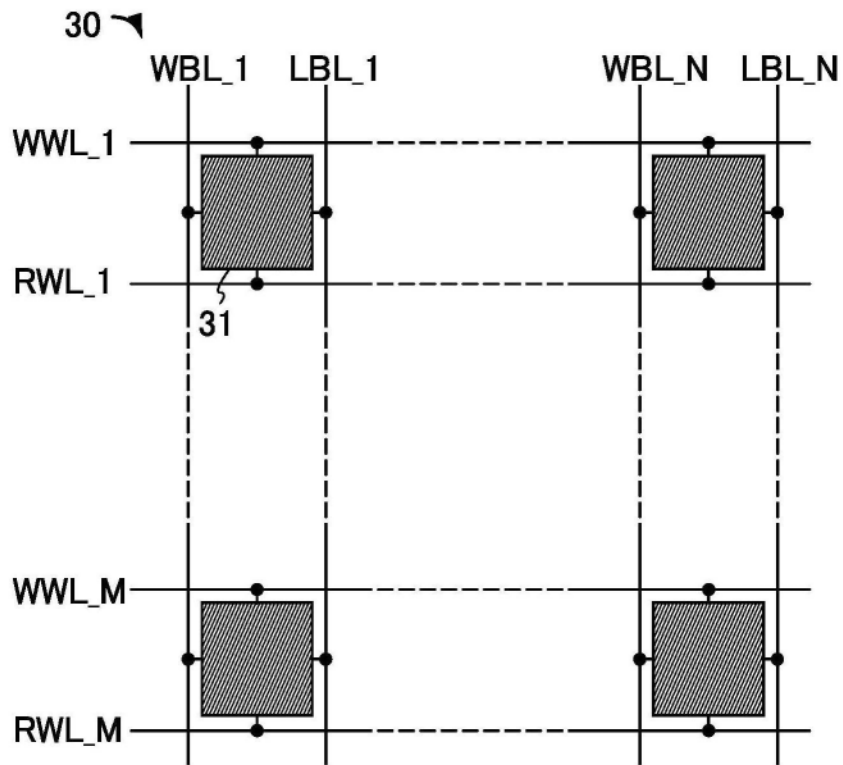


图10A

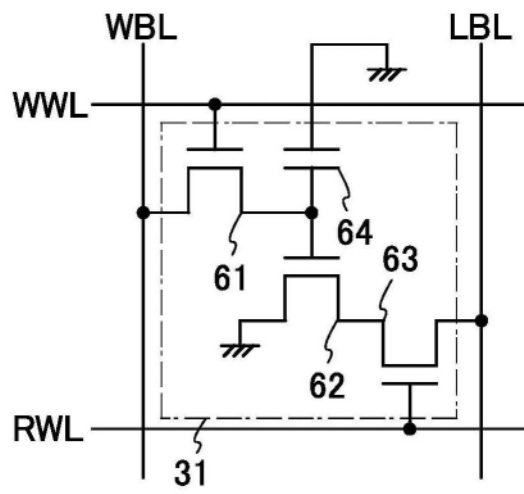


图10B

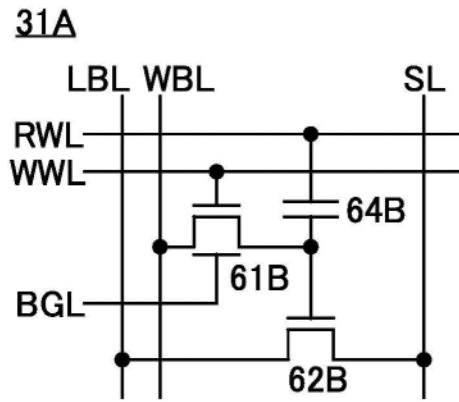


图11A

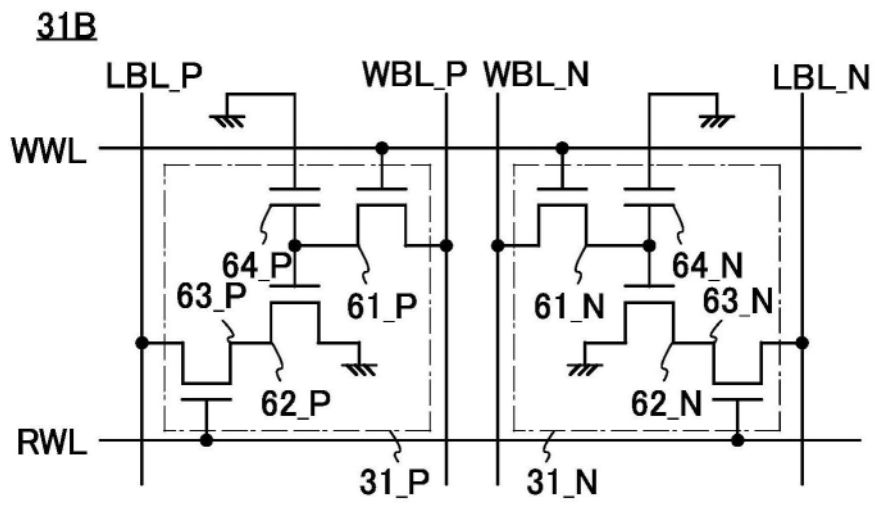


图11B

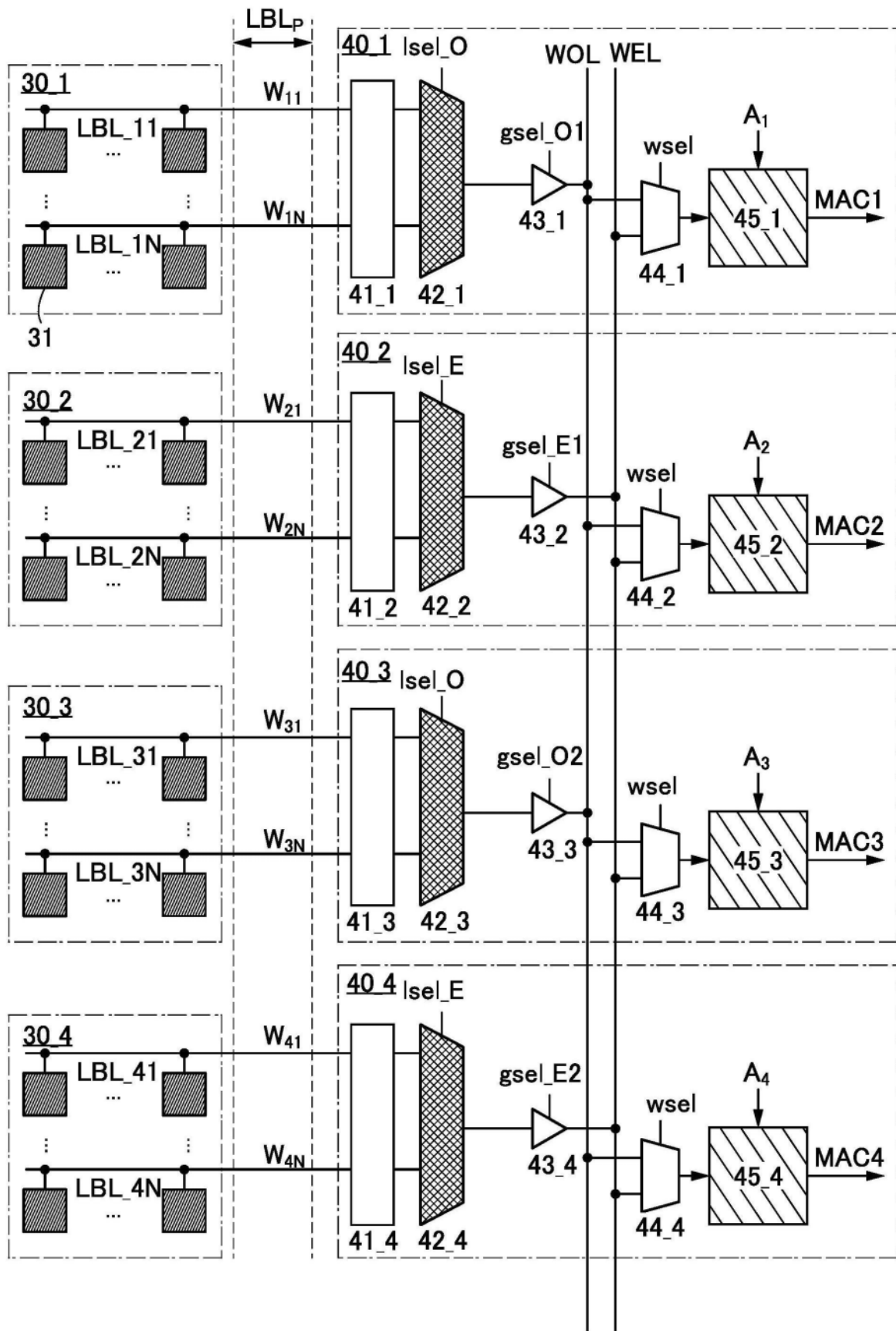


图12

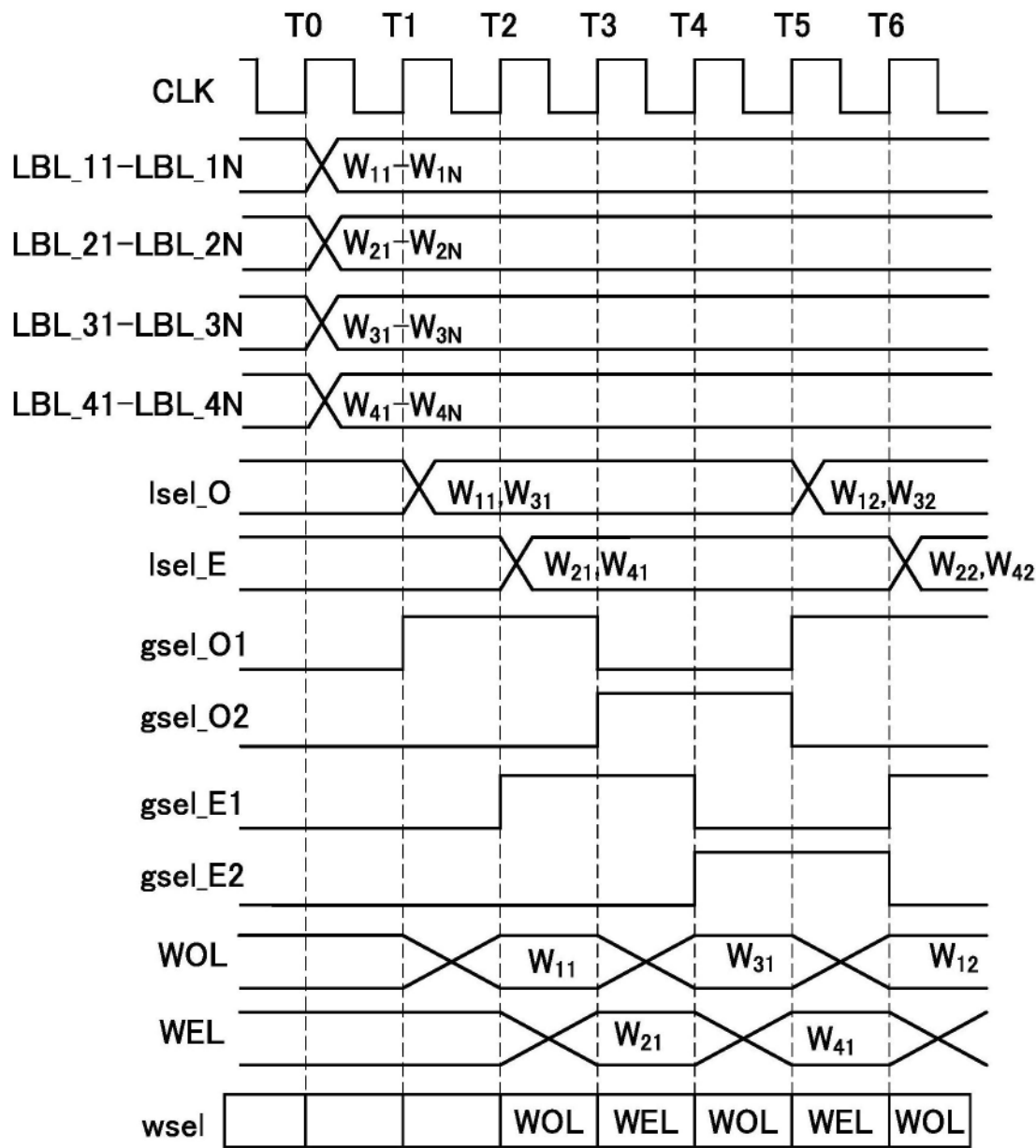


图13

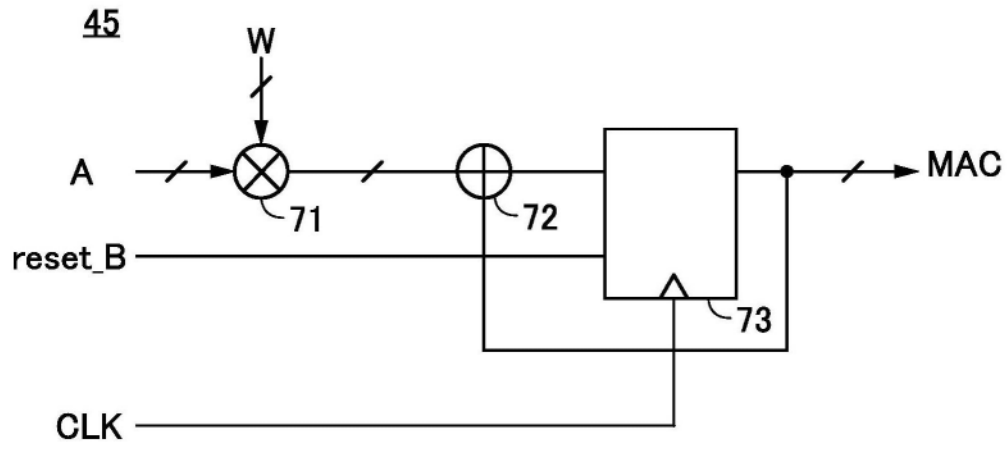


图14

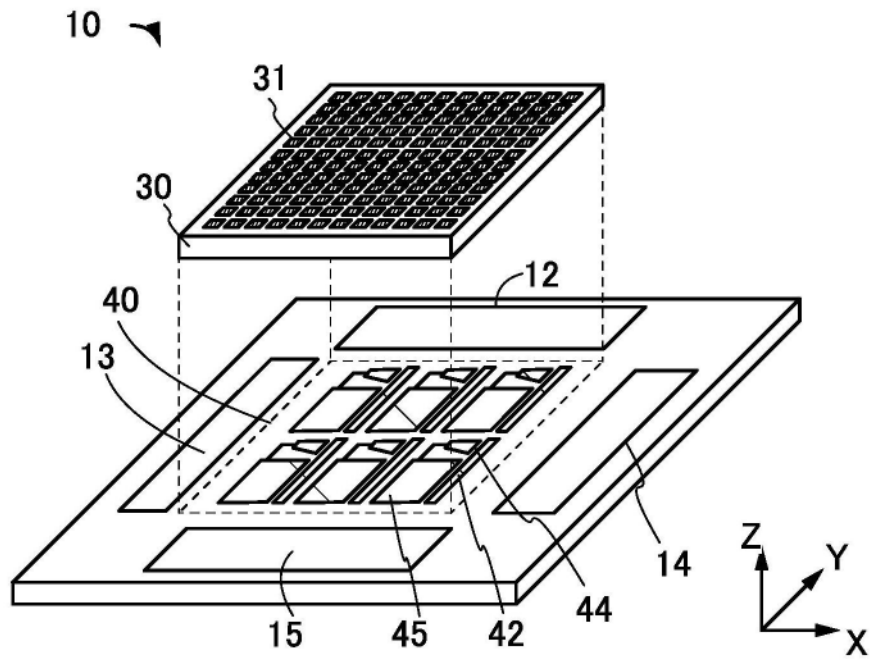


图15

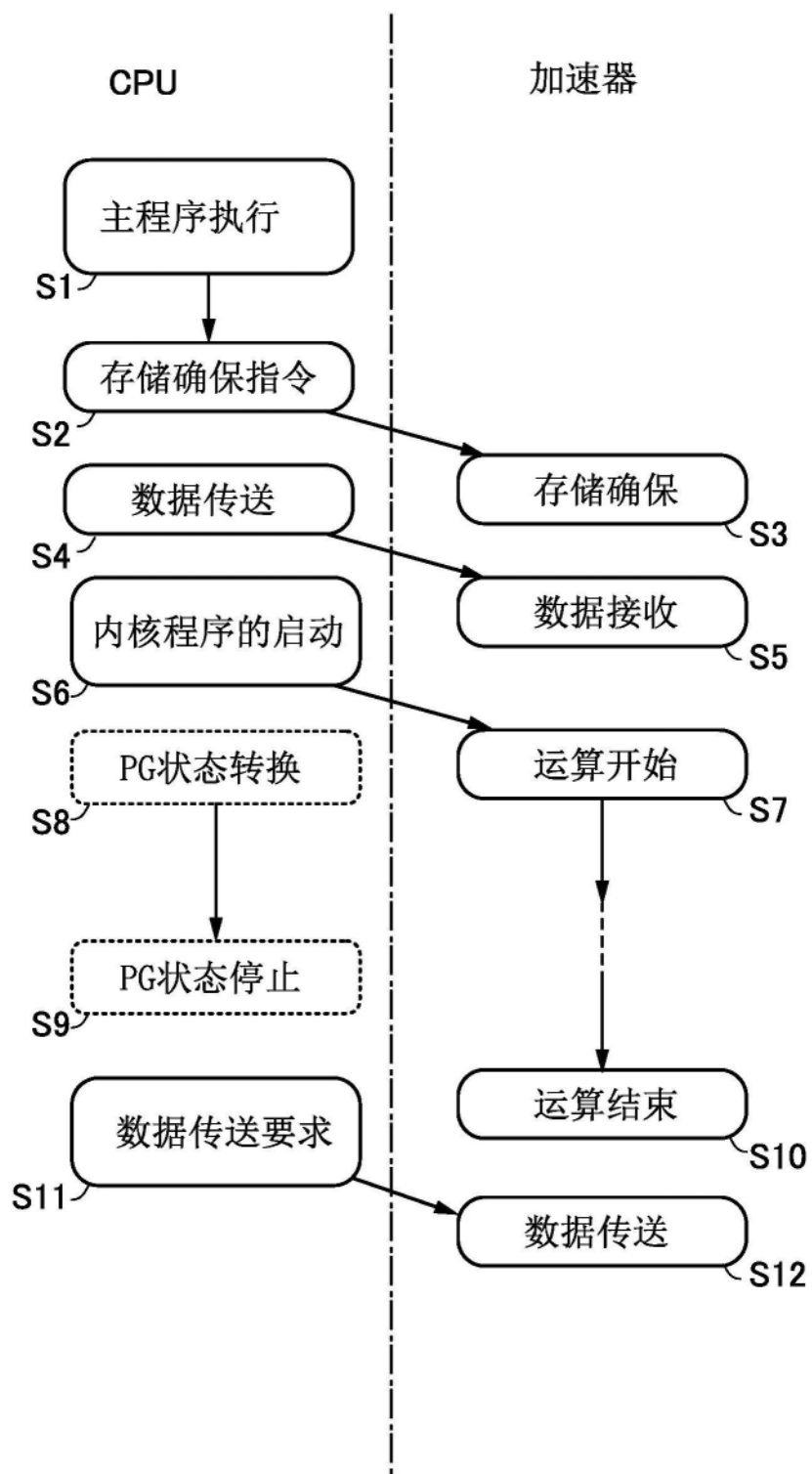


图17

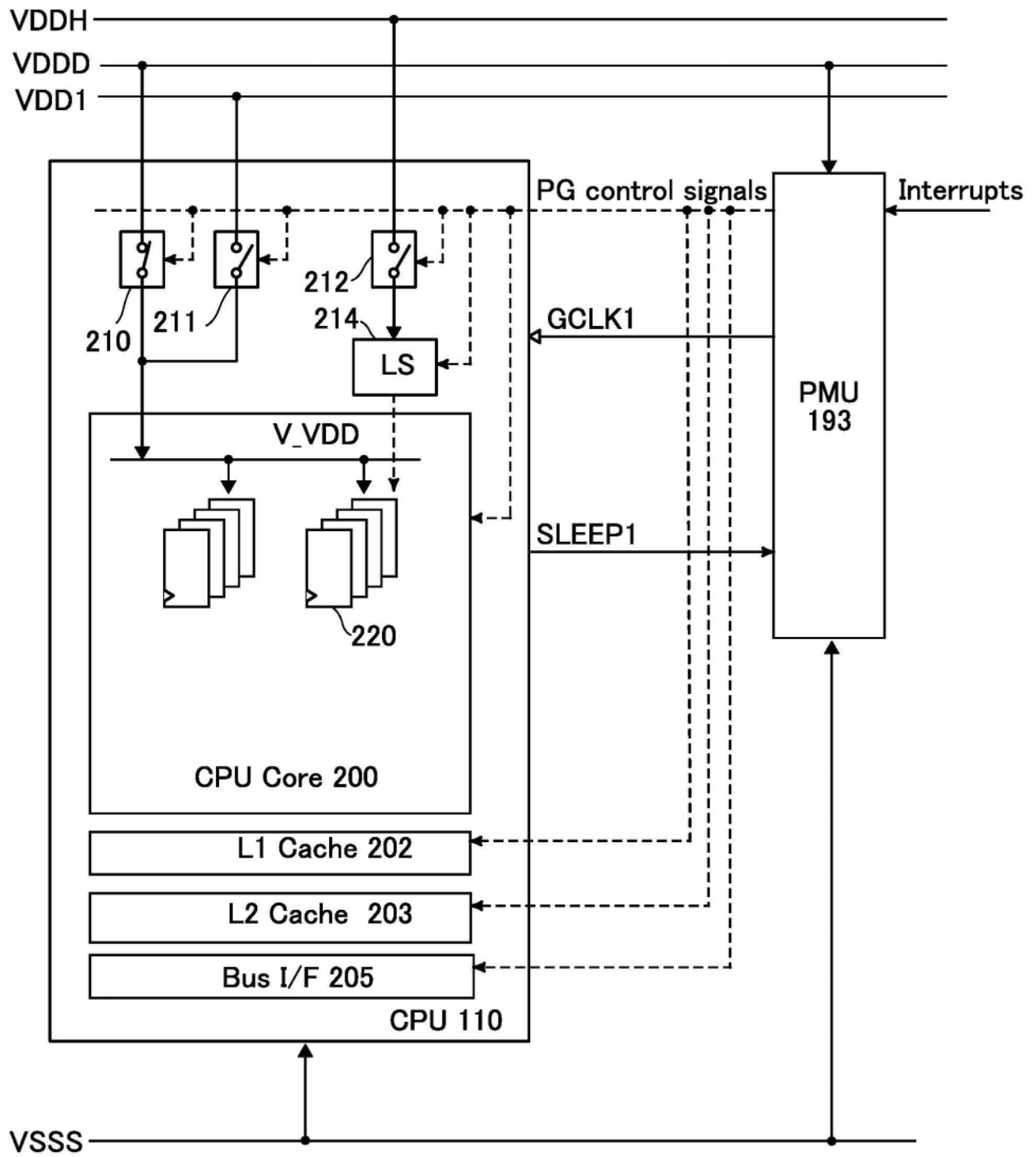


图18

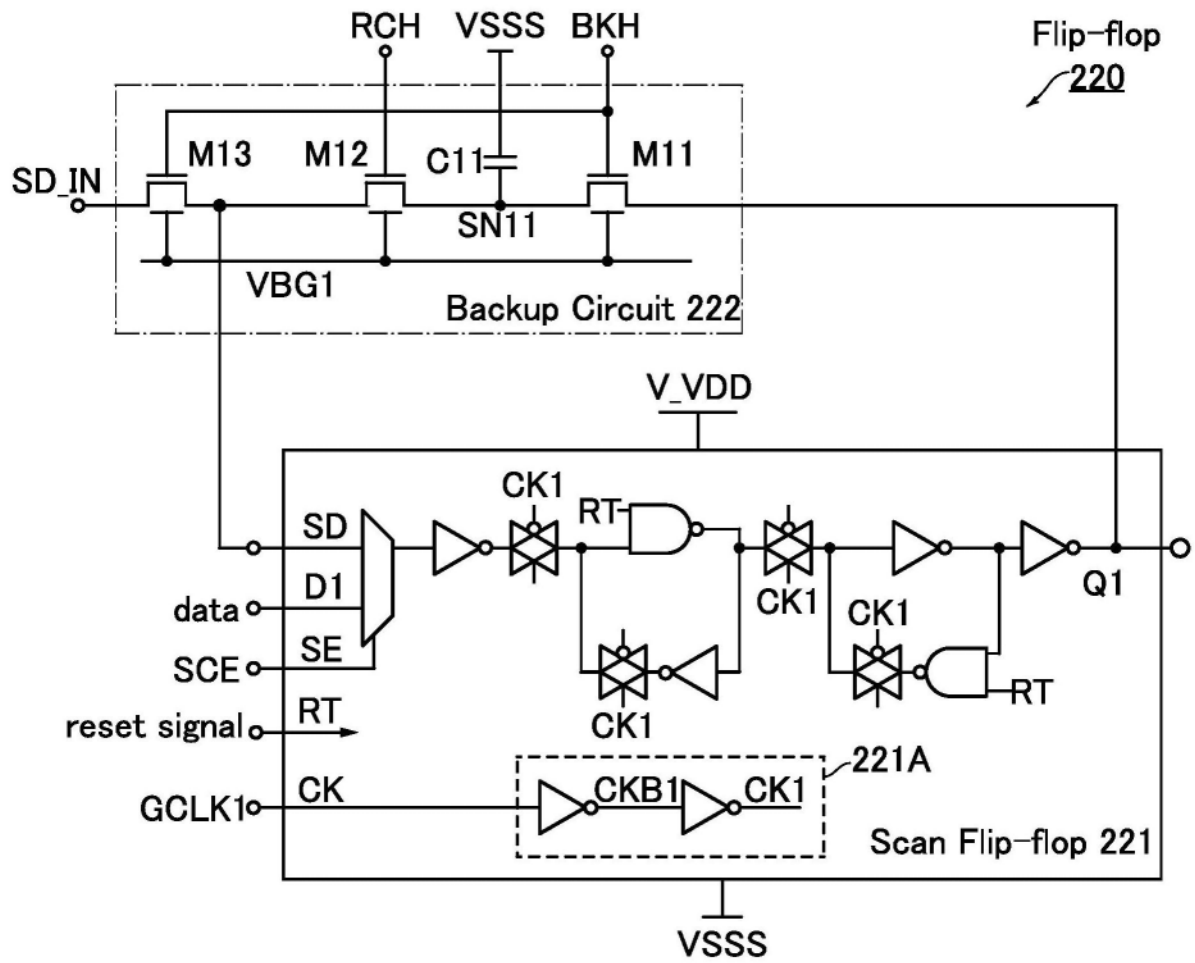


图19A

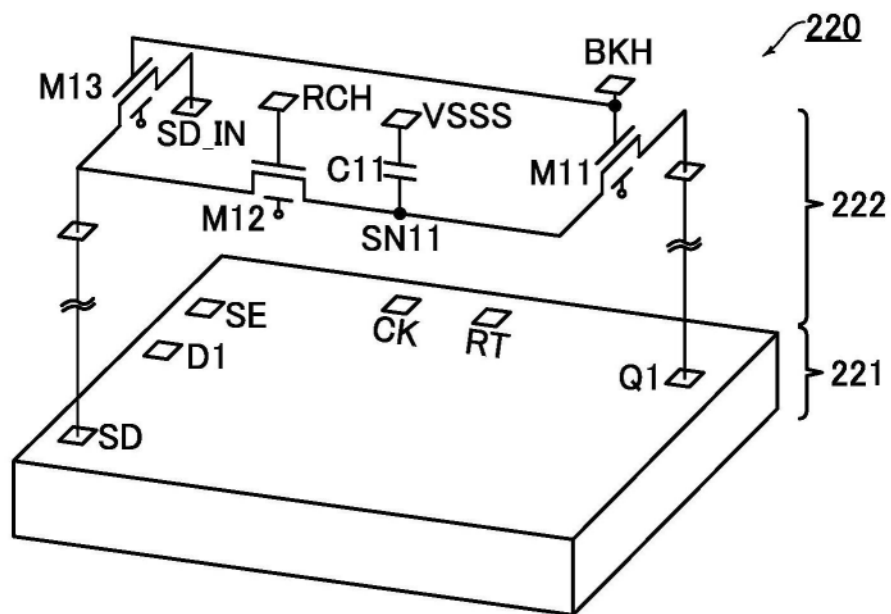


图19B

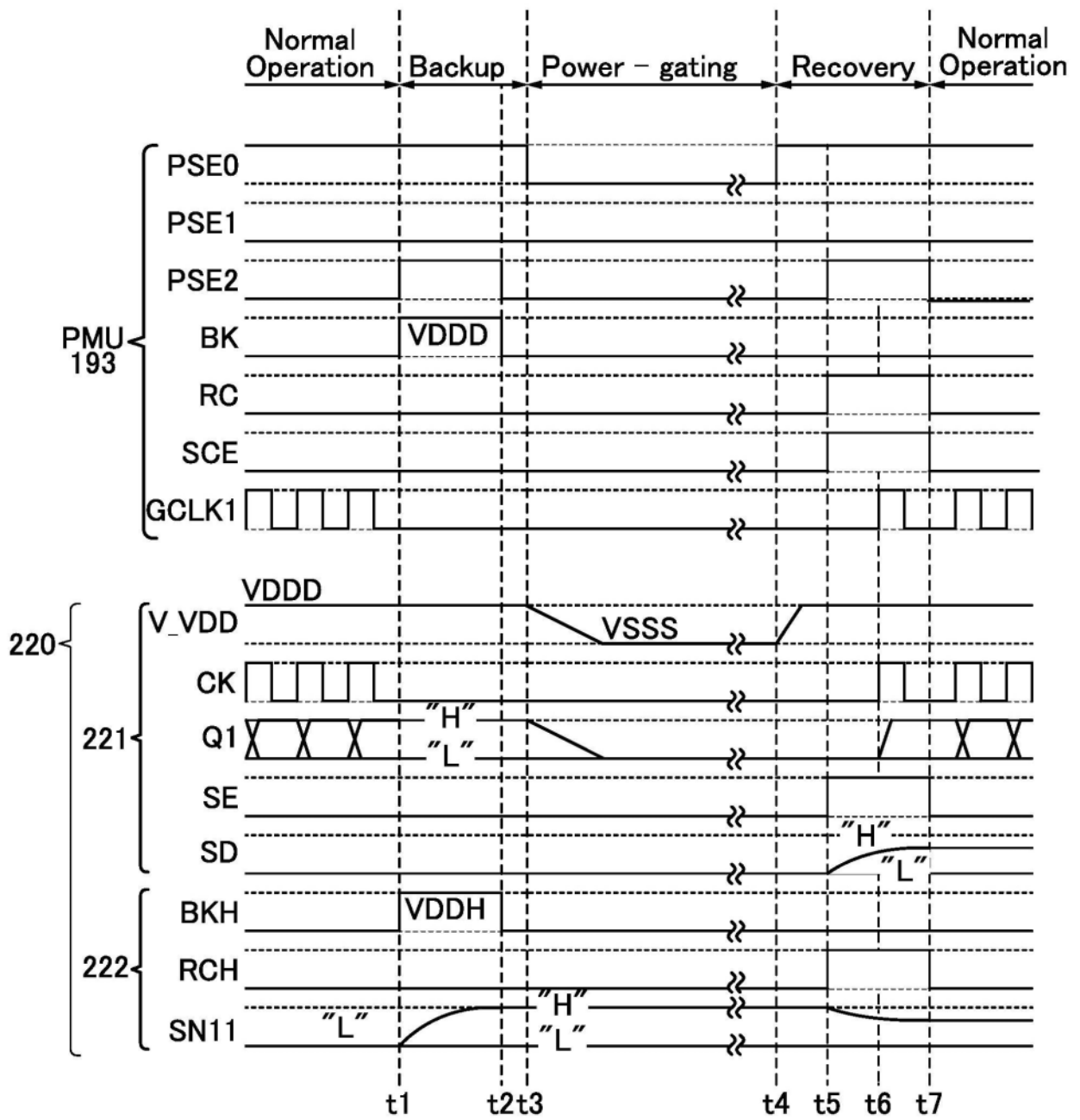


图20

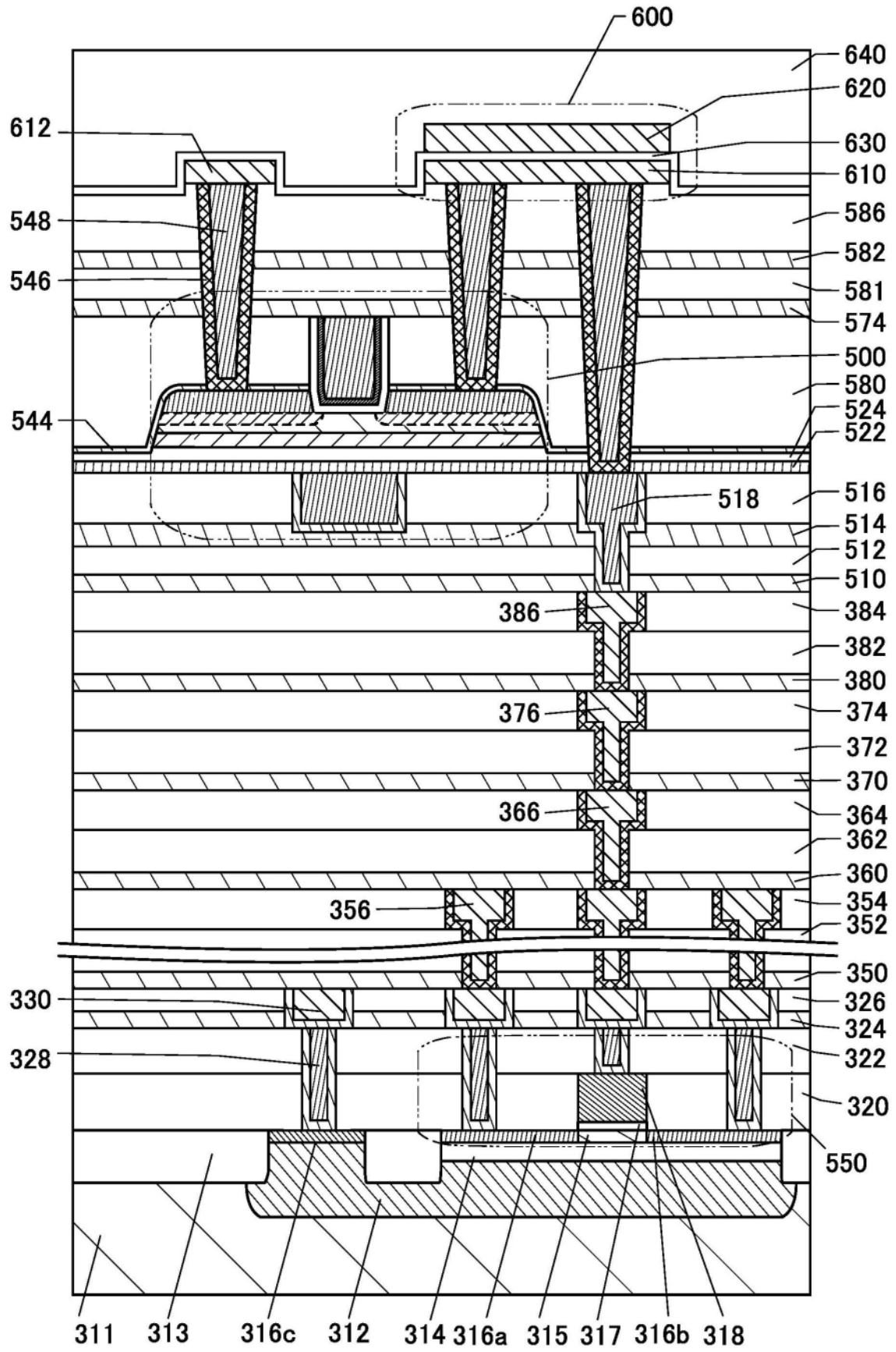


图21

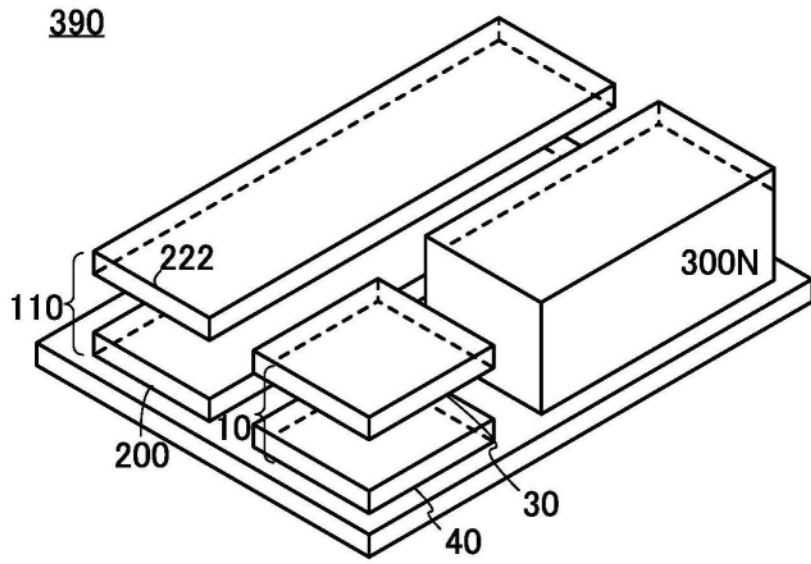


图23A

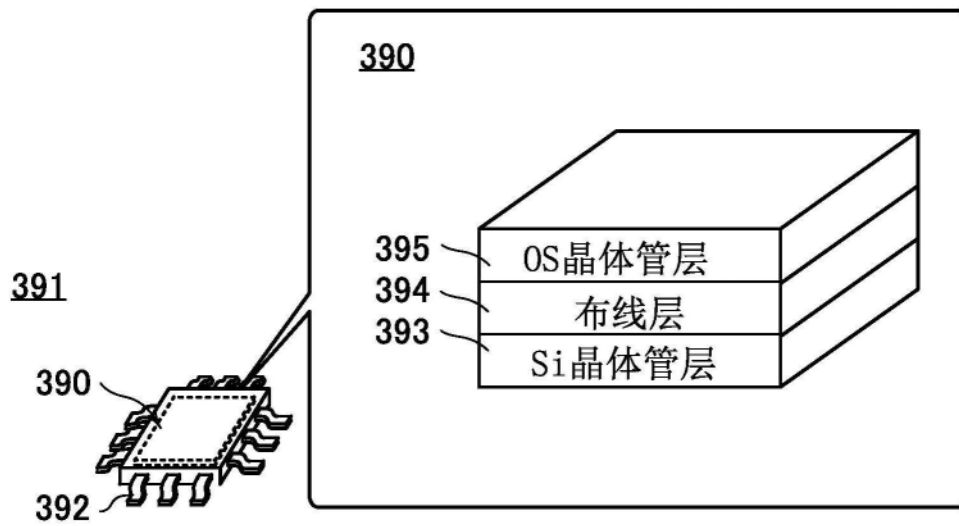


图23B

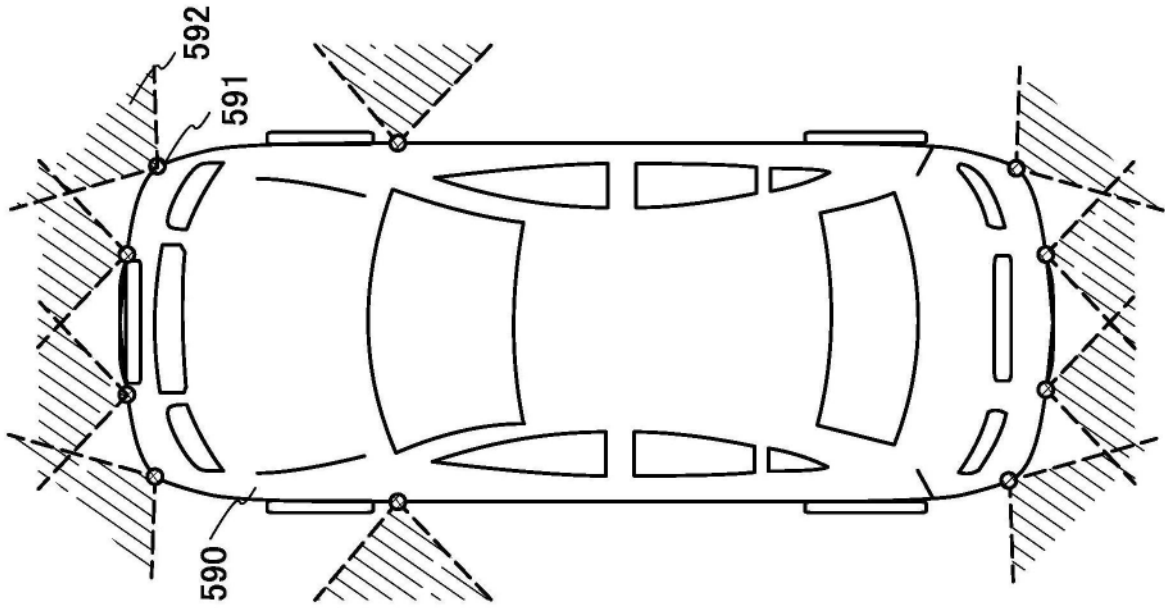


图24A

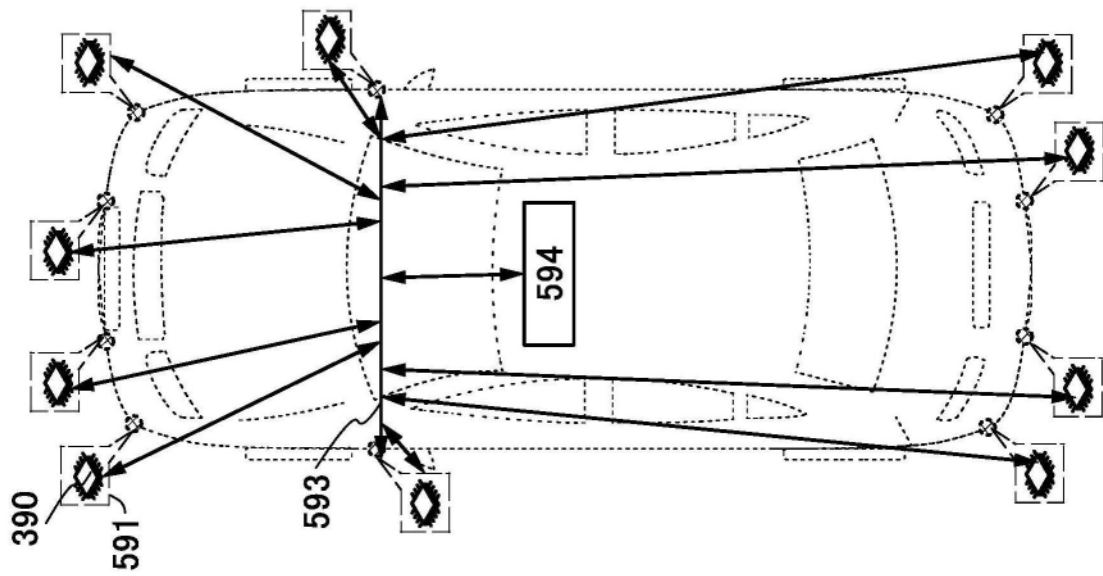


图24B

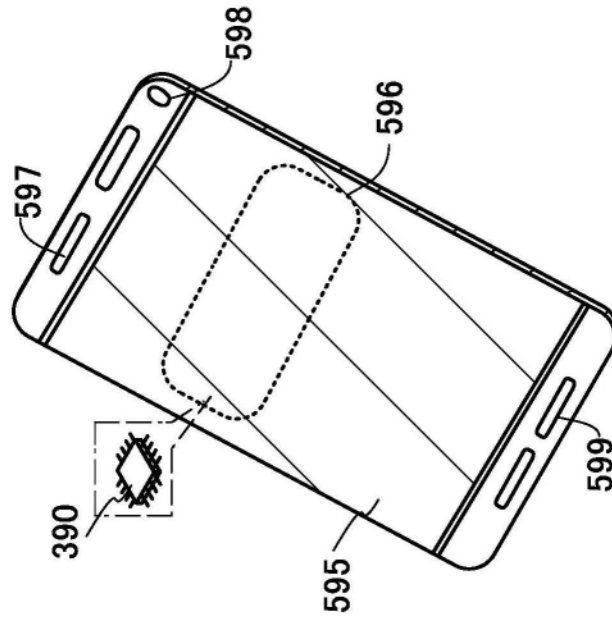


图25A

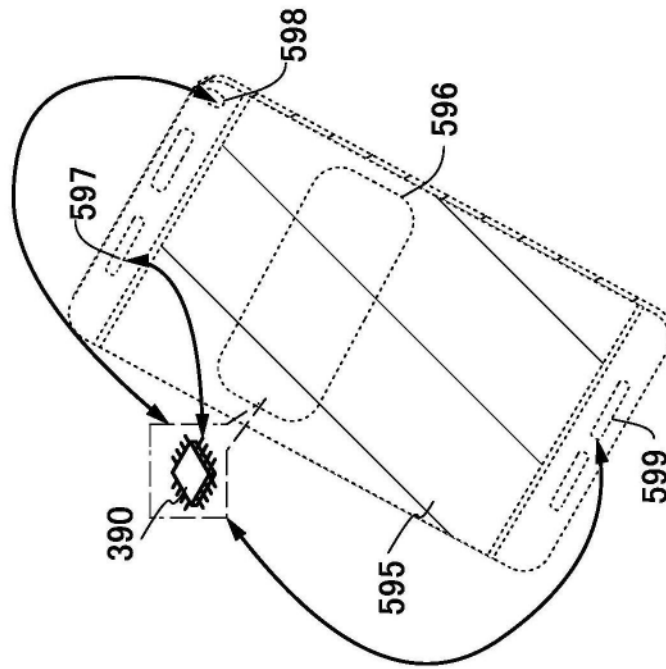


图25B

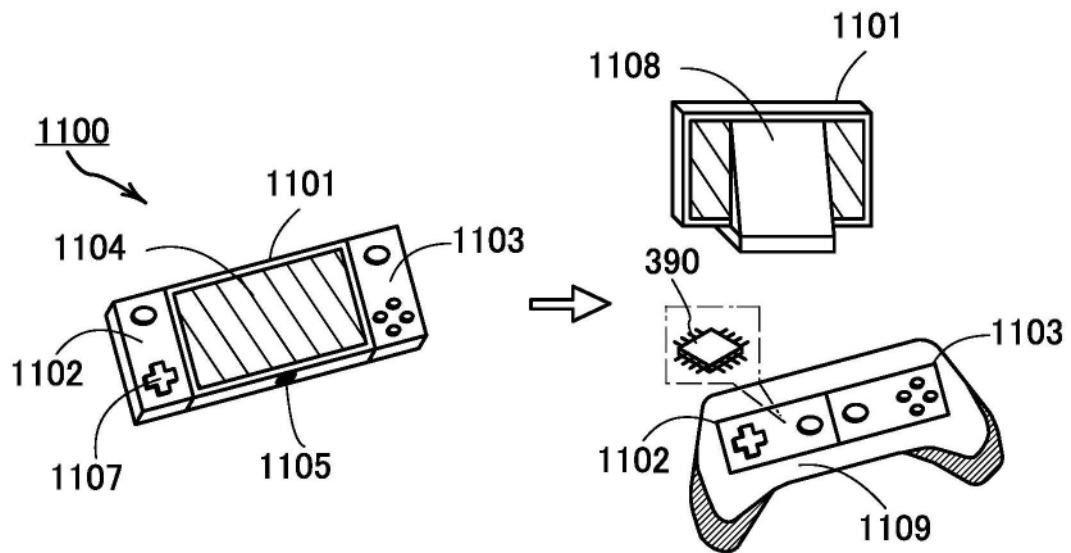


图26A

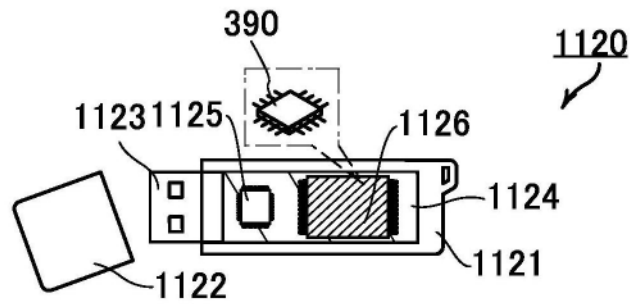


图26B

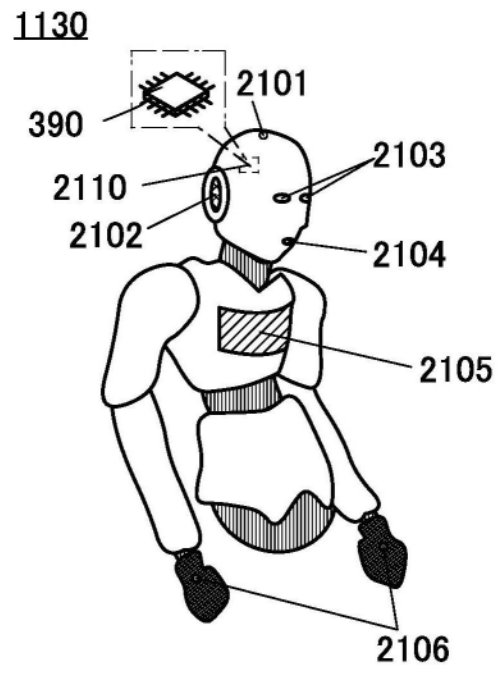


图26C

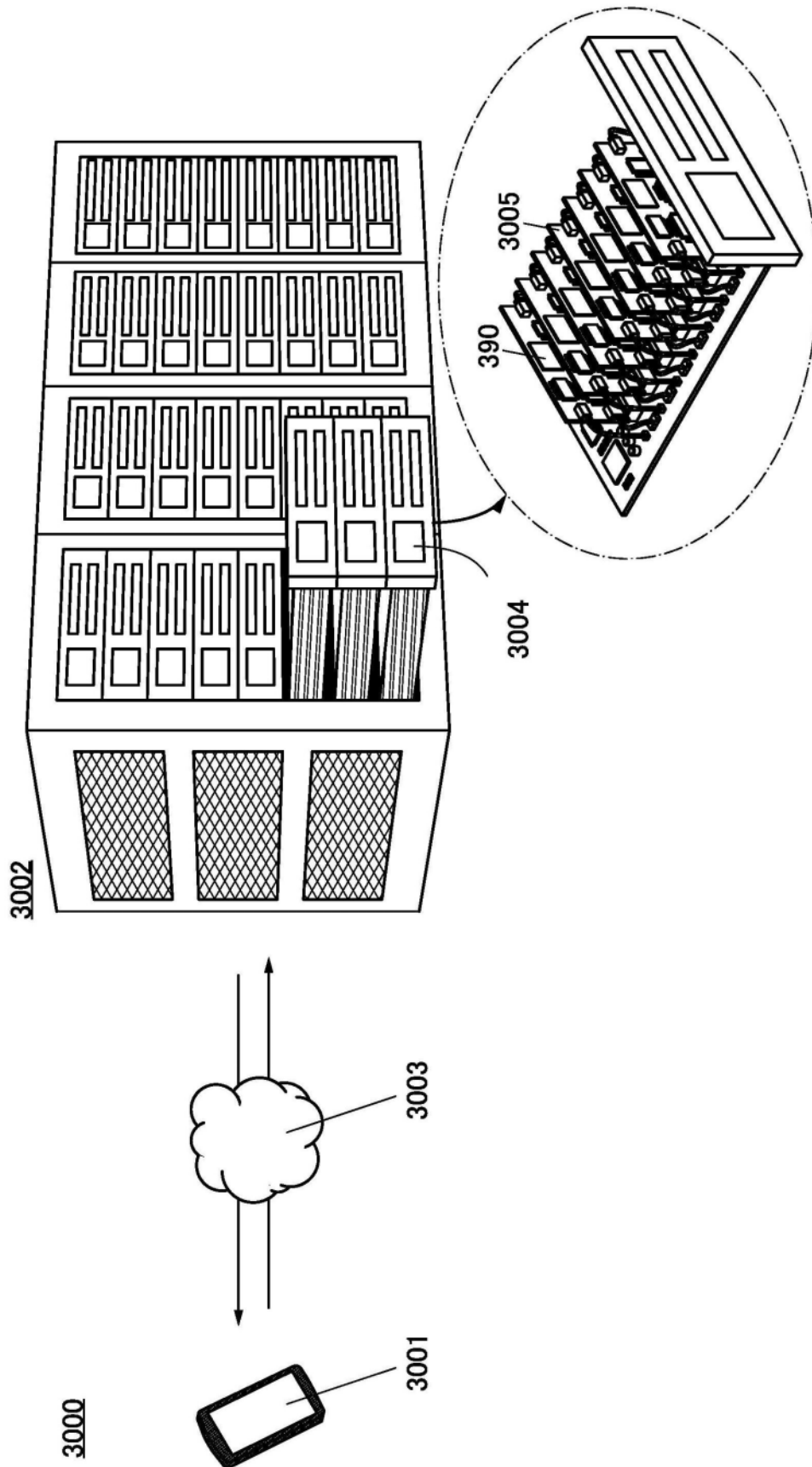


图27