

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(43) 国际公布日
2011 年 10 月 27 日 (27.10.2011)

PCT

(10) 国际公布号
WO 2011/131053 A1

- (51) 国际专利分类号:
H01L 21/768 (2006.01) H01L 21/336 (2006.01)
- (21) 国际申请号: PCT/CN2011/071086
- (22) 国际申请日: 2011 年 2 月 18 日 (18.02.2011)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201010156570.1 2010 年 4 月 21 日 (21.04.2010) CN
- (71) 申请人 (对除美国外的所有指定国): 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。
- (72) 发明人: 及
- (75) 发明人/申请人 (仅对美国): 尹海洲 (YIN, Haizhou) [CN/US]; 美国纽约州波基普西市洛克科劳斯特街 11#, Poughkeepsie, NY 12603 (US)。朱慧珑 (ZHU, Huilong) [US/US]; 美国纽约州波基普西市奥特姆路 93#, Poughkeepsie, NY 12603 (US)。骆志炯 (LUO, Zhijiong) [CN/US]; 美国纽约州波基普西市洛克科劳斯特街 11#, Poughkeepsie, NY 12603 (US)。
- (74) 代理人: 中科专利商标代理有限责任公司 (CHINA SCIENCE PATENT AND TRADEMARK AGENT LTD.); 中国北京市海淀区王庄路 1 号清华同方科技大厦 B 座 25 层, Beijing 100083 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,

[见续页]

(54) Title: SOURCE AND DRAIN REGIONS, CONTACT HOLES AND FABRICATION METHODS THEREOF

(54) 发明名称: 一种源漏区、接触孔及其形成方法

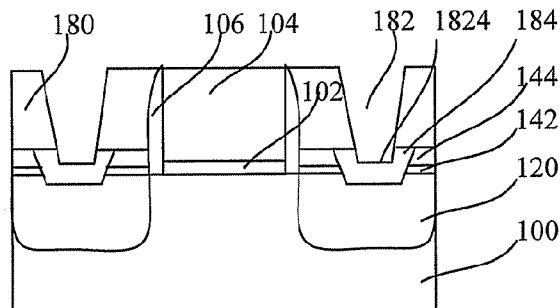


图 4 / Fig. 4

(57) Abstract: A source/drain region includes a first region of which at least part of thickness is in the substrate, and a second region being on the first region and having different material from the first region. A method of fabricating the source/drain region includes forming recesses in the substrate beside two sides of the gate stack, forming a first semiconductor layer with at least part of which the recesses are filled, and forming a second semiconductor layer on the first semiconductor layer, with the material of the second semiconductor layer different from that of the first semiconductor layer. A contact hole and a fabrication method thereof are also disclosed, which can increase the contact area between the contact hole and the contact region, and can reduce the contact resistance.

[见续页]



CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, **本国际公布:**
TG)。

— 包括国际检索报告(条约第 21 条(3))。

(57) 摘要:

一种源漏区, 包括: 第一区, 至少部分厚度的所述第一区位于衬底内; 第二区, 所述第二区形成于所述第一区上, 所述第二区的材料与所述第一区的材料不同。一种源漏区的形成方法, 包括: 在衬底中位于栅堆叠结构两侧形成沟槽; 形成第一半导体层, 至少部分所述第一半导体层填充所述沟槽; 在所述第一半导体层上形成第二半导体层, 所述第二半导体层的材料与所述第一半导体层的材料不同。还提供了一种接触孔及其形成方法。可增加接触孔与接触区的接触面积, 减小接触电阻。

一种源漏区、接触孔及其形成方法

技术领域

本发明涉及半导体技术领域，特别涉及一种源漏区、接触孔及其形成方法。

5

背景技术

随着半导体器件临界尺寸的逐渐减小，各种微观效应开始显现，优化半导体器件的性能变得越来越困难，其中，颇具挑战性和实际意义的是如何减小源漏区接触孔的接触电阻。

10 如图 1 所示，所述源漏区 40 可由半导体材料构成，所述源漏区 40 位于栅堆叠结构（所述栅堆叠结构包括形成于衬底 10 上的栅介质层 12、形成于所述栅介质层 12 上的栅极 14，以及，环绕所述栅介质层 12 和所述栅极 14 的侧墙 16）两侧且嵌入衬底 10 中，所述源漏区 40 的实际高度与目标高度之间的差值小于误差标准。为减小所述接触电阻，在层间介质层 20 中形成接于所述源漏区 40 上的所述
15 接触孔 30 时，需在形成所述接触孔 30 后，在所述源漏区 40 表层形成接触区 18（如为金属硅化物），使所述接触孔 30 经由所述接触区 18 接于所述源漏区 40，由此，如何减小所述接触区 18 的电阻成为减小所述接触电阻的关键。

为减小所述接触区的电阻，理论上，可采用增加所述接触区的面积的技术方案。但是，随着半导体器件临界尺寸的逐渐减小，所述接触孔的临界尺寸也逐渐
20 减小，如何在实践中增加所述接触区的面积成为本领域技术人员亟待解决的主要问题。

发明内容

为了解决上述问题，本发明提供了一种源漏区及其形成方法，可以在所述源
25 漏区上形成接触区以承载具有确定尺寸的接触孔时，增加所述接触孔与所述接触区的接触面积，减小接触电阻；本发明提供了一种接触孔及其形成方法，可以使所述接触孔经由所述接触区接于所述源漏区时，具有增加的接触面积，而减小接触电阻。

本发明提供的一种源漏区，由半导体材料构成，所述源漏区位于栅堆叠结构

两侧且嵌入衬底中，所述源漏区包括：

第一区，至少部分厚度的所述第一区位于所述衬底内；

第二区，所述第二区形成于所述第一区上，所述第二区的材料与所述第一区的材料不同。

5 可选地，所述第二区包括：

辅助层，所述辅助层用以在所述源漏区上形成嵌入的接触孔时承载所述接触孔；

停止层，所述停止层用以使所述接触孔终止于所述栅堆叠结构与所述衬底的交界线以上。

10 可选地，在形成于硅衬底的 PMOS 器件中，所述第一区材料为 SiGe，停止层为 Si，辅助层为 SiGe。

可选地，在形成于硅衬底的 NMOS 器件中，所述第一区材料为 $\text{Si}_{1-x}\text{C}_x$ ，停止层为 Si，辅助层为 SiGe。

15 可选地，在包含所述源漏区的 CMOS 器件中，所述第一区对 PMOS 器件的沟道区提供压应力，所述第一区对 NMOS 器件的沟道区提供拉应力。

可选地，所述 PMOS 器件中所述第一区的材料与所述 NMOS 器件中所述第一区的材料不同。

可选地，所述 PMOS 器件中所述第二区的材料与所述 NMOS 器件中所述第二区的材料相同。

20 本发明提供一种接触孔，所述接触孔嵌入上述的源漏区中，所述接触孔的底面与所述源漏区的交界线高于或重合于栅堆叠结构与衬底的交界线。

可选地，在所述接触孔暴露的所述源漏区表层形成接触区后，所述接触区的底面与所述源漏区的交界线高于或重合于所述栅堆叠结构与所述衬底的交界线。

25 本发明提供一种接触孔，所述接触孔嵌入源漏区中，所述接触孔的底面与所述源漏区的交界线高于或重合于栅堆叠结构与衬底的交界线；所述源漏区由半导体材料构成，所述源漏区位于栅堆叠结构两侧且嵌入衬底中，所述源漏区的上表面与所述栅堆叠结构和所述衬底的交界线之间的高度差大于所述源漏区的实际高度与目标高度之间的差值。

可选地，在所述接触孔暴露的所述源漏区表层形成接触区后，所述接触区的

底面与所述源漏区的交界线高于或重合于所述栅堆叠结构与所述衬底的交界线。

本发明提供一种源漏区的形成方法，包括：

在衬底中位于栅堆叠结构两侧形成沟槽；

形成第一半导体层，至少部分所述第一半导体层填充所述沟槽；

- 5 在所述第一半导体层上形成第二半导体层，所述第二半导体层的材料与所述第一半导体层的材料不同。

可选地，形成所述第二半导体层的步骤包括：

形成辅助层，所述辅助层用以在所述源漏区上形成嵌入的接触孔时承载所述接触孔；

- 10 形成停止层，所述停止层用以使所述接触孔终止于所述栅堆叠结构与所述衬底的交界线以上。

可选地，在形成于硅衬底的 PMOS 器件中，所述第一区材料为 SiGe，停止层为 Si，辅助层为 SiGe。

- 15 可选地，在形成于硅衬底的 NMOS 器件中，所述第一区材料为 SiC，停止层为 Si，辅助层为 SiGe。

可选地，在包含所述源漏区的 CMOS 器件中，所述第一半导体层对 PMOS 器件的沟道区提供压应力，所述第一半导体层对 NMOS 器件的沟道区提供拉应力。

可选地，所述 PMOS 器件中所述第一半导体层的材料与所述 NMOS 器件中所述第一半导体层的材料不同。

- 20 可选地，所述 PMOS 器件中所述第二半导体层的材料与所述 NMOS 器件中所述第二半导体层的材料相同。

本发明提供一种接触孔的形成方法，包括：

以上述的方法形成源漏区；

- 25 在所述源漏区中嵌入接触孔，所述接触孔的底面与所述源漏区的交界线高于或重合于所述栅堆叠结构与衬底的交界线。

可选地，在所述接触孔暴露的所述源漏区表层形成接触区后，所述接触区的底面与所述源漏区的交界线高于或重合于所述栅堆叠结构与所述衬底的交界线。

本发明提供一种接触孔的形成方法，包括：

在衬底中位于栅堆叠结构两侧形成沟槽；

形成半导体层，所述半导体层的上表面与所述栅堆叠结构和所述衬底的交界线之间的高度差大于所述半导体层的实际高度与目标高度之间的差值；

在所述半导体层中嵌入接触孔，所述接触孔的底面与所述半导体层的交界线高于或重合于所述栅堆叠结构与衬底的交界线。

5 可选地，在所述接触孔暴露的所述源漏区表层形成接触区后，所述接触区的底面与所述源漏区的交界线高于或重合于所述栅堆叠结构与所述衬底的交界线。

与现有技术相比，采用本发明提供的技术方案具有如下优点：

10 通过使所述源漏区包括至少部分厚度位于所述衬底内的第一区和形成于所述第一区上的第二区，且所述第二区的材料与所述第一区的材料不同（换言之，使所述源漏区的上表面高于所述栅堆叠结构与所述衬底的交界线），在后续形成接触孔时，需在所述源漏区表层形成凹槽，并在所述凹槽的底壁和侧壁处均形成接触区，使所述接触孔在经由其底面接于所述源漏区之余，还可经由其侧面中靠近所述底面的部分接于所述源漏区，相比于只经由其底面接于所述源漏区的技术方案，增加了接触面积，利于减小接触电阻；且可以通过选用适合的刻蚀剂使所述

15 凹槽形成于所述第二区中而停止于所述第一区上，使得可以通过调节所述第二区的厚度，调节所述凹槽的形貌，以灵活调节接触面积的大小；

通过使所述第二区包括辅助层和停止层，利于在所述第二区与所述第一区的刻蚀速率之差不明显时，使所述凹槽形成于所述第二区中而停止于所述第一区上，进而，可以通过调节所述第二区的厚度，调节所述凹槽的形貌，以灵活调节接触

20 面积的大小；

通过使 PMOS 器件中所述第二区的材料与 NMOS 器件中所述第二区的材料相同，可以对包含所述 PMOS 器件和 NMOS 器件的 CMOS 器件同步形成源漏区上的接触孔，在减小接触电阻之余，还利于简化工艺。

25 附图说明

图 1 所示为现有技术中在源漏区上形成接触孔后的结构示意图；

图 2 所示为本发明源漏区第一实施例的结构示意图；

图 3 所示为本发明源漏区第二实施例的结构示意图；

图 4 所示为本发明接触孔第一实施例的结构示意图；

图 5 所示为本发明接触孔第二实施例的结构示意图；

图 6 至图 8 所示为施行本发明源漏区的形成方法第一实施例各步骤时的中间结构示意图；

图 9 所示为施行本发明源漏区的形成方法第二实施例后形成的中间结构示意图；

5 图 10 至图 11 所示为施行本发明接触孔的形成方法第一实施例各步骤时的中间结构示意图；

图 12 所示为施行本发明接触孔的形成方法第二实施例时的结构示意图。

具体实施方式

10 下文的公开提供了许多不同的实施例或例子用来实现本发明提供的技术方案。虽然下文中对特定例子的部件和设置进行了描述，但是，它们仅仅为示例，并且目的不在于限制本发明。

此外，本发明可以在不同实施例中重复参考数字和/或字母。这种重复是为了简化和清楚的目的，其本身不指示所讨论的各种实施例和/或设置之间的关系。

15 本发明提供了各种特定工艺和/或材料的例子，但是，本领域普通技术人员可以意识到的其他工艺和/或其他材料的替代应用，显然未脱离本发明要求保护的范。需强调的是，本文件内所述的各种区域的边界包含由于工艺或制程的需要所作的必要的延展。

如图 2 所示，在源漏区第一实施例中，所述源漏区由半导体材料构成，所述源漏区位于栅堆叠结构两侧且嵌入衬底 100 中，所述源漏区包括：第一区 120，所述第一区 120 位于所述衬底 100 内；第二区，所述第二区形成于所述第一区 120 上；其中，所述第二区包括：辅助层 144，所述辅助层 144 用以在所述源漏区上形成嵌入的接触孔时承载所述接触孔；停止层 142，所述停止层 142 用以使所述接触孔终止于所述栅堆叠结构与所述衬底 100 的交界线以上；在包含所述源漏区的 CMOS 器件中，所述第一区 120 对 PMOS 器件的沟道区提供压应力，所述第一区 120 对 NMOS 器件的沟道区提供拉应力；PMOS 器件中所述第一区 120 的材料与 NMOS 器件中所述第一区 120 的材料不同；所述 PMOS 器件中所述第二区的材料与所述 NMOS 器件中所述第二区的材料相同。

本文件中，所述目标高度意指制程所需的理论高度，如，为满足设计需要，需使

源漏区的高度为 2000 埃，此 2000 埃即为所述目标高度；所述误差标准意指满足工艺要求的误差范围，如，在某一工艺条件下，规定形成所述源漏区的高度偏差小于或等于 $\pm 5\%$ 时，均认为所述源漏区的高度满足工艺要求，此小于或等于 $\pm 5\%$ 即为所述误差标准；所述实际高度意指在实践中为获得所述目标高度而获得的满足工艺要求的现实高度，如，所述目标高度为 2000 埃，所述误差标准为小于或等于 $\pm 5\%$ 时，对于符合工艺要求的高度为 2050 埃的源漏区，此 2050 埃即为所述源漏区的实际高度。

具体地，本文件中，所述衬底 100 均已经历处理操作，所述处理操作包括预清洗、形成阱区及形成浅沟槽隔离区，在本实施例中，所述衬底 100 为硅衬底，在其他实施例中，所述衬底 100 还可以包括其他化合物半导体，如碳化硅、砷化镓、砷化铟或磷化铟；此外，所述衬底 100 优选地包括外延层；所述衬底 100 也可以包括绝缘体上硅（SOI）结构。

所述栅堆叠结构包括形成于衬底 100 上的栅介质层 102、形成于所述栅介质层 102 上的栅极 104，以及，环绕所述栅介质层 102 和所述栅极 104 的侧墙 106。其中，所述栅极 104 包括多晶硅栅极、多晶硅伪栅或金属栅极（说明：本文件内，在描述源漏区实施例时，所述栅极 104 为多晶硅栅极或多晶硅伪栅；在描述接触孔实施例时，所述栅极 104 可以为多晶硅栅极或金属栅极）。所述栅介质层 102 可以选用铪基材料，如 HfO_2 、 HfSiO 、 HfSiON 、 HfTaO 、 HfTiO 或 HfZrO 中的一种或其组合。侧墙 106 可以包括氮化硅、氧化硅、氮氧化硅、碳化硅中的一种或其组合。侧墙 106 可以具有多层结构。所述栅介质层 102 和所述侧墙 106 和上述处理操作均可采用传统工艺形成或执行。

构成所述源漏区的半导体材料包括 Si、SiGe（Ge 的原子数百分比可以为 40%，Ge 的含量可以根据工艺需要灵活调节，如 30%-50%，本文件内未作特殊说明处，Ge 的原子数百分比均与此相同，不再赘述）或 $\text{Si}_{1-x}\text{C}_x$ （C 的原子数百分比可以为 0-2%，C 的含量可以根据工艺需要灵活调节，本文件内未作特殊说明处，C 的原子数百分比均与此相同，不再赘述）。需说明的是，所述半导体材料可以是已完成离子掺杂的半导体材料，如，可以是 N 型或 P 型的 Si、SiGe 或 $\text{Si}_{1-x}\text{C}_x$ 。所述离子掺杂操作可以在生成所述半导体材料的过程中直接形成（如在生成所述半导体材料的反应物中掺入包含掺杂离子成分的反应物）；也可以在生成所述半导体材

料后，再经由离子注入工艺形成，可采用任何传统的离子注入工艺执行所述离子掺杂操作，不再赘述。

在本实施例中，在包含所述源漏区的 CMOS 器件中，所述 PMOS 器件中所述第一区 120 的材料为 SiGe，所述 NMOS 器件中所述第一区 120 的材料为 $\text{Si}_{1-x}\text{C}_x$ ，
5 可使所述第一区 120 对所述 PMOS 器件的沟道区提供压应力，而对 NMOS 器件的沟道区提供拉应力，利于改善 CMOS 器件性能。在源漏区的其他实施例中，所述 PMOS 器件与 NMOS 器件中所述第一区 120 的材料还可以选用其他不同的半导体材料。所述 PMOS 器件中所述第一区 120 的材料与 NMOS 器件中所述第一区 120 的材料也可以相同，此时，为使所述第一区 120 对所述 PMOS 器件的沟道区提供
10 压应力，而对 NMOS 器件的沟道区提供拉应力，可采用不同的工艺形成所述 PMOS 器件和 NMOS 器件中的所述第一区 120 的材料。

在本实施例中，所述 PMOS 器件中所述第二区的材料与所述 NMOS 器件中所述第二区的材料相同，即，所述辅助层 144 和停止层 142 材料分别相同；换言之，所述 PMOS 器件与所述 NMOS 器件中所述第二区同步形成。在减小接触电阻之余，
15 还利于简化工艺。具体地，所述 PMOS 器件中所述第一区 120 的材料为 SiGe，所述 NMOS 器件中所述第一区 120 的材料为 $\text{Si}_{1-x}\text{C}_x$ 时，所述辅助层 144 材料优选为 SiGe，也可以为 $\text{Si}_{1-x}\text{C}_x$ ；所述停止层 142 可以为 Si（实践中，对于 32 纳米工艺，所述停止层 142 的厚度可以为 5 纳米）。此时，通过选取所述 PMOS 器件和 NMOS 器件中所述第二区的材料或形成所述材料的工艺，仍可调节所述 PMOS 器件和
20 NMOS 器件沟道区的应力，具体的调节方法与利用第一区调节器件沟道区中应力的方式相同，不再赘述。

此时，所述辅助层 144 用以在所述源漏区上形成嵌入的接触孔时承载所述接触孔；所述停止层 142 用以使所述接触孔终止于所述栅堆叠结构与所述衬底的交界线以上。通过使所述第二区包括辅助层 144 和停止层 142，利于在所述第二区
25 与所述第一区 120 的刻蚀速率之差不明显时，使承载所述接触孔的凹槽形成于所述第二区中而停止于所述第一区 120 上，进而，可以通过调节所述第二区的厚度，调节所述凹槽的形貌，以灵活调节接触面积的大小。

在源漏区的不同的实施例中，所述 PMOS 器件与所述 NMOS 器件中所述第二区的材料也可以不同，即，所述辅助层 144 和/或停止层 142 材料可以不同；此时，

所述 PMOS 器件与所述 NMOS 器件中所述第二区需分别形成。

在源漏区的不同的实施例中，所述停止层 142 与所述第一区 120 的交界线可以与所述栅堆叠结构与所述衬底 100 的交界线重合，或者，位于所述栅堆叠结构与所述衬底 100 的交界线上方。所述停止层 142 与所述第一区 120 的交界线与所述栅堆叠结构与所述衬底 100 的交界线重合时，利于本发明提供的技术方案与现有的源漏区形成工艺的兼容。所述停止层 142 与所述第一区 120 的交界线位于所述栅堆叠结构与所述衬底 100 的交界线上方时，通过调节工艺，可使在所述辅助层 144 和所述停止层 142 中形成嵌入的接触孔后，为减少填充所述接触孔的导电材料（如金属）和所述源漏区之间的接触电阻而引入的接触区（如为金属硅化物层，所述金属硅化物层可通过在所述源漏区上沉积金属后经历退火操作而形成，所述金属材料包括 Co、Ni、Mo、Pt 或 W 中的一种或其组合）与所述源漏区之间的交界线可以形成于所述栅堆叠结构与所述衬底 100 的交界线以上，利于减少器件沟道区的应力损失，进而提高载流子的迁移率。

如图 3 所示，在源漏区的第二实施例中，所述源漏区由半导体材料构成，所述源漏区位于栅堆叠结构两侧且嵌入衬底 100 中，所述源漏区包括：第一区 120，至少部分厚度的所述第一区 120 位于所述衬底 100 内；第二区 140，所述第二区 140 形成于所述第一区 120 上，所述第二区 140 的材料与所述第一区 120 的材料不同。在包含所述源漏区的 CMOS 器件中，PMOS 器件中所述第一区 120 的材料与 NMOS 器件中所述第一区 120 的材料不同。所述 PMOS 器件中所述第二区 140 的材料与所述 NMOS 器件中所述第二区 140 的材料相同。

在本实施例中，对所述半导体材料、栅堆叠结构、衬底 100 和第一区 120 的说明与前述实施例相同，不再赘述。

在本实施例中，所述 PMOS 器件中所述第二区 140 的材料与所述 NMOS 器件中所述第二区 140 的材料相同；换言之，所述 PMOS 器件与所述 NMOS 器件中所述第二区 140 同步形成。在减小接触电阻之余，还利于简化工艺。具体地，所述 PMOS 器件中所述第一区 120 的材料为 SiGe，所述 NMOS 器件中所述第一区 120 的材料为 $\text{Si}_{1-x}\text{C}_x$ 时，所述 PMOS 器件和所述 NMOS 器件中所述第二区 140 的材料可以为 Si。

所述第二区 140 的材料与所述第一区 120 的材料不同，可以使后续在所述源

漏区上形成的接触孔终止于所述栅堆叠结构与所述衬底的交界线以上。可以通过选用适合的刻蚀剂使承载所述接触孔的凹槽形成于所述第二区 140 中而停止于所述第一区 120 上，使得可以通过调节所述第二区 140 的厚度，调节所述凹槽的形貌，以灵活调节接触面积的大小。

- 5 所述第二区 140 与所述第一区 120 的交界线可以与所述栅堆叠结构与所述衬底的交界线重合，或者，位于所述栅堆叠结构与所述衬底 100 的交界线上方。所述第二区 140 与所述第一区 120 的交界线与所述栅堆叠结构与所述衬底 100 的交界线重合时，利于本发明提供的技术方案与现有的源漏区形成工艺的兼容。所述
- 10 第二区 140 与所述第一区 120 的交界线位于所述栅堆叠结构与所述衬底 100 的交界线上方时，通过调节工艺，可使在所述第二区 140 中形成嵌入的接触孔后，为减少填充所述接触孔的导电材料（如金属）和所述源漏区之间的接触电阻而引入的接触区与
- 15 所述源漏区之间的交界线可以形成于所述栅堆叠结构与所述衬底的交界线以上，利于减少器件沟道区的应力损失，进而提高载流子的迁移率。

- 本发明还提供了一种接触孔。在上述源漏区的各实施例的基础上，如图 4 所示，在所述源漏区上形成层间介质层 180 后，图形化所述层间介质层 180，即可
- 15 形成贯通所述层间介质层 180 并终止于所述源漏区内的接触孔 182。

- 在所述接触孔 182 的第一实施例中（此时，源漏区采用第一实施例中提供的技术方案），所述接触孔 182 与所述源漏区的交界线 1824 高于栅堆叠结构与衬底 100 的交界线。在所述接触孔 182 的其他实施例中，所述接触孔 182 与所述源漏
- 20 区的交界线可以重合于栅堆叠结构与衬底 100 的交界线。

- 所述接触孔 182 与所述源漏区的交界线与所述栅堆叠结构与所述衬底 100 的交界线重合时，利于本发明提供的技术方案与现有的接触孔形成工艺的兼容。所述接触孔 182 与所述源漏区的交界线高于所述栅堆叠结构与所述衬底 100 的交界线时，通过调节工艺，可使在形成所述接触孔 182 后，为减少填充所述接触孔 182
- 25 的导电材料（如金属）和所述源漏区之间的接触电阻而引入的接触区 184 与所述源漏区之间的交界线可以形成于所述栅堆叠结构与所述衬底的交界线以上，利于减少器件沟道区的应力损失，进而提高载流子的迁移率。

 具体地，如图 5 所示，在所述接触孔 182 的第二实施例中（此时，源漏区采用第一实施例中提供的技术方案），在所述接触孔 182 暴露的所述源漏区表层形

成接触区 184 后，所述接触区 184 与所述源漏区的交界线高于所述栅堆叠结构与所述衬底 100 的交界线。在所述接触孔 182 的其他实施例中，所述接触区 184 与所述源漏区的交界线可以重合于栅堆叠结构与衬底 100 的交界线。

5 本文件内，所述接触区 184 意指：在选用硅衬底时，为使硅和随后在所述接触孔 182 内淀积的导电材料更好地接触，而形成的金属硅化物；所述金属硅化物可在形成所述接触孔 182 后，先形成覆盖所述衬底 100 的金属层（包括 Co、Ni、Mo、Pt 或 W 中的一种或其组合），再对形成有所述金属层的所述衬底 100 执行热处理操作（如快速热处理或快速热退火），在去除未反应的所述金属层后形成。

需说明的是，在本发明提供的接触孔的各实施例中，所述接触孔 182 均嵌入
10 到所述源漏区中，即，在形成所述接触孔 182 时，需在所述源漏区表层形成凹槽，并在所述凹槽的底壁 1822 和侧壁 1824 处均形成接触区，使所述接触孔 182 在经由其底面（本文件内，所述底面意指所述凹槽的底壁 1822）接于所述源漏区之余，还可经由其侧面中靠近所述底面的部分接于所述源漏区，相比于只经由其底面接于所述源漏区的技术方案，增加了接触面积，利于减小接触电阻。此外，所述凹
15 槽的侧壁 1824 的形貌可通过采用不同的刻蚀工艺进行调节。

本发明还提供了一种源漏区的形成方法。

在所述源漏区的形成方法的第一实施例中，所述方法包括：

首先，如图 6 所示，在衬底 200 中位于栅堆叠结构两侧形成沟槽 220。

所述衬底 200 都已经历处理操作，所述处理操作包括预清洗、形成阱区及形成浅
20 沟槽隔离区，在本实施例中，所述衬底 100 为硅衬底，在其他实施例中，所述衬底 100 还可以包括其他化合物半导体，如碳化硅、砷化镓、砷化铟或磷化铟；此外，所述衬底优选地包括外延层；所述衬底也可以包括绝缘体上硅（SOI）结构。

所述栅堆叠结构包括形成于衬底 200 上的栅介质层 202、形成于所述栅介质层 202 上的栅极 204，以及，环绕所述栅介质层 202 和所述栅极 204 的侧墙 206。其
25 中，所述栅极 204 包括多晶硅栅极、多晶硅伪栅或金属栅极（说明：本文件内，在描述源漏区的形成方法实施例时，所述栅极 204 为多晶硅栅极或多晶硅伪栅；在描述接触孔的形成方法实施例时，所述栅极 204 可以为多晶硅栅极或金属栅极）。所述栅介质层 202 可以选用铪基材料，如 HfO_2 、 HfSiO 、 HfSiON 、 HfTaO 、 HfTiO 或 HfZrO 中的一种或其组合。侧墙 206 可以包括氮化硅、氧化硅、氮氧化

硅、碳化硅中的一种或其组合。侧墙 206 可以具有多层结构。所述栅介质层 202 和所述侧墙 206 和上述处理操作均可采用传统工艺形成或执行。

可采用湿法和/或干法刻蚀工艺形成所述沟槽 220。所述沟槽 220 的形貌可通过采用不同的刻蚀工艺进行调节。

5 随后, 如图 7 所示, 形成第一半导体层 222, 所述第一半导体层 222 填充所述沟槽 220。

所述第一半导体层 222 的材料包括 Si、SiGe (Ge 的原子数百分比可以为 40%, Ge 的含量可以根据工艺需要灵活调节, 如 30%-50%, 本文件内未作特殊说明处, Ge 的原子数百分比均与此相同, 不再赘述) 或 $\text{Si}_{1-x}\text{C}_x$ (C 的原子数百分比可以为 10 0-2%, C 的含量可以根据工艺需要灵活调节, 本文件内未作特殊说明处, C 的原子数百分比均与此相同, 不再赘述)。需说明的是, 所述第一半导体层 222 材料可以是已完成离子掺杂的半导体材料, 如, 可以是 N 型或 P 型的 Si、SiGe 或 $\text{Si}_{1-x}\text{C}_x$ 。所述离子掺杂操作可以在生成所述第一半导体层 222 材料的过程中直接形成 (如在生成所述第一半导体层 222 的反应物中掺入包含掺杂离子成分的反应物); 也 15 可以在生成为形成所述源漏区所需的半导体材料后, 再经由离子注入工艺形成, 可采用任何传统的离子注入工艺执行所述离子掺杂操作, 不再赘述。

可采用脉冲激光沉积 (PLD)、原子层淀积 (ALD)、等离子体增强原子层淀积 (PEALD) 或其他适合的工艺形成所述第一半导体层 222。

在本实施例中, 在包含所述源漏区的 CMOS 器件中, 所述 PMOS 器件中所述 20 第一半导体层 222 的材料为 SiGe, 所述 NMOS 器件中所述第一半导体层 222 的材料为 $\text{Si}_{1-x}\text{C}_x$, 可使所述第一半导体层 222 对所述 PMOS 器件的沟道区提供压应力, 而对 NMOS 器件的沟道区提供拉应力, 利于改善 CMOS 器件性能。在源漏区的其他实施例中, 所述 PMOS 器件与 NMOS 器件中所述第一半导体层 222 的材料还可以选用其他不同的半导体材料。所述 PMOS 器件中所述第一半导体层 222 的材料 25 与 NMOS 器件中所述第一半导体层 222 的材料也可以相同, 此时, 为使所述第一半导体层 222 对所述 PMOS 器件的沟道区提供压应力, 而对 NMOS 器件的沟道区提供拉应力, 可采用不同的工艺形成所述 PMOS 器件和 NMOS 器件中的所述第一半导体层 222 的材料。

再后, 如图 8 所示, 顺次形成停止层 240 和辅助层 242, 所述辅助层 242 用以

在所述源漏区上形成嵌入的接触孔时承载所述接触孔；所述停止层 240 用以使所述接触孔终止于所述栅堆叠结构与所述衬底 200 的交界线以上。

可采用脉冲激光沉积 (PLD)、原子层淀积 (ALD)、等离子体增强原子层淀积 (PEALD) 或其他适合的工艺形成所述停止层 240 和辅助层 242。

5 在本实施例中,所述 PMOS 器件中所述停止层 240 和辅助层 242 的材料与所述 NMOS 器件中所述停止层 240 和辅助层 242 的材料分别相同;换言之,所述 PMOS 器件与所述 NMOS 器件中所述停止层 240 和辅助层 242 同步形成。在减小接触电阻之余,还利于简化工艺。具体地,所述 PMOS 器件中所述第一半导体层 222 的材料为 SiGe,所述 NMOS 器件中所述第一半导体层 222 的材料为 $\text{Si}_{1-x}\text{C}_x$ 时,所述
10 辅助层 242 材料优选为 SiGe,也可以为 $\text{Si}_{1-x}\text{C}_x$;所述停止层 240 可以为 Si(实践中,对于 32 纳米工艺,所述停止层 240 的厚度可以为 5 纳米)。此时,通过选取所述 PMOS 器件和 NMOS 器件中所述停止层 240 和辅助层 242 的材料或形成所述材料的工艺,仍可调节所述 PMOS 器件和 NMOS 器件沟道区的应力,具体的调节方法与利用第一区调节器件沟道区中应力的方式相同,不再赘述。

15 在源漏区的不同的实施例中,所述 PMOS 器件与所述 NMOS 器件中所述停止层 240 和辅助层 242 的材料也可以不同;此时,所述 PMOS 器件与所述 NMOS 器件中所述停止层 240 和辅助层 242 需分别形成。

 在源漏区的不同的实施例中,所述停止层 240 与所述第一半导体层 222 的交界线可以与所述栅堆叠结构与所述衬底 200 的交界线重合,或者,位于所述栅堆
20 叠结构与所述衬底 200 的交界线上方。所述停止层 240 与所述第一半导体层 222 的交界线与所述栅堆叠结构与所述衬底 200 的交界线重合时,利于本发明提供的技术方案与现有的源漏区形成工艺的兼容。所述停止层 240 与所述第一半导体层 222 的交界线位于所述栅堆叠结构与所述衬底 200 的交界线上方时,通过调节工艺,可使在所述辅助层 242 和所述停止层 240 中形成嵌入的接触孔后,为减少填充
25 所述接触孔的导电材料(如金属)和所述源漏区之间的接触电阻而引入的接触区(如为金属硅化物层,所述金属硅化物层可通过在所述源漏区上沉积金属后经历退火操作而形成,所述金属材料包括 Co、Ni、Mo、Pt 或 W 中的一种或其组合)与
 所述源漏区之间的交界线可以形成于所述栅堆叠结构与所述衬底 200 的交界线以上,利于减少器件沟道区的应力损失,进而提高载流子的迁移率。

在所述源漏区的形成方法的第二实施例中，所述方法包括：

首先，在衬底中位于栅堆叠结构两侧形成沟槽。

随后，形成第一半导体层，所述第一半导体层填充所述沟槽。

涉及的相关工艺与上述实施例中描述的相同，不再赘述。

- 5 再后，如图 9 所示，并结合图 6 及图 7 所示，在所述第一半导体层 222 上形成第二半导体层 260，所述第二半导体层 260 的材料与所述第一半导体层 222 的材料不同。

10 所述第二半导体层 260 的材料包括 Si、SiGe 或 $\text{Si}_{1-x}\text{C}_x$ 。需说明的是，所述第二半导体层 260 材料可以是已完成离子掺杂的半导体材料，如，可以是 N 型或 P 型的 Si、SiGe 或 $\text{Si}_{1-x}\text{C}_x$ 。所述离子掺杂操作可以在生成所述第二半导体层 260 材料的过程中直接形成（如在生成所述第二半导体层 260 的反应物中掺入包含掺杂离子成分的反应物）；也可以在生成为形成所述源漏区所需的半导体材料后，再经由离子注入工艺形成，可采用任何传统的离子注入工艺执行所述离子掺杂操作，不再赘述。

- 15 可采用脉冲激光沉积（PLD）、原子层淀积（ALD）、等离子体增强原子层淀积（PEALD）或其他适合的工艺形成所述第二半导体层 260。

在本实施例中，在包含所述源漏区的 CMOS 器件中，所述 PMOS 器件中所述第一半导体层 222 的材料为 SiGe，所述 NMOS 器件中所述第一半导体层 222 的材料为 $\text{Si}_{1-x}\text{C}_x$ ，所述 PMOS 器件和 NMOS 器件中的所述第二半导体层 260 的材料可以
20 以为 Si；即，所述 PMOS 器件中所述第二半导体层 260 的材料与所述 NMOS 器件中所述第二半导体层 260 的材料相同；换言之，所述 PMOS 器件与所述 NMOS 器件中所述第二半导体层 260 同步形成。在减小接触电阻之余，还利于简化工艺。

所述第二半导体层 260 的材料与所述第一半导体层 222 的材料不同，可以使后续在所述源漏区上形成的接触孔终止于所述栅堆叠结构与所述衬底 200 的交界
25 线以上。可以通过选用适合的刻蚀剂使承载所述接触孔的凹槽形成于所述第二半导体层 260 中而停止于所述第一半导体层 222 上，使得可以通过调节所述第二半导体层 260 的厚度，调节所述凹槽的形貌，以灵活调节接触面积的大小。

所述第二半导体层 260 与所述第一半导体层 222 的交界线可以与所述栅堆叠结构与所述衬底 200 的交界线重合，或者，位于所述栅堆叠结构与所述衬底 200

的交界线上方。所述第二半导体层 260 与所述第一半导体层 222 的交界线与所述栅堆叠结构与所述衬底 200 的交界线重合时，利于本发明提供的技术方案与现有的源漏区形成工艺的兼容。所述第二半导体层 260 与所述第一半导体层 222 的交界线位于所述栅堆叠结构与所述衬底的交界线上方时，通过调节工艺，可使在所述第二半导体层 260 中形成嵌入的接触孔后，为减少填充所述接触孔的导电材料（如金属）和所述源漏区之间的接触电阻而引入的接触区与所述源漏区之间的交界线可以形成于所述栅堆叠结构与所述衬底 200 的交界线以上，利于减少器件沟道区的应力损失，进而提高载流子的迁移率。

在所述源漏区的形成方法的第三实施例中，所述方法包括：

10 首先，在衬底中位于栅堆叠结构两侧形成沟槽。

涉及的相关工艺与上述实施例中描述的相同，不再赘述。

随后，如图 10 所示，并结合图 6 所示，形成半导体层 280，所述半导体层 280 填充所述沟槽 220，且所述半导体层 280 的上表面与所述栅堆叠结构和所述衬底 200 的交界线之间的高度差大于所述半导体层的实际高度与目标高度之间的差值。

15 相比于上述源漏区的形成方法第二实施例中的方案，本实施例相当于所述第二半导体层 260 的材料与所述第一半导体层 222 的材料相同。此时，在包含所述源漏区的 CMOS 器件中，所述 PMOS 器件中所述源漏区的材料为 SiGe，所述 NMOS 器件中所述源漏区的材料为 $\text{Si}_{1-x}\text{C}_x$ 。可使所述第一半导体层对所述 PMOS 器件的沟道区提供压应力，而对 NMOS 器件的沟道区提供拉应力，利于改善 CMOS
20 器件性能。本实施例提供的技术方案可以与现有的源漏区形成工艺较好地兼容。采用本实施例提供的技术方案，相对于现有的源漏区形成工艺，只需使形成的源漏区厚些，即，使所述源漏区的上表面与所述栅堆叠结构与所述衬底 200 的交界线之间的高度差大于采用现有技术时所述源漏区的实际高度与目标高度之间的差值。

25 本发明还提供了一种接触孔的形成方法。在上述源漏区的形成方法各实施例的基础上，再在所述源漏区上形成层间介质层 290 并平坦化所述层间介质层 290 后（如图 11 所示），图形化所述层间介质层 290 和上述辅助层 242 及停止层 240（对应源漏区的形成方法的第一实施例），或者，图形化所述层间介质层和上述第二半导体层（对应源漏区的形成方法的第二实施例），或者，图形化所述层间

介质层和部分深度的上述半导体层（对应源漏区的形成方法的第三实施例），即可形成穿通所述层间介质层 290 并终止于所述源漏区内的接触孔。

如图 12 所示，在所述接触孔的形成方法第一实施例中（此时，源漏区的形成方法采用第一实施例中提供的技术方案，显然，本实施例也适用于源漏区的形成方法采用第二及第三实施例中提供的技术方案时，不再赘述），所述接触孔 292 的底面 2922 与所述源漏区的交界线高于栅堆叠结构与衬底 200 的交界线。通过调节工艺，可使在形成所述接触孔后，为减少填充所述接触孔的导电材料（如金属）和所述源漏区之间的接触电阻而引入的接触区与所述源漏区之间的交界线可以形成于所述栅堆叠结构与所述衬底的交界线以上，利于减少器件沟道区的应力损失，进而提高载流子的迁移率。

在所述接触孔的形成方法其他实施例中，所述接触孔的底面与所述源漏区的交界线可以重合于栅堆叠结构与衬底的交界线。利于本发明提供的技术方案与现有的接触孔形成工艺的兼容。

具体地，如图 13 所示，在所述接触孔的第二实施例中（此时，源漏区采用第一实施例中提供的技术方案，显然，本实施例也适用于源漏区的形成方法采用第二及第三实施例中提供的技术方案时，不再赘述），在所述接触孔 292 暴露的所述源漏区表层形成接触区 244 后，所述接触区 244 的底面 2924 与所述源漏区的交界线高于所述栅堆叠结构与所述衬底 200 的交界线。在所述接触孔的其他实施例中，所述接触区的底面与所述源漏区的交界线可以重合于栅堆叠结构与衬底的交界线。均利于减少器件沟道区的应力损失，进而提高载流子的迁移率。

此外，本发明的应用范围不局限于说明书中描述的特定实施例的工艺、结构、制造、物质组成、手段、方法及步骤。根据本发明的公开内容，本领域技术人员将容易地理解，对于目前已存在或者以后即将开发出的工艺、机构、制造、物质组成、手段、方法或步骤，它们在执行与本发明描述的对应实施例大体相同的功能或者获得大体相同的结果时，依照本发明的教导，可以对它们进行应用，而不脱离本发明所要求保护的

权 利 要 求

1、一种源漏区，由半导体材料构成，所述源漏区位于栅堆叠结构两侧且嵌入衬底中，其特征在于，所述源漏区包括：

5 第一区，至少部分厚度的所述第一区位于所述衬底内；

第二区，所述第二区形成于所述第一区上，所述第二区的材料与所述第一区的材料不同。

2、根据权利要求 1 所述的源漏区，其特征在于，所述第二区包括：

10 辅助层，所述辅助层用以在所述源漏区上形成嵌入的接触孔时承载所述接触孔；

停止层，所述停止层用以使所述接触孔终止于所述栅堆叠结构与所述衬底的交界线以上。

3、根据权利要求 2 所述的源漏区，其特征在于：在形成于硅衬底的 PMOS 器件中，所述第一区材料为 SiGe，停止层为 Si，辅助层为 SiGe。

15 4、根据权利要求 3 所述的源漏区，其特征在于：在形成于硅衬底的 NMOS 器件中，所述第一区材料为 $\text{Si}_{1-x}\text{C}_x$ ，停止层为 Si，辅助层为 SiGe。

5、根据权利要求 1 或 2 所述的源漏区，其特征在于：在包含所述源漏区的 CMOS 器件中，所述第一区对 PMOS 器件的沟道区提供压应力，所述第一区对 NMOS 器件的沟道区提供拉应力。

20 6、根据权利要求 5 所述的源漏区，其特征在于：所述 PMOS 器件中所述第一区的材料与所述 NMOS 器件中所述第一区的材料不同。

7、根据权利要求 6 所述的源漏区，其特征在于：所述 PMOS 器件中所述第二区的材料与所述 NMOS 器件中所述第二区的材料相同。

25 8、一种接触孔，其特征在于：所述接触孔嵌入如权利要求 1 至 7 中任一项所述的源漏区中，所述接触孔的底面与所述源漏区的交界线高于或重合于栅堆叠结构与衬底的交界线。

9、根据权利要求 8 所述的接触孔，其特征在于：在所述接触孔暴露的所述源漏区表层形成接触区后，所述接触区的底面与所述源漏区的交界线高于或重合于所述栅堆叠结构与所述衬底的交界线。

30 10、一种接触孔，其特征在于：所述接触孔嵌入源漏区中，所述接触孔的底

面与所述源漏区的交界线高于或重合于栅堆叠结构与衬底的交界线；所述源漏区由半导体材料构成，所述源漏区位于栅堆叠结构两侧且嵌入衬底中，所述源漏区的上表面与所述栅堆叠结构和所述衬底的交界线之间的高度差大于所述源漏区的实际高度与目标高度之间的差值。

- 5 11、根据权利要求 10 所述的接触孔，其特征在于：在所述接触孔暴露的所述源漏区表层形成接触区后，所述接触区的底面与所述源漏区的交界线高于或重合于所述栅堆叠结构与所述衬底的交界线。

12、一种源漏区的形成方法，其特征在于，包括：

在衬底中位于栅堆叠结构两侧形成沟槽；

- 10 形成第一半导体层，至少部分所述第一半导体层填充所述沟槽；

在所述第一半导体层上形成第二半导体层，所述第二半导体层的材料与所述第一半导体层的材料不同。

13、根据权利要求 12 所述的方法，其特征在于，形成所述第二半导体层的步骤包括：

- 15 形成辅助层，所述辅助层用以在所述源漏区上形成嵌入的接触孔时承载所述接触孔；

形成停止层，所述停止层用以使所述接触孔终止于所述栅堆叠结构与所述衬底的交界线以上。

- 20 14、根据权利要求 13 所述的方法，其特征在于：在形成于硅衬底的 PMOS 器件中，所述第一区材料为 SiGe，停止层为 Si，辅助层为 SiGe。

15、根据权利要求 14 所述的方法，其特征在于：在形成于硅衬底的 NMOS 器件中，所述第一区材料为 $\text{Si}_{1-x}\text{C}_x$ ，停止层为 Si，辅助层为 SiGe。

- 25 16、根据权利要求 12 或 13 所述的方法，其特征在于：在包含所述源漏区的 CMOS 器件中，所述第一半导体层对 PMOS 器件的沟道区提供压应力，所述第一半导体层对 NMOS 器件的沟道区提供拉应力。

17、根据权利要求 16 所述的方法，其特征在于：所述 PMOS 器件中所述第一半导体层的材料与所述 NMOS 器件中所述第一半导体层的材料不同。

18、根据权利要求 17 所述的方法，其特征在于：所述 PMOS 器件中所述第二半导体层的材料与所述 NMOS 器件中所述第二半导体层的材料相同。

- 30 19、一种接触孔的形成方法，其特征在于，包括：

以如权利要求 12 至 18 中任一项所述的方法形成源漏区；

在所述源漏区中嵌入接触孔，所述接触孔的底面与所述源漏区的交界线高于或重合于所述栅堆叠结构与衬底的交界线。

20、根据权利要求 19 所述的方法，其特征在于：在所述接触孔暴露的所述源漏区表层形成接触区后，所述接触区的底面与所述源漏区的交界线高于或重合于所述栅堆叠结构与所述衬底的交界线。

21、一种接触孔的形成方法，其特征在于，包括：

在衬底中位于栅堆叠结构两侧形成沟槽；

形成半导体层，所述半导体层的上表面与所述栅堆叠结构和所述衬底的交界线之间的高度差大于所述半导体层的实际高度与目标高度之间的差值；

在所述半导体层中嵌入接触孔，所述接触孔的底面与所述半导体层的交界线高于或重合于所述栅堆叠结构与衬底的交界线。

22、根据权利要求 21 所述的方法，其特征在于：在所述接触孔暴露的所述源漏区表层形成接触区后，所述接触区的底面与所述源漏区的交界线高于或重合于所述栅堆叠结构与所述衬底的交界线。

1/4

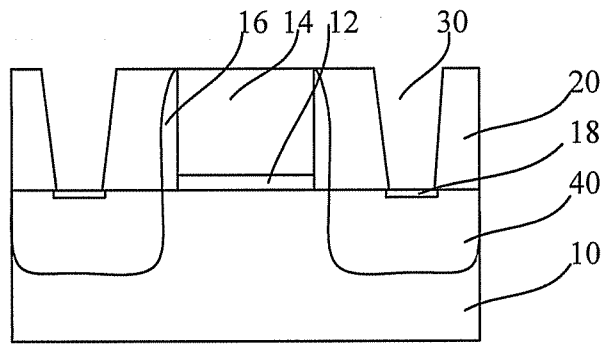


图 1

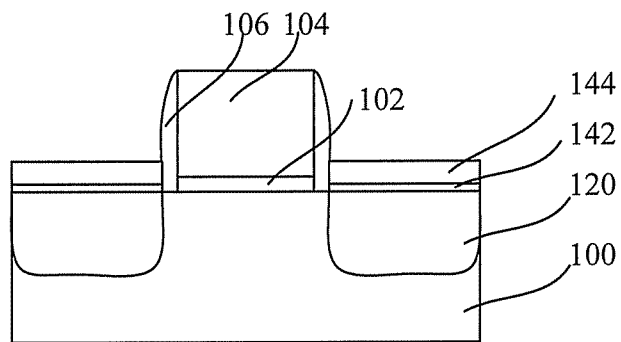


图 2

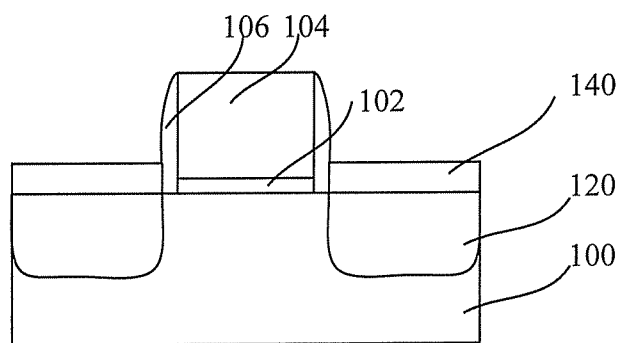


图 3

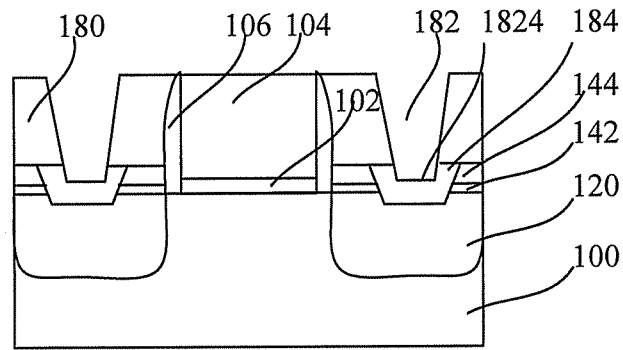


图 4

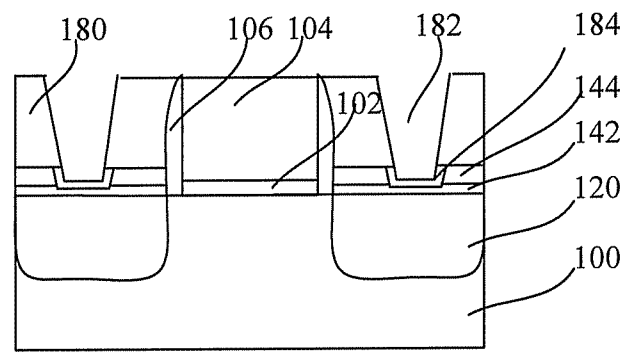


图 5

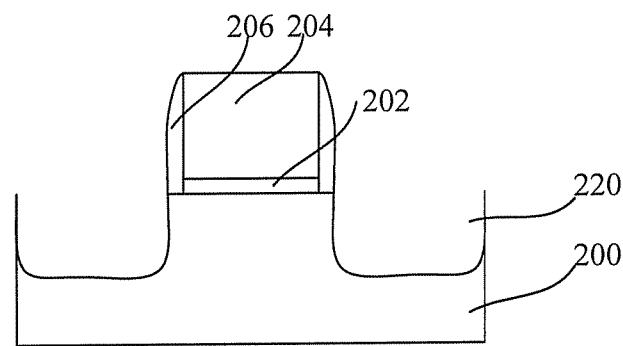


图 6

3/4

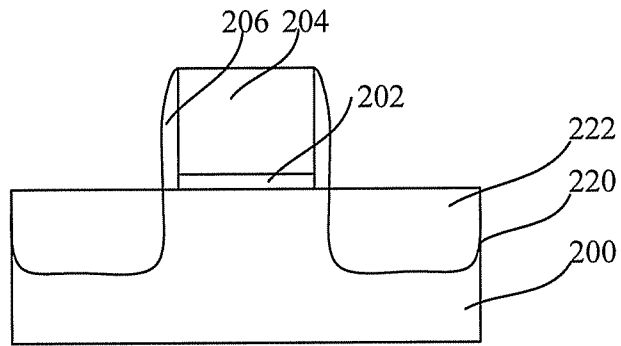


图 7

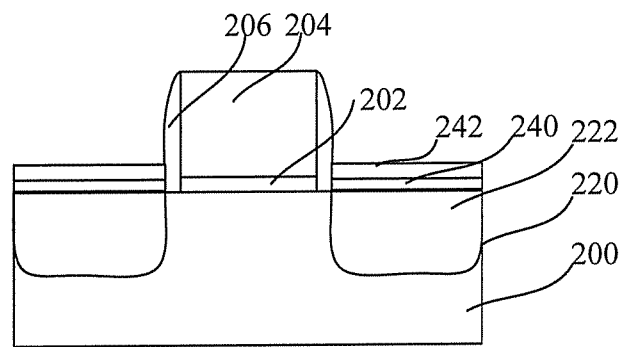


图 8

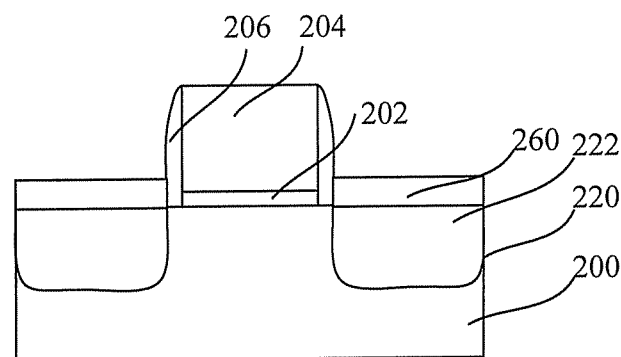


图 9

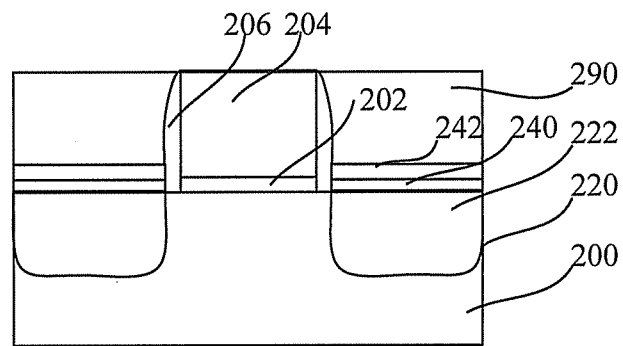


图 10

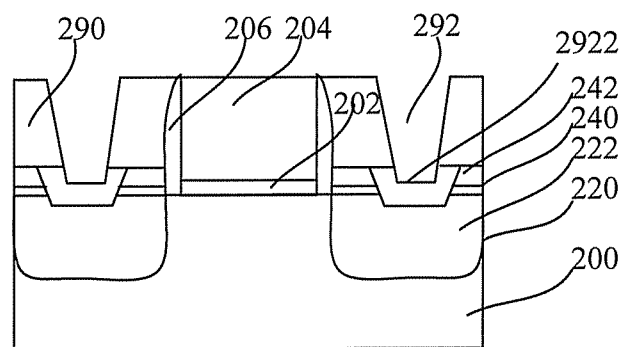


图 11

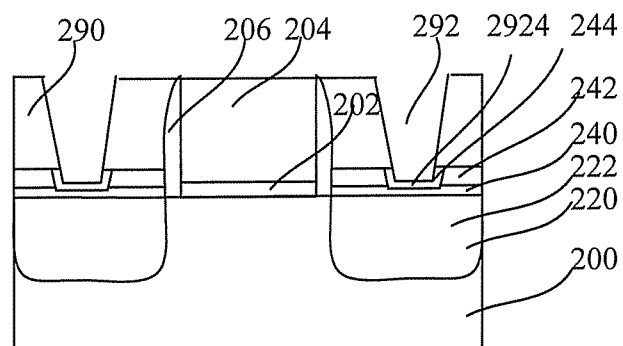


图 12

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/071086

A. CLASSIFICATION OF SUBJECT MATTER

See extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L21/-; H01L29/-;

EC: H01L21/768C8C, H01L21/336B2S, H01L21/336B4S

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI; EPODOC; CNKI; CNPAT; IEE

Keywords: silicide, source, drain, contact hole?, trench+, recess+, groove?, stop+, strain+, stress+, contact area, resistance

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US2007/0187767A1 (KABUSHIKI KAISHA TOSHIBA) 16 Aug. 2007 (16.08.2007) Paragraphs 20-45 and Figures 1-9	1,12
Y	US2007/0187767A1 (KABUSHIKI KAISHA TOSHIBA) 16 Aug. 2007 (16.08.2007) Paragraphs 20-45 and Figures 1-9	5,6,8-11,16,17,19-22
X	US2009/0032844A1 (FUJITSU LTD.; FUJITSU MICROELECTRONICS LTD.) 05 Feb. 2009 (05.02.2009) Paragraphs 17-44 and Figure 1	1,12
Y	US2008/0128746A1 (WANG, Yinpin) 05 June 2008 (05.06.2008) Paragraphs 17-34 and Figures 1-10	5,6,16,17

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 15 April 2011 (15.04.2011)	Date of mailing of the international search report 26 May 2011 (26.05.2011)
Name and mailing address of the ISA/CN The State Intellectual Property Office, the P.R.China 6 Xitucheng Rd., Jimen Bridge, Haidian District, Beijing, China 100088 Facsimile No. 86-10-62019451	Authorized officer HAN, Bing Telephone No. (86-10)86-10-82245150

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/071086

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US2007/0238242A1 (TING, Shyh Fann et al.) 11 Oct. 2007 (11.10.2007) paragraph 29 and figure 2C	8-11,19-22
A	US5945350A (MICRON TECHNOLOGY INC.) 31 Aug. 1999 (31.08.1999) the whole document	1-22
A	US6380079B1 (HYUNDAI ELECTRONICS IND.) 30 April 2002 (30.04.2002) the whole document	1-22

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/071086

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:
2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

Claims 1,12 are the first invention, and claims 10,21 are the second invention. The same or corresponding features between claims 1,21 and claims 10,21 are "the source and drain regions", "the substrate" and "the gate stack structure". However, the above same or corresponding features are common knowledge in the technical field, so the above two inventions don't contain the same or corresponding special features which make a contribution over the prior art. Therefore, this international application doesn't comply with the requirement of unity of invention in accordance with Rules 13.1 and 13.2 PCT.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying an additional fees, this Authority did not invite payment of additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2011/071086

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US2007/0187767A1	16.08.2007	US2010/0244154 A1	30.09.2010
		US7880228 B2	01.02.2011
		JP2007214481 A	23.08.2007
US2008/0128746A1	05.06.2008	US2010/0240186 A1	23.09.2010
		US7750338 B2	06.07.2010
US6380079B1	30.04.2002	JP2001189383 A	10.07.2001
		KR20010061485 A	07.07.2001
US2009/0032844A1	05.02.2009	JP2009038103 A	19.02.2009
US2007/0238242A1	11.10.2007	US2007/0257321 A1	08.11.2007
		US7453120 B2	18.11.2008
		US7410875 B2	12.08.2008
US5945350A	31.08.1999	US6160296 A	12.12.2000
		US6268292 B1	31.07.2001

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/071086

Continuation of : second sheet , A. CLASSIFICATION OF SUBJECT MATTER

H01L21/768 (2006.01) i

H01L21/336 (2006.01) i

国际检索报告

国际申请号
PCT/CN2011/071086

A. 主题的分类

参见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L21/-; H01L29/-;

EC: H01L21/768C8C, H01L21/336B2S, H01L21/336B4S

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

WPI; EPODOC; CNKI; CNPAT; IEE

关键词: 硅化, 源, 漏, 接触孔, 沟槽, 停止层, 应力, 接触面积, 电阻, 迁移率, silicide, source, drain, contact hole?, trench+, recess+, groove?, stop+, strain+, stress+, contact area, resistance, mobility

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	US2007/0187767A1 (KABUSHIKI KAISHA TOSHIBA) 16.8 月 2007 (16.08.2007) 说明书第 20-45 段以及附图 1-9	1,12
Y	US2007/0187767A1 (KABUSHIKI KAISHA TOSHIBA) 16.8 月 2007 (16.08.2007) 说明书第 20-45 段以及附图 1-9	5,6,8-11,16,17,19-22
X	US2009/0032844A1 (FUJITSU LTD.; FUJITSU MICROELECTRONICS LTD.) 05.2 月 2009 (05.02.2009) 说明书第 17-44 段以及附图 1	1,12
Y	US2008/0128746A1 (WANG, Yinpin) 05.6 月 2008 (05.06.2008) 说明书第 17-34 段以及附图 1-10	5,6,16,17

☒ 其余文件在 C 栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期
15.4 月 2011 (15.04.2011)

国际检索报告邮寄日期
26.5 月 2011 (26.05.2011)

ISA/CN 的名称和邮寄地址:
中华人民共和国国家知识产权局
中国北京市海淀区蓟门桥西土城路 6 号 100088
传真号: (86-10)62019451

受权官员

韩冰
电话号码: (86-10) **86-10-82245150**

C(续). 相关文件

类 型	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	US2007/0238242A1 (TING, Shyh Fann 等) 11. 10 月 2007 (11.10.2007) 说明书第 29 段以及附图 2C	8-11,19-22
A	US5945350A (MICRON TECHNOLOGY INC.) 31. 8 月 1999 (31.08.1999) 全文	1-22
A	US6380079B1 (HYUNDAI ELECTRONICS IND.) 30.4 月 2002 (30.04.2002) 全文	1-22

第II栏 某些权利要求被认为是不能检索的意见(续第1页第2项)

根据条约第17条(2)(a)，对某些权利要求未做国际检索报告的理由如下：

1. ☐ 权利要求：

因为它们涉及不要求本单位进行检索的主题，即：

2. ☐ 权利要求：

因为它们涉及国际申请中不符合规定的要求的部分，以致不能进行任何有意义的国际检索，具体地说：

3. ☐ 权利要求：

因为它们是从属权利要求，并且没有按照细则6.4(a)第2句和第3句的要求撰写。

第III栏 缺乏发明单一性的意见(续第1页第3项)

本国际检索单位在该国际申请中发现多项发明，即：

权利要求1,12为第一项发明，权利要求10,21为第二项发明。权利要求1,12与权利要求10,21之间相同或相应的技术特征为“源漏区”、“衬底”、“栅堆叠结构”。然而上述相同或相应的技术特征为本领域的公知常识，因此上述两项发明之间不具有相同或相应的体现发明对现有技术作出贡献的特定技术特征，不符合PCT细则第13.1和13.2有关单一性的规定。

1. ☐ 由于申请人按时缴纳了被要求缴纳的全部附加检索费，本国际检索报告涉及全部可作检索的权利要求。2. ☒ 由于无需付出有理由要求附加费的劳动即能对全部可检索的权利要求进行检索，本单位未通知缴纳任何附加费。3. ☐ 由于申请人仅按时缴纳了部分被要求缴纳的附加检索费，本国际检索报告仅涉及已缴费的那些权利要求。具体地说，是权利要求：4. ☐ 申请人未按时缴纳被要求缴纳的附加检索费。因此，本国际检索报告仅涉及权利要求书中首先提及的发明；包含该发明的权利要求是：

关于异议的说明：☐ 申请人缴纳了附加检索费，同时提交了异议书，适用时，缴纳了异议费。

☐ 申请人缴纳了附加检索费，同时提交了异议书，但未在通知书规定的时间期限内缴纳异议费。

☐ 缴纳附加检索费时未提交异议书。

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2011/071086

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
US2007/0187767A1	16.08.2007	US2010/0244154 A1	30.09.2010
		US7880228 B2	01.02.2011
		JP2007214481 A	23.08.2007
US2008/0128746A1	05.06.2008	US2010/0240186 A1	23.09.2010
		US7750338 B2	06.07.2010
US6380079B1	30.04.2002	JP2001189383 A	10.07.2001
		KR20010061485 A	07.07.2001
US2009/0032844A1	05.02.2009	JP2009038103 A	19.02.2009
US2007/0238242A1	11.10.2007	US2007/0257321 A1	08.11.2007
		US7453120 B2	18.11.2008
		US7410875 B2	12.08.2008
US5945350A	31.08.1999	US6160296 A	12.12.2000
		US6268292 B1	31.07.2001

续：第 2 页 A. 主题的分类

H01L21/768 (2006.01) i

H01L21/336 (2006.01) i