



(12)发明专利

(10)授权公告号 CN 105190840 B

(45)授权公告日 2018.10.12

(21)申请号 201480024930.9

(22)申请日 2014.05.02

(65)同一申请的已公布的文献号

申请公布号 CN 105190840 A

(43)申请公布日 2015.12.23

(30)优先权数据

61/819,334 2013.05.03 US

(85)PCT国际申请进入国家阶段日

2015.11.02

(86)PCT国际申请的申请数据

PCT/US2014/036586 2014.05.02

(87)PCT国际申请的公布数据

W02014/179694 EN 2014.11.06

(73)专利权人 应用材料公司

地址 美国加利福尼亚州

(72)发明人 克里斯多弗·丹尼斯·本彻

丹尼尔·李·迪尔 慧雄·戴

曹勇 许廷军 郑伟民 谢鹏

(74)专利代理机构 北京律诚同业知识产权代理

有限公司 11006

代理人 徐金国 赵静

(51)Int.Cl.

H01L 21/027(2006.01)

G03F 7/20(2006.01)

(56)对比文件

JP 平2-8852 A,1990.01.12,

US 4737015 A,1988.04.12,

US 2012100467 A1,2012.04.26,

US 6562544 B1,2003.05.13,

CN 102203907 A,2011.09.28,

审查员 陈峰

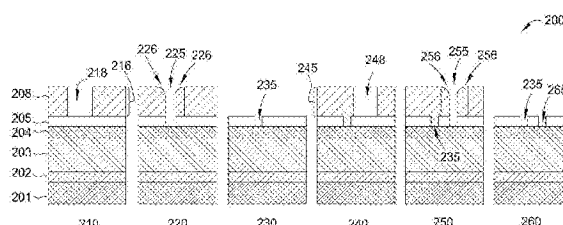
权利要求书2页 说明书15页 附图7页

(54)发明名称

用于多图案化应用的光调谐硬掩模

(57)摘要

本文的实施方式提供的方法用于形成PVD氧化硅或富硅氧化物、或PVDSiN或富硅SiN、或SiC或富硅SiC、或前述的组合,包括化合物中含有受控的氢掺杂的变化,以上被称为 $\text{SiO}_x\text{N}_y\text{C}_z:\text{H}_w$,其中 w 、 x 、 y 及 z 可以在从0%到100%的浓度中变化, $\text{SiO}_x\text{N}_y\text{C}_z:\text{H}_w$ 被生产作为硬掩模,所述硬掩模在曝光波长下的光学特性与光刻胶实质匹配。因此使所述硬掩模相对于所述光刻胶为光学上平坦化的。这允许在所述硬掩模中进行多个光刻和蚀刻的程序,同时所述光刻胶保持基本上无光学形貌或反射率变化。



1. 一种用于在膜堆叠上形成硬掩模的方法,所述方法包括以下步骤:
从设置于腔室中的靶材溅射含硅材料到基板的表面上;以及
当从所述靶材溅射所述材料时,输送工艺气体流,其中所述工艺气体包含氧、氢和氮,
及
其中调整所述工艺气体中的氧对氮的比率,使得在意图使用的光刻曝光波长下,被溅射材料的光学特性具有与光刻胶层的所述光学特性实质类似的值,所述光刻胶层待设置于所述被溅射材料的表面上。
2. 如权利要求1所述的方法,其中所述工艺气体进一步包含碳。
3. 如权利要求1所述的方法,其中在所述意图使用的光刻曝光波长下的所述光学特性包括与在图案对准波长下的所述光学特性不同的折射率和消光系数两者。
4. 如权利要求1所述的方法,其中所述被溅射材料包含硅、氮、氧及氢,其中在所述被溅射材料的表面处的氢浓度小于贯穿所述被溅射材料的厚度的平均氢浓度,或在所述被溅射材料的表面处的氮浓度小于贯穿所述被溅射材料的所述厚度的平均氮浓度。
5. 如权利要求1所述的方法,进一步包括以下步骤:
在所述基板的所述表面上产生等离子体,以将第一气体离子化;以及之后
对耦接至所述腔室的一部分的电极施加偏压,以使所被离子化的第一气体轰击所述基板的所述表面,其中对所述电极施加偏压的步骤是在溅射所述材料之后执行的。
6. 一种用于在膜堆叠上形成硬掩模的方法,所述方法包括以下步骤:
从设置于腔室中的靶材溅射含硅材料到基板的表面上;
当从所述靶材溅射所述材料时,输送工艺气体流,其中所述工艺气体包含氧和氮,及其中调整所述工艺气体中的氧对氮的比率,使得在意图使用的光刻曝光波长下,被溅射材料的光学特性具有与光刻胶层的所述光学特性实质类似的值,所述光刻胶层待设置于所述被溅射材料的表面上;
在所述基板的所述表面上产生等离子体,以将第一气体离子化;以及之后
对耦接至所述腔室的一部分的电极施加偏压,以使所被离子化的第一气体轰击所述基板的所述表面。
7. 如权利要求6所述的方法,其中对所述电极施加偏压的步骤是在溅射所述材料之后执行的。
8. 如权利要求6所述的方法,其中所述对所述电极施加偏压的步骤增加所述基板的所述表面的疏水性。
9. 一种用于在膜堆叠上形成硬掩模的方法,所述方法包括以下步骤:
从设置于腔室中的靶材溅射含硅材料到基板的表面上;
当从所述靶材溅射所述材料时,输送工艺气体流,其中所述工艺气体包含氧和氮,及其中调整所述工艺气体中的氧对氮的比率,使得在意图使用的光刻曝光波长下,被溅射材料的光学特性具有与光刻胶层的所述光学特性实质类似的值,所述光刻胶层待设置于所述被溅射材料的表面上;以及
直接在所述被溅射材料的所述表面上沉积所述光刻胶层。
10. 如权利要求9所述的方法,其中所述光学特性包括折射率和消光系数两者,而且所被沉积的光刻胶层具有在193nm的波长下介于1.5与1.8之间的所述折射率与介于0.00与

0.12之间的所述消光系数两者。

11. 如权利要求9所述的方法, 其中所述光刻胶层包括第一光刻胶层, 所述方法进一步包括以下步骤:

使用所述第一光刻胶层将所述被溅射材料图案化;

直接在所述经图案化的被溅射材料的表面上沉积第二光刻胶层, 其中在所述第二光刻胶层的光刻曝光波长下, 所述第二光刻胶层的光学特性具有与所述经图案化的被溅射材料的所述光学特性实质上相等的值; 以及

使用所述第二光刻胶层将所述被溅射材料图案化。

12. 如权利要求9所述的方法, 进一步包括以下步骤:

在所述光刻胶层上进行光刻操作, 以在所述光刻胶层中形成图案;

在所述被溅射材料中蚀刻所形成的图案; 以及

去除所述光刻胶层, 其中去除所述光刻胶层的步骤包括使用远程 O_2 等离子体或远程 H_2/N_2 等离子体将所述光刻胶层灰化。

13. 如权利要求9所述的方法, 其中, 在所述意图使用的光刻曝光波长下, 所述被溅射材料和所述光刻胶层具有相等的折射率和相等的消光系数两者。

用于多图案化应用的光调谐硬掩模

[0001] 公开内容背景

发明领域

[0002] 本文的实施方式大体关于一种用于形成用在光刻(lithographic)多图案化制造工艺中的硬掩模(hardmask)的制造方法。

[0003] 背景技术描述

[0004] 可靠地生产次微米(submicron)和更小的特征是半导体器件的极大型集成电路(VLSI)和超大型集成电路(ULSI)的关键要求之一。然而,随着电路技术的持续小型化,尺寸的大小和电路特征(诸如互连部(interconnect))的间距已对处理能力有额外需求。位于此技术心脏部的多级(multilevel)互连部要求精确地成像及布置高深宽比的特征,这些特征诸如是过孔(via)和其它互连部。可靠地形成这些互连部对于进一步增大器件和互连部的密度是关键的。此外,形成次微米大小的特征和互连部并减少中间材料(诸如抗蚀剂和硬掩模材料)的浪费是被期望的。

[0005] 随着下一代器件的电路密度增大,诸如过孔、沟槽、触点、器件、栅极之类的互连部和其它特征的宽度或间距(pitch)以及上述特征之间的介电材料正减少到45nm和32nm的尺寸。由于器件的缩放扩展到进一步低于光刻扫描器的解析极限,故采用了多图案化,以使得能够满足当今集成器件的特征密度要求。多图案化是执行若干抗蚀剂涂布、光刻图案化及蚀刻操作以在多个步骤中最终对膜层进行图案化的工艺。当组合时,重叠的图案化操作在下方的硬掩模层中形成特征;当被完全图案化时,所述硬掩模层可被用来对下层进行图案化,或作为注入或扩散掩模。

[0006] 在下方硬掩模层的简单、非多图案化过程中,目前用于曝光的“紫外光”波长将反射离开抗蚀剂的未图案化界面和传统的硬掩模层,而且所述“紫外光”波长还可能反射离开下方先前形成的特征,结果将影响抗蚀剂中的曝光和显影特征的侧壁和尺寸的精准度。为了进行校正,可以在光刻掩模中采用光学邻近校正(optical proximity correction; OPC),从而在抗蚀剂曝光波长到达抗蚀剂的位置产生故意失真(intentional distortion),结果使实际形成的显影特征满足了所期望的特征尺寸和轮廓。然而,由于更小的几何尺寸及所提供的曝光紫外线电磁能量的反射,OPC无法在没有另外的处理的情况下消除失真的效果。

[0007] 进行多图案化的一个使能者(enabler)一直是使用不透光的膜来阻挡曝光波长穿透先前掩蔽的(masked)硬掩模层,所述硬掩模层有时被称为记忆层(memory or memorization layer)。记忆层的作用是作为用于将图案蚀刻到层中的硬掩模,在所述层下方可能是例如介电材料或在所述层下方可能是例如用于其它目的的掩模。为了多次对记忆层进行图案化,在每个图案化步骤中使用了具有最上面抗蚀剂层的三层方案。所述三层具有足够的蔽光度(opacity)来防止光刻抗蚀剂的曝光波长到达记忆层的表面,并从而防止了曝光的电磁能量反射离开先前形成的硬掩模特征而回到抗蚀剂中,此举将导致其中的区域非意图的(unintended)曝光。在多图案化方案的每个图案化步骤之后,必须使用湿式和/

或基于气体的化学物质来剥除所述三层,并且必须湿式清洁和干燥晶片和记忆层,而且在多图案化的下一个图案之前施加的新三层可以被形成在记忆层中。

[0008] 虽然多图案化在解析度、焦点深度及光刻缺陷灵敏度等方面的益处是可以理解的,但对于控制工艺预算及增加和保持产量仍有另外的需求。

[0009] 因此,需要一种用于以光刻方式在基板上产生经多图案化的硬掩模的改良方法。

发明内容

[0010] 本文的实施方式提供用于执行记忆或硬掩模层的多图案化的设备和方法,且不需要重复地灰化和沉积光学不透明材料或三层堆叠,而且其中只需剥除抗蚀剂,并在清洁基板之后再次施加抗蚀剂,以对硬掩模进行下一个图案化步骤。在一方面,此举通过施加作为硬掩模层的薄膜来完成,所述薄膜被光调谐(tune)成在光刻曝光步骤的波长下匹配或非常接近地匹配抗蚀剂的光学特性,从而提供在抗蚀剂-硬掩模层界面处不产生反射的硬掩模层。在一个实施方式中,所述记忆层为PVD沉积的氧化硅或富硅氧化物、或PVD SiN或富硅SiN、或SiC或富硅SiC、或前述各项的组合,包括化合物中含有受控的氢掺杂的变化,以上被称为 $\text{SiO}_x\text{N}_y\text{C}_z:\text{H}_w$,其中w、x、y及z可以在从0%到100%的浓度中相对于彼此变化。诸如 $\text{SiO}_x\text{N}_y\text{C}_z:\text{H}_w$ 层之类的所述记忆层具有光学特性,这些光学特性在曝光波长(对于先进光刻术通常为193nm)下实质上与待形成于所述记忆层上并被图案化的光刻胶的光学特性类似(similar)或几乎匹配。因此,光刻胶和记忆(硬掩模)层的界面对于曝光波长是光学上“不可见的”。这允许进行多次硬掩模的光刻和蚀刻程序,且无需施加、图案化及剥除中间材料层,同时被曝光的光刻胶基本上不会在所期望的曝光图案中引发光学形貌或反射率的变化。结果,每个后续的光刻曝光经历相同或几乎相同的反射率,这消除了对于进行复杂的光学邻近校正及施加多次复杂的三层然后光刻、蚀刻及剥除所述三层的需求。

[0011] 本文的实施方式包括用于形成光学匹配的硬掩模的硬件,所述硬件包括泵送系统和腔室冷却系统、全面侵蚀(full face erosion)磁电管阴极、处理配件和气流设计、静电夹盘(ESC)、脉冲式DC电源、掺杂的硅靶材及含H和/或O和/或N和/或C的气源。

[0012] 在一些实施方式中,所述硬件被配置成能够形成与具体所期望的抗蚀剂光学匹配的 $\text{SiO}_x\text{N}_y\text{C}_z:\text{H}_w$ 层。所述 $\text{SiO}_x\text{N}_y\text{C}_z:\text{H}_w$ 膜的折射率(n)和消光系数(K)可通过调整气流和生成膜的w、x、y及z值来调整,以使所述膜的光学特性与用以蚀刻所述层的抗蚀剂进行匹配。

[0013] 本公开内容的实施方式可以提供用于在膜堆叠上形成硬掩模的方法,包括以下步骤:从设置于腔室中的靶材溅射含硅材料到基板的表面上;以及输送工艺气体流,同时从所述靶材溅射所述含硅材料,其中所述工艺气体包含氧和氮,且其中调整所述工艺气体中的氧对氮的比率,使得在意图使用的(intended)光刻曝光波长下,被溅射材料的光学特性具有与光刻胶层的光学特性实质相等的值,所述光刻胶层待设置于所述被溅射材料的表面上。

[0014] 本公开内容的实施方式可以进一步提供硬掩模层,所述硬掩模层包括设置于基板的表面上的 SiO_xN_y 层,其中调整所述 SiO_xN_y 层的硅、氧及氮含量,使得所述 SiO_xN_y 层的折射率(n)实质上等于待形成于所述 SiO_xN_y 层上的抗蚀剂层的折射率(n),并且这些折射率是在意图使用的光刻曝光波长下测量的。所述 SiO_xN_y 层还可以具有消光系数,所述消光系数实质上等于待形成于所述 SiO_xN_y 层上的所述抗蚀剂层的消光系数。

[0015] 附图简单说明

[0016] 因此,以可详细理解并获得上文所述的本文实施方式的特征的方式,可参照附图中所图示的本文的实施方式来获得上文简要概述的本发明的更详细的描述。

[0017] 图1描绘传统的用于使用三层蚀刻对硬掩模层进行多图案化的循环。

[0018] 图2描绘本文中用于使用单层蚀刻对硬掩模层进行多图案化的实施方式。

[0019] 图3描绘能够形成硬掩模层的工艺腔室的一个实施方式的剖面图。

[0020] 图4A至图4M描绘用于使用单层蚀刻对硬掩模层进行多图案化的工艺流程图。

[0021] 图5描绘使用原位和远程等离子体活化的 O_2 进行灰化对硬掩模层所造成的变化。

[0022] 图6描绘使用原位和远程等离子体活化的 H_2/N_2 进行灰化对硬掩模层所造成的变化。

[0023] 图7图示适用于以光刻方式在基板上产生经多图案化的硬掩模的示例性群集工具700。

[0024] 为了便于理解这些实施方式,已尽可能使用相同的附图标记来标示各图所共有的相同元件。预期,可以将一个实施方式的元件和特征有益地并入其他的实施方式中而无须赘述。

[0025] 然而应注意的是,附图仅图示示例性实施方式,因而不应被视为是对本发明范围的限制,因为本发明可允许其他实施方式。

具体实施方式

[0026] 在一些实施方式中,提供的硬掩模层具有相对于上覆的光刻胶层是实质上类似的光学特性。硬掩模层的光学特性使得在光刻胶光刻波长下的光不会发生内部反射和折射,或是所述内部反射和折射被最小化到经曝光的光刻胶特征的精准度不会发生衰退的程度。提供的硬掩模层通过重复形成光刻胶于硬掩模层上、曝光光刻胶、将被显影的图案从光刻胶转移到硬掩模层及剥除/灰化光刻胶以从硬掩模层去除光刻胶、及然后清洁和干燥用于在上面直接接收另一光刻胶层的硬掩模层这些步骤来进行多次的图案化。

[0027] 硬掩模层也被称为记忆层,可以直接位于诸如晶片之类的半导体层上,并且硬掩模层在上面提供掩模以用于离子注入或使掺杂剂扩散进入基板,而且硬掩模层还可以被用来在被沉积的膜层中形成开口,以形成互连部以及其他特征和器件,诸如用于升起式栅极、电容器等的膜层,这些膜层可形成在基板表面上。

[0028] 本文具体描述的实施方式公开了用于最终形成经多图案化的硬掩模的方法,所述经多图案化的硬掩模最终被用来图案化和蚀刻介电互连材料,以形成含金属的特征,所述特征具有高深宽比和/或小尺寸。如本文所讨论的,这些特征的高深宽比指的是深宽比超过4:1的次微米结构,而小尺寸指的是尺寸约小于55nm的次微米结构。沉积工艺可包括在处理过程中将至少一种惰性气体供应至工艺腔室中。通过在沉积工艺期间调整所供应的惰性气体在气体混合物中的气体比率和分压,可以在整个基板表面上获得良好的轮廓控制和膜均匀性形成。

[0029] 本文的实施方式提供的方法用于形成物理气相沉积(此后称为PVD)氧化硅或富硅氧化物、或PVD SiN或富硅SiN、或SiC或富硅SiC、或前述各项的组合,包括化合物中含有受控氢掺杂的变化,以上被称为 $SiO_xN_yC_z:H_w$,其中w、x、y及z可以在从0%到100%的浓度中变

化。 $\text{SiO}_x\text{N}_y\text{C}_z:\text{H}_w$ 层被生产作为硬掩模,所述硬掩模的光学特性与将被施加在上面的光刻胶充分匹配,并用以在曝光波长(对于先进光刻为193nm)下蚀刻 $\text{SiO}_x\text{N}_y\text{C}_z:\text{H}_w$ 膜层(所述膜层在本文有时被泛称为 SiONC 膜层),以使硬掩模与光刻胶在光学上难以区分。在一些配置中, $\text{SiO}_x\text{N}_y\text{C}_z:\text{H}_w$ 层可包括具有所期望的光学特性的 $\text{SiO}_x\text{C}_z:\text{H}_w$ 层、 $\text{SiO}_x\text{N}_y:\text{H}_w$ 层或 $\text{SiO}_x\text{N}_y\text{C}_z:\text{H}_w$ 层。硬掩模和抗蚀剂在光学特性上的匹配允许在硬掩模上直接进行光刻、蚀刻、抗蚀剂剥除及再次施加抗蚀剂的多个程序,以进一步进行硬掩模图案化;而抗蚀剂仍为基本上“光学平坦化的”,且例如抗蚀剂的反射率不具有有意图(meaningful)的光学形貌(topography)或变化。这使得后续的光刻曝光能够经历相同或大体上相同的反射率,省去了对模拟(simulate)和进行复杂的光学邻近校正的需求。此外,光刻、蚀刻及剥除的多重复杂三层循环可被省去,因为只需要将单一抗蚀剂层直接施加在硬掩模上。

[0030] 图1描绘传统的现有技术循环100的实例,循环100用于使用三层光刻胶来对硬掩模层进行多图案化,所述三层光刻胶将被施加在硬掩模层上并用以蚀刻 SiO_2 膜层。传统的循环100被描绘在图1的快照110至160中,快照110至160描绘随着处理进行的基板的同一部分。在此实例中图示出双硬掩模蚀刻层的范例,其中待图案化的最终层低K层101被第一硬掩模102、第一光学平坦化层103和灰化阻挡层104覆盖,并在上面形成记忆层105。具体来说,基板109包括低K材料101,在低K材料101上形成氮化钛(TiN)金属硬掩模102层,并将第一光学平坦化层103和灰化阻挡层104形成在上面。记忆层105(硬掩模层)被设置在灰化阻挡层104的顶表面上。设置在记忆层105的顶部上的是三层116。所述三层包括第二光学平坦化层106及依序形成在上面的含硅抗反射层107和光刻胶108。在现有技术中,记忆层是使用化学气相沉积形成的,其中硅和氧前驱物通常在等离子体环境中结合,以形成硬掩模膜。

[0031] 在第一快照110中,使用光刻来曝光光刻胶108,并在光刻胶108中显影出图案特征118。特征118表示通过光刻曝光和后续的抗蚀剂显影而去除光刻胶108的区域。

[0032] 在第二快照120中,执行蚀刻工艺,以将第一特征125蚀刻为穿过第二光学平坦化层106和记忆层105。在蚀刻工艺期间,光刻胶108至少部分地被蚀刻掉,并且硅抗反射层107的暴露部分、第二光学平坦化层106及记忆层105被蚀刻。

[0033] 在第三快照130中,三层116被灰化或以其他方式从记忆层105被剥除。这在层堆叠的顶表面上留下局部图案化的记忆层105。此外,记忆层具有由于先前如第二快照120中所图示的蚀刻处理而穿过所述记忆层的开口135。开口135只是需要在记忆层105中产生的总图案的一部分。然而,由于所产生的形貌的缘故,进一步光刻记忆层105需要重新平坦化以及光隔离记忆层105。因此,另一个三层145被形成在记忆层105的顶部上。此举涉及沉积第二次施加的第二光学平坦化层106和硅抗反射层107,随后在上面施加光刻胶108。

[0034] 在第四快照140中,新的重新形成的三层145在光刻曝光和对抗蚀剂层108进行显影之后已被图案化,以形成第二图案148。第二图案148被用于第五快照150中图示的第二蚀刻中。第二蚀刻步骤去除重新形成的三层145和记忆层105中的材料(图示为漏斗形特征或开口155)。如第六快照160中所图示,在第二次剥除处理之后,记忆层105上三层(145)的剩余部分被去除。记忆层105此时有两个形成的开口135和165。

[0035] 对于同一硬掩模层的每次图案化步骤,先前的三层必须从基板被剥除,基板必须进行清洁,且然后必须施加新的三层。图1中描述的操作需要沉积6层(两个三层),以进行平坦化或光学上使晶片平整,以便在形成第六快照中所见的开口135和165时为光刻操作保持

聚焦 (focus) 并在光学上隔离记忆层105。以下讨论的实施方式提供用于以多个图案化步骤在硬掩模层中制备多个开口的设备和方法,且在后续的光刻步骤期间无需光学上平坦化或隔离经图案化的硬掩模层,以进一步图案化硬掩模层。图2描绘依据本文的一个实施方式的用于多图案化光学匹配的硬掩模层的新循环200。

[0036] 如图2中图示的新循环200包括基板的一部分的快照210至260,借助新循环200两个开口235和265分别以两个不同的光刻步骤形成在硬掩模层205中。在实例中,基板包括低K材料201,在低K材料201上有TiN金属硬掩模202以及第一光学平坦化层203(底层)和抗反射涂层/灰化阻挡层204(中间层)。“记忆”硬掩模层205(在上面形成的硬掩模层)被设置在ARC/灰化阻挡层204的顶表面上。ARC/灰化阻挡层204可包括具有抗反射特性(在 $\lambda=193\text{nm}$ 下)及蚀刻终止和灰化阻挡特性二者的薄膜,以用于在硬掩模层205上进行蚀刻和PR剥除。ARC/灰化阻挡层204可以由硅基材料来形成。ARC/灰化阻挡层204可以择一地从氮化铝(AlN)、 AlON 、 SiN 、 TiN 或其它具有抗反射特性、蚀刻终止特性、灰化阻挡特性的坚固材料形成,而且ARC/灰化阻挡层204也可以选择性地被去除。例如,ARC/灰化阻挡层204可以通过在基板的表面上沉积 AlN 层来形成。 AlN 层可以借助物理气相沉积、化学气相沉积、原子层沉积或借助其他适当的方法来形成。设置在硬掩模层205顶部上的只有光刻胶层208,使得光刻胶层208至少部分地与硬掩模层205直接接触。

[0037] 硬掩模层205可以是具有各种范围从0%至100%的 w 、 x 、 y 及 z 值的 $\text{SiO}_x\text{N}_y\text{C}_z:\text{H}_w$ 膜。在一些情况下, SiON 、 SiOC 或 SiONC 类型的膜可以被掺杂有氢(H),如本文所用的命名“:H”所表示的。硬掩模层205的成分被调整成在用于光刻图案化的曝光波长(通常是193nm)下匹配光刻胶层208的 n 和 K 值。借助物理气相沉积从硅靶材形成的 SiO_xN_y 膜具有在曝光波长193nm下范围在1.5至2.5之间的折射率 n 及约0至0.3的消光系数 K 。 $\text{SiO}_x\text{N}_y\text{C}_z:\text{H}_w$ 膜的边界(termination)可能影响形成在上面的下一层(即光刻胶层208)的特性。因此,在一些配置中,理想的是调整硬掩模层205与光刻胶层208的界面处或边界区域且在硬掩模层205中的材料的成分和/或特性。在硬掩模层205与光刻胶层208的界面处的硬掩模层205的边界区域可以只有几埃或单层厚。在一个实例中,可能理想的是通过在沉积工艺的后段期间关闭载氮和/或载氢气体流来调整界面区域中的氢(H)和/或氮(N)浓度,使得在边界区域中的H和/或N浓度至少小于所形成的层的其余部分中的H和/或N浓度。在一个实例中,在硬掩模层205表面处的氢浓度小于贯穿所沉积的硬掩模层205厚度的平均氢浓度,和/或在硬掩模层205表面处的氮浓度小于贯穿所沉积的硬掩模层205厚度的平均氮浓度。可以利用以诸如离子化的氩(Ar)气之类的气体原子轰击所沉积的硬掩模层205表面来改变所形成的硬掩模层205的成分(例如H和/或N浓度)或晶体结构。轰击工艺可以通过在基板表面上形成等离子体及然后对基板或基板支撑件(基板在所述基板支撑件上)进行偏压来执行,使得等离子体中的离子化的气体原子轰击基板的表面。在一个配置中,轰击工艺作为形成硬掩模层205的最后一个步骤执行,以便改变和/或调整膜的表面能和表面的润湿角特性。因此,通过使用以上讨论的工艺之一,可以调整边界区域和硬掩模层205表面的特性,使得表面是疏水性的或至少比均匀成分类型的硬掩模层和/或“初沉积的(as-deposited)”硬掩模层更疏水。此外,通过使用这些工艺中的至少一种工艺,可以将硬掩模层205制成惰性且稳定的,以免毒害(poison)形成在上面的光刻胶层208。由于膜的化学计量并不是与沉积温度非常相关的,所以低温沉积是可能的。

[0038] 另外,轰击所沉积的硬掩模层205表面的离子也可以被偏压到基板,以在硬掩模层205上沉积光刻胶层208之前促进基板的光滑表面。离子至基板的偏压越强,则基板表面变得越致密且越平滑。可以使用轰击工艺来使硬掩模层205的表面平滑,使得表面不具有诸如小凸起或草皮层(divot)之类的显著粗糙部分或肉眼可见特征,这些显著粗糙部分或肉眼可见特征在对光刻胶进行图案化时可能分散光刻波长。有益地,在硬掩模层205中蚀刻出临界尺寸之前密切控制光刻胶层208中的图案。

[0039] 在一些实施方式中,调整硬掩模层205的特性,使得在图案化程序的光刻图案相对对准过程中,可使先前在硬掩模层205中形成的对准标记或对准图案在对准检查波长(通常是530或630nm)下与设置在硬掩模层205上的光刻胶层可区别。硬掩模层205的折射率 n 或消光系数 K 可以在对准波长(530nm/630nm)下与光刻胶层208不同,而在光刻曝光波长(193nm)下仍然类似。消光系数可以是对波长敏感的。因此,硬掩模层205可以被掺杂氢(H)、硼(B)或钾(K)。可以将掺杂原子添加到靶材,或可以在沉积工艺期间使用工艺气体来调整硬掩模层205仅在所期望的波长下的光学特性。因此,可以将硬掩模层205调谐成在193nm的光刻波长下实质上匹配折射率 n 和消光系数 K ,而同时在530nm或630nm的对准波长下具有不同的折射率 n 或消光系数 K 。或者,可以将染料加入硬掩模层295,以使硬掩模层205在193nm的光刻波长下与光刻胶层245可区别,但在530nm或630nm的对准波长下不可区别。

[0040] 如本文所述,硬掩模和抗蚀剂的光学特性是足够类似的,以能够仅使用上面的单层抗蚀剂来重复地对硬掩模进行图案化。为了成为光学上平坦的,在硬掩模和抗蚀剂的界面处的反射率需要为至多1-2%。由于反射率有区别功能,故必须匹配 n 和 K ,以使得在两种材料的界面处无反射;简单地匹配 n 是不够的。对于相对于光刻胶层208匹配的硬掩模层205来说, n 和 K 充分匹配,使得菲涅耳(Fresnel)方程式预测出<2%的反射率。然而,在最先进的光刻术中,菲涅耳方程式应预测出<0.5%的反射率。硬掩模层和光刻胶的 n 和 K 值差异提供硬掩模与抗蚀剂充分匹配的指标(indicator)。对光刻胶层208充分匹配的硬掩模层205具有在 ± 0.01 内的 K 值和在 ± 0.01 内的 n 值。

[0041] 为了将氮或氢并入被溅射的Si中,存在于溅射腔室中的氧水平必须非常低。即使是在1/10的 O_2/N_2 比之下,“10%”的 O_2 值足以满足即排除氮至经PVD沉积的硅中的悬垂Si键(键合部位)的键合。例如,对于100个硅悬垂键(键合部位)的原子来说,引入100个 O_2 的原子和10,000个 N_2 的原子,这100个 O_2 原子将与Si悬垂键键合以排除 N_2 。因此,少量的(little)氮将会被并入膜中。因此,借助膜的 O_2/N_2 比来调整折射率 n 可以在沉积工艺过程中通过使 O_2 气流匮乏来调整。

[0042] 在图2的第一个快照中,使用193nm波长的“紫外光”(电磁能)来将图案曝光到光刻胶层208上,光刻胶层208被显影以形成孔218。光刻工具可以同时印出十亿个这样的特征。然而,随着芯片变得越来越密集,芯片设计已要求超过数十亿个特征。为了完成此要求,光刻工具在单次操作中只曝光待形成于表面中或表面上的总特征的一部分。剩余特征的图案在后续操作期间被对准于基板上。然后,剩余的特征在后续操作中被形成在层上或层中。因此,光刻曝光三十亿个特征可能需要至少3个循环。

[0043] 孔218是待形成于硬掩模层205中的较大设计图案的一部分。光刻胶层208中的图案孔218暴露出在孔218中的硬掩模层205的顶表面。硬掩模层205具有匹配或几乎匹配光刻胶层208的折射率(n)和消光系数(K)。通过匹配或几乎匹配光刻胶层208和硬掩模层205的

光学特性 n 和 K ,光刻胶层208和硬掩模层205的界面不会或至少仅最低限度地反射或折射光刻波长的紫外光,因此所述界面对于光刻曝光波长而言变成“不可见的”。结果,不管在所述界面处是否存在三维特征,光刻胶层208和硬掩模层205都一起对193nm的紫外线曝光波长显现为光学上平整或平坦化的,而且不需要为下面硬掩模的每次图案化步骤产生光学平坦化层。在一个实施方式中,光刻胶层208和硬掩模层205具有折射率 $n=1.6$ 和消光系数 $K=0.05$ 。结果,曝光电磁能量将不在硬掩模层205和上覆的光刻胶层208的实体界面处发生反射或折射。

[0044] 在第二快照220中,可选择的共形聚合物226被沉积在硬掩模层205和光刻胶层208的暴露表面上,并在共形聚合物226上执行蚀刻工艺,以产生开口225。193nm波长的光刻对于可以形成在光刻胶层208中的诸如沟槽之类的特征的尺寸(宽度)具有实际的限制。共形聚合物的沉积使得能够获得比单独由193nm的光刻所能够获得的特征更窄的特征。或者,可以利用对于光刻更小的波长来产生所期望宽度的图案。在此情况下将不使用共形聚合物。

[0045] 在第三快照230中,在蚀刻下面的硬掩模层205以形成第一开口235之后,在不显著改变硬掩模层205的折射率(n)或消光系数(K)值的情况下,通过灰化操作去除共形聚合物侧壁226和光刻胶层208。在一个实施方式中,使用远程 O_2 等离子体来灰化光刻胶层208。或者,使用可选择地在远程等离子体源中被活化之后的含氢气体和含氮气体(诸如 H_2 和 N_2)的混合物来灰化光刻胶层208。开口235只代表需要在硬掩模层205中产生的总图案的一部分。

[0046] 灰化可以使用远程等离子体源进行或原位进行。为了支持多个灰化操作,硬掩模层205的折射率(n)和消光系数(K)值的变化必须是最小的。图5描绘使用原位形成的 O_2 等离子体505和远程形成的 O_2 等离子体550进行灰化时硬掩模层205的变化。

[0047] 原位形成 O_2 等离子体505的影响的三个图表在图510中描绘横跨(across)层的记忆层(即硬掩模层或硬掩模层)厚度、在图520中描绘横跨层的记忆层折射率,以及在图530中描绘横跨层的记忆层消光系数。对于图510至530,将厚度、折射率及消光系数描绘在 y 轴上。沿着 x 轴描绘的是在位于沿着从基板中心到外边缘的同心圆的样品位置处的49(四十九)个测量值。测量是在灰化前506和灰化后507进行的。如图510中所图示,从灰化前506到灰化后507记忆层的厚度改变了。如图520中所图示,从灰化前506到灰化后507记忆层的折射率改变了。而且如图530中所图示,从灰化前506到灰化后507记忆层的消光系数改变了。使用原位形成的 O_2 等离子体进行的灰化表现出小的厚度变化,而且随着 O_2 含量增加, $SiON$ 中的折射率有极微少的降低,此举可能是 $SiON$ 的氧化所导致的。

[0048] 远程形成的 O_2 等离子体550作为灰化介质的影响的三个图示在图560中描绘横跨层的记忆层厚度,在图570中描绘横跨层的记忆层折射率,以及在图580中描绘横跨层的记忆层消光系数。再次地,对于图560至580,将厚度、折射率及消光系数描绘在 y 轴上。沿着 x 轴描绘的是在位于沿着从基板中心到外边缘的同心圆的样品位置处的49个测量值。如图560中所图示,从灰化前506到灰化后507记忆层的厚度大体上并未改变。如图570中所图示,从灰化前506到灰化后507记忆层的折射率大体上并未改变。而且如图580中所图示,从灰化前506到灰化后507记忆层的消光系数大体上并未改变。

[0049] 图6描绘使用原位形成的和远程形成的含氢(H_2)气体和含氮(N_2)气体的等离子体混合物(H_2/N_2)605和650进行灰化时,硬掩模层205中的变化。

[0050] 与图5的方式相同,远程形成的 H_2/N_2 等离子体605作为灰化介质的影响的三个图示

在图610中描绘横跨层的记忆层厚度,在图620中描绘横跨层的记忆层折射率,以及在图630中描绘横跨层的记忆层消光系数。对于图610至630,将厚度、折射率及消光系数描绘在y轴上。沿着x轴描绘的是在位于沿着从基板中心到外边缘的同心圆的样品位置处的49个测量值。测量是在灰化前606和灰化后607进行的。如图610中所图示,从灰化前606到灰化后607记忆层的厚度大体上并未改变。如图620中所图示,从灰化前606到灰化后607记忆层的折射率大体上并未改变。而且如图630中所图示,从灰化前606到灰化后607记忆层的消光系数大体上并未改变。

[0051] 原位形成的 H_2/N_2 等离子体650的影响的三个图示在图660中描绘横跨层的记忆层厚度,在图670中描绘横跨层的记忆层折射率,以及在图680中描绘横跨层的记忆层消光系数。再次地,对于图660至680,将厚度、折射率及消光系数描绘在y轴上。沿着x轴描绘的是在位于沿着从基板中心到外边缘的同心圆的样品位置处的49个测量值。如图660中所图示,从灰化前606到灰化后607记忆层的厚度改变了。如图670中所图示,从灰化前606到灰化后607记忆层的折射率改变了。而且如图680中所图示,从灰化前606到灰化后607记忆层的消光系数改变了。使用原位形成的 H_2/N_2 等离子体进行的灰化显示消光系数有一定量的增大。

[0052] 因此,对于用作灰化介质的 O_2 气体或 H_2/N_2 气体来说,远程形成等离子体以用于从记忆层(硬掩模层)205灰化抗蚀剂所引起的硬掩模层205的折射率(n)和消光系数(K)值变化显著小于使用原位形成的等离子体所引起的这些值的变化。这允许光刻、蚀刻及剥除抗蚀剂以在硬掩模中形成特征的多个程序的进行,而无需承受光学形貌或反射率的变化。

[0053] 再次参照图2的快照240,为了能够对硬掩模层205进行第二次图案化,光刻胶245被沉积并显影于硬掩模层205上,目的是图案化硬掩模层205中剩余的开口。在每个光刻操作之前,使用530nm或630nm的波长将开口的图案在基板上与硬掩模层205中所蚀刻出的图案对准。硬掩模层205具有在193nm的光刻波长下匹配光刻胶层245的折射率(n)和消光系数(K),硬掩模层205和光刻胶层245的界面对于曝光电磁能是在光学上不可区分的。然而,硬掩模层205具有在约530nm或约630nm的波长下与光刻胶层245不同的折射率(n)和消光系数(K),以允许光刻图案的对准。因此,硬掩模层205的n和K在193nm的波长下与光刻胶245的n和K是不可区分的,而在530nm或630nm的波长下是可区分的。这消除了先前需要光学平坦化或遮蔽先前蚀刻的特征以免暴露于光刻电磁能而在硬掩模层205上沉积另外的材料的需求。也就是说,已不再需要如图1所示的沉积包括第二光学平坦化层106和硅抗反射层107的三层。此外,由于在193nm的光刻波长下硬掩模层205与上覆的抗蚀剂之间没有界面反射或有可接受地小的界面反射,故可以不需要光学邻近校正来校正随后的光刻操作中的形貌,而且申请人已经在未使用光学邻近校正的情况下用光学匹配的抗蚀剂和记忆层完成了图案化。

[0054] 在第四快照240中,图案248已被光刻曝光并显影在光刻胶245中。图案248是待形成在硬掩模层205中的较大设计图案的一部分。在蚀刻工艺之前共形聚合物被沉积在硬掩模层205和光刻胶层208的暴露表面上。或者,共形聚合物的沉积可以发生在蚀刻硬掩模层205的过程中。

[0055] 在第五快照250中,在蚀刻操作之后显示出硬掩模层205中的开口265。蚀刻之后,在图案248的侧壁256上共形聚合物是可见的。在第六快照260中,通过灰化操作去除共形聚合物侧壁256和光刻胶层245。以不意图地改变硬掩模层205的折射率(n)或消光系数(K)值

的方式进行灰化操作。在集成电路的制造工艺中,可以对基板进行多次光刻处理。然而,在同一硬掩模层205上进行多个蚀刻和灰化的光刻循环并未显著改变硬掩模层205的折射率(n)或消光系数(K)值。结果,不需要沉积光学平坦化层和硅抗反射层及使用光学邻近校正以形成开口235、265。

[0056] 通过匹配硬掩模和光刻胶在193nm波长下的n(折射率)和K值两者,形成了硬掩模 $\text{SiO}_x\text{N}_y\text{C}_z$ 。在另一个实施方式中,硬掩模是 SiO_2 。再次地,这涉及调整硬掩模的n和K,以在193nm波长下匹配光刻胶(软掩模)的n和K,同时在530nm或630nm波长下对硬掩模和光刻胶的n和K进行区分。现有技术用以形成 SiON 膜层的化学气相沉积(CVD)工艺需要较高的温度,并产生具有较高K值的膜,因为氢从硅烷前驱物被并入膜中。此外,现有技术的膜层通常含有形成酸的N-H或胺键,所述酸干扰光刻胶并可能引起可能需要被去除的副产物即浮渣。氢形成吸收193nm波长的Si-H,并因此提高了K值。此举在满足SOC膜的热预算所要求的低沉积温度(通常 $<200^\circ\text{C}$)下尤其是真实的。因此,使用CVD使 SiON 层的消光系数(K)或电磁能吸收变得太高。申请人在本文中公开了可以形成物理气相沉积(PVD)形成的 $\text{SiO}_x\text{N}_y\text{C}_z$ 膜或层,所述 $\text{SiO}_x\text{N}_y\text{C}_z$ 膜或层可以被调谐至相关抗蚀剂的n和K值。此外,可以在远低于 200°C 下形成硬掩模层,而且已经在约20至 25°C 下通过在反应性氛围中溅射硅沉积了可接受的光调谐硬掩模层。

[0057] 然而,硅是难以溅射的。通常,当溅射介电层时,表面将积聚导致形成电弧和靶材粒子射出的电荷。使用脉冲DC允许从溅射靶材用的负极快速切换到扫描(sweeping)或电荷刷除(charge scrubbing)(中和介电表面上的所有电荷)靶材用的正极。

[0058] 图3图示适用于溅射沉积材料的示例性物理气相沉积(PVD)工艺腔室300(例如溅射工艺腔室)。可适用于形成 $\text{SiO}_x\text{N}_y\text{C}_z$ 膜层的工艺腔室的一个实例为可购自位于Santa Clara, California(加州圣克拉拉市)的Applied Materials, Inc.(应用材料公司)的PVD工艺腔室。预期,其他的溅射工艺腔室(包括来自其他制造商的那些工艺腔室)也可适用于实施本发明。

[0059] 工艺腔室300包括腔室主体308,腔室主体308中具有界定的处理空间318。腔室主体308具有侧壁310和底部346。腔室主体308和工艺腔室300的相关部件的尺寸不受限制,而且这些尺寸通常是按比例大于待处理的基板390的尺寸。任何适当的基板尺寸都可以进行处理。适当的基板尺寸的实例包括具有200mm直径、300mm直径或450mm直径的基板。

[0060] 腔室盖组件304被安装在腔室主体308的顶部上。腔室主体308可以由铝或其它适当的材料制成。基板出入口330被形成为穿过腔室主体308的侧壁310,以利于传送基板390进出工艺腔室300。出入口330可被耦接至传送腔室和/或基板处理系统的其他腔室。

[0061] 水蒸汽产生(WVG)系统334被耦接到工艺腔室300中界定的处理空间318。WVG系统334借助于 O_2 和 H_2 的催化反应产生超高纯度的水蒸汽。或者,WVG系统334也可以根据需要通过直接将水(H_2O)蒸发成为水蒸汽来产生水蒸汽。WVG系统334具有内衬有催化剂的反应器、或在其中借助于化学反应产生水蒸汽的催化剂盒。催化剂可以包括诸如钯、铂、镍、上述金属的组合及上述金属的合金之类的金属或合金。虽然水蒸汽通常是通过使 H_2 和 O_2 流入反应器来产生的,但 O_2 可以被补充或使用另一种氧源化合物替代,所述氧源化合物诸如是 NO 、 N_2O 、 NO_2 、 N_2O_5 、 H_2O_2 或 O_3 。在一个实施方式中,根据需要使用 H_2 和 N_2O 来形成水蒸汽。超高纯度的水对于提供 H_2O 至处理空间318中以用于形成具有 O_2 和 H_2 离子的等离子体是理想的。

[0062] 气源328被耦接到腔室主体308,以供应工艺气体至处理空间318中。在一个实施方式中,若必要的话工艺气体可以包括惰性气体、非反应性气体及反应性气体。可由气源328所提供的工艺气体的实例包括但不限于氩气(Ar)、氦(He)、氖气(Ne)、氪(Kr)、氙(Xe)、氮气(N₂)、氧气(O₂)、氢气(H₂)、H₂O(来自WVG系统334且以蒸汽形式)、组成气体(forming gas)(N₂+H₂)、氨(NH₃)、甲烷(CH₄)、一氧化碳(CO)和/或二氧化碳(CO₂)、及其他气体。

[0063] 泵送口350被形成为穿过腔室主体308的底部346。泵送装置352被耦接到处理空间318,以抽空并控制处理空间318内的压力。泵送系统和腔室冷却设计使得在适合热预算需求的温度(例如-25℃至+500℃)下能够有高本底真空(base vacuum)(1E-8托或更低)和低上升速率(1,000毫托/分钟)。泵送系统被设计成提供精确的工艺压力控制,工艺压力是RI控制和调整的关键参数。

[0064] 盖组件304通常包括靶材320和耦接至靶材320的接地外壳组件326。靶材320提供在PVD工艺期间可被溅射并沉积到基板390表面上的材料源。在DC溅射过程中靶材320作为等离子体电路的阴极。

[0065] 靶材320或靶材板可从用于沉积层的材料、或在腔室中待形成的沉积层的元素制成。诸如电源332之类的高电压电源被连接到靶材320,以利于从靶材320溅射材料。在一个实施方式中,靶材320可以由包括硅(Si)、钛(Ti)金属、钽金属(Ta)、铪(Hf)、钨(W)金属、钴(Co)、镍(Ni)、铜(Cu)、铝(Al)、上述金属的合金、上述各项的组合或类似物的材料制成。此外,在处理过程中来自靶材的电子发射可以由n型或p型掺杂的靶材控制。靶材可以被掺杂有诸如硼(B)之类的导电元素。靶材材料可以具有单晶与(versus)多晶结构。例如,靶材可以包括Si,其中整个Si靶材的晶格是单晶。在本文所描绘的示例性实施方式中,靶材可以由本征Si、或掺杂的导电Si、或特定成分的SiO_xN_yC_z:H_w复合靶材制成。在一个实施方式中,靶材是纯度99.999%且掺杂有每cm²约1×10¹⁸个硼原子的Si。

[0066] 靶材320通常包括外围部分324和中央部分316。外围部分324被设置在腔室的侧壁310上。靶材320的中央部分316可以具有弯曲表面,所述弯曲表面稍微朝向设置在基板支撑件338上的基板390的表面延伸。靶材320与基板支撑件338之间的间距被保持在约50mm与约350mm之间。值得注意的是,靶材320的尺寸、形状、材料、构造和直径可以为了特定工艺或基板要求而变化。在一个实施方式中,靶材320可以进一步包括具有中央部分的背板,所述中央部分由期望被溅射到基板表面上的材料粘合(bond)和/或制成。靶材320还可以包括共同形成靶材的相邻瓦片(tile)或分段材料。

[0067] 盖组件304还可以包括安装在靶材320上方的全面侵蚀磁电管阴极302,在处理过程中全面侵蚀磁电管阴极302增强从靶材320有效溅射材料。全面侵蚀磁电管阴极302允许容易和快速的工艺控制及订制的膜特性,同时确保在整个晶片上有一致的靶材侵蚀和均匀的SiO_xN_yC_z:H_w膜沉积,其中各个w、x、y及z值范围从0%到100%。磁电管组件的实例包括线性磁电管、蛇形磁电管、螺旋磁电管、双指状磁电管、矩形化螺旋磁电管及其他磁电管。

[0068] 盖组件304的接地外壳组件326包括接地框架306和接地外壳312。接地外壳组件326还可以包括其它的腔室屏蔽构件、靶材屏蔽构件、暗区屏蔽物及暗区屏蔽框架。接地外壳312借助接地框架306耦接到外围部分324,接地框架306界定处理空间318中且在靶材320的中央部分下方的上部处理区域354。接地框架306将接地外壳312与靶材320电绝缘,同时经由侧壁310提供到达工艺腔室300的腔室主体308的接地路径。接地外壳312把在处理过程

中产生的等离子体束缚在上部处理区域354内,并且接地外壳312从靶材320的有限(confined)中央部分316驱逐(dislodge)出靶材源材料,从而使得被驱逐出的靶材源得以主要被沉积在基板表面上而不是腔室侧壁310上。在一个实施方式中,接地外壳312可以由一个或更多个工件片段和/或借助本领域已知工艺进行的数个这些工件的粘合来形成,这些工艺诸如是焊接、胶合、高压压缩等。

[0069] 延伸穿过腔室主体308底部346的轴340耦接到升降机构344。升降机构344被配置成使基板支撑件338在下面的传送位置与上面的处理位置之间移动。波纹管342环绕轴340并耦接到基板支撑件338,以在中间提供挠性(flexible)密封,从而保持腔室处理空间318的真空完整性。

[0070] 基板支撑件338可以是静电夹盘,并且基板支撑件338具有电极380。静电夹盘(ESC)338利用相反电荷的吸引来保持绝缘基板390和导电基板390两者,以用于进行光刻工艺,并且静电夹盘(ESC)338由DC电源381供电。ESC 338包括嵌入介电主体内的电极。DC电源381可以提供约200至约2000伏的DC夹持电压至电极。DC电源381还可以包括系统控制器,系统控制器通过导引DC电流至电极来控制电极380的操作,以用于夹持和释放基板390。

[0071] 可以将PVD工艺的温度保持在低于沉积于硬掩模层205下方的有机膜变得易挥发的温度。例如,温度可以低于约250摄氏度,并且温度具有约50摄氏度的限度(margin)来防止硬掩模层205下方的有机膜除气(gas out)并污染腔室。ESC 338在器件整合要求热预算所要求的温度范围内执行。例如;可拆卸式ESC 338(DTESC)用于零下25℃至100℃的温度范围,中温ESC 338(MTESC)用于100℃至200℃的温度范围,高温或高温可偏压或高温高均匀性ESC 338(HTESC或HTBESC或HTHUESC)用于从200℃至500℃的温度范围,这确保晶片快速均匀地升温。

[0072] 在工艺气体被引入PVD腔室300之后,气体被激发以形成等离子体。诸如一个或更多个感应器线圈之类的天线376可以被提供在PVD腔室300附近。天线电源375可以对天线376进行供电,以将诸如RF能之类的能量感应耦合到工艺气体,以形成等离子体于PVD腔室300的处理区域中。替代地或另外地,包括基板390下方的阴极和基板390上方的阳极的处理电极可以被用来耦合RF电力以产生等离子体。还控制PVD腔室300中其他部件操作的控制器可以控制电源375的操作。

[0073] 遮蔽框架322设置在基板支撑件338的外围区域上,并且遮蔽框架322被配置成限制(confine)从靶材320被溅射到基板表面所期望的部分的源材料的沉积。腔室屏蔽物336可以设置在腔室主体308的内壁上,而且腔室屏蔽物336具有向内延伸到处理空间318并配置成支撑遮蔽框架322的唇部356,所述遮蔽框架322被设置为围绕基板支撑件338。当基板支撑件338被升到用于进行处理的上部位置时,设置在基板支撑件338上的基板390的外边缘被遮蔽框架322接合,而且遮蔽框架322被升起并远离腔室屏蔽物336。当基板支撑件338被降低到靠近基板传送出入口330的传送位置时,遮蔽框架322回到腔室屏蔽物336上。升降杆(未图示)被选择性地移动穿过基板支撑件338,以将基板390举起至基板支撑件338上方,以便借助传送机械手或其它适当的传送机构接近基板390。

[0074] 控制器348被耦接到工艺腔室300。控制器348包括中央处理单元(CPU)360、存储器358及支持电路362。控制器348被用来控制工艺程序、调节从气源328进入工艺腔室300的气流及控制靶材320的离子轰击。CPU 360可以是任何形式的、可在工业环境中使用的通用计

算机处理器。软件程序可以被储存在存储器358中,存储器358诸如是随机存取存储器、只读存储器、软盘或硬盘驱动器、或其他形式的数字储存器。支持电路362以传统的方式被耦接到CPU 360,而且支持电路362可以包括高速缓存、时钟电路、输入/输出子系统、电源及类似者。当由CPU 360执行软件程序时,软件程序将CPU转变成专用计算机(控制器)348,专用计算机348控制工艺腔室300,使得工艺依据本发明执行。软件程序也可以被第二控制器(未图示)执行和/或储存,所述第二控制器位于PVD腔室300的远程处。

[0075] 在处理过程中,材料从靶材320被溅射出并沉积在基板390的表面上。靶材320和基板支撑件338被电源332相对于彼此和/或相对于地面施加偏压,以保持从气源328所供应的工艺气体形成等离子体。来自等离子体的离子向着靶材320被加速并撞击靶材320,引起靶材材料从靶材320被驱逐出。被驱逐出的靶材材料和反应性工艺气体一起在基板390上形成具有所期望的成分的层。RF、DC或快速切换的脉冲DC电源或上述各项的组合提供可调谐的靶材偏压,以精确地控制溅射成分和 $\text{SiO}_x\text{N}_y\text{C}_z:\text{H}_w$ 材料的沉积速率。

[0076] 在一些实施方式中,同样理想的是在 $\text{SiO}_x\text{N}_y\text{C}_z:\text{H}_w$ 层沉积工艺的不同阶段期间分别施加偏压到基板。因此,偏压可以从源385(例如DC和/或RF源)被提供到基板支撑件338中的偏压电极386(或夹盘电极380),使得在沉积工艺的一个或更多个阶段期间,基板390将被形成于等离子体中的离子轰击。施加偏压于电极可用以使基板表面平滑,并增加基板表面的疏水性。在一些工艺实例中,在已经进行了 $\text{SiO}_x\text{N}_y\text{C}_z:\text{H}_w$ 膜的沉积工艺之后将偏压施加到基板。或者,在一些工艺实例中,在 $\text{SiO}_x\text{N}_y\text{C}_z:\text{H}_w$ 膜的沉积工艺期间施加偏压。因此,当在整个沉积工艺期间都保持基板偏压时,轰击原子会添加动能到在基板表面的沉积材料上。例如,可以使用约50瓦特与约1100瓦特之间的能量以将离子偏压至基板,以形成平滑的致密膜。较大的偏压驱动具有较大能量的离子到达基板表面。例如,后处理工艺可以使用含氩(Ar)气体,并且后处理工艺可通过提供诸如介于约200-1100瓦之间的偏压能以在基板表面处导引 $\text{SiO}_x\text{N}_y\text{C}_z:\text{H}_w$ 膜(即硬掩模层205)的离子而使基板膜平滑。硬掩模层的平滑膜表面有益地防止光刻的光在颠簸表面上散射,所述光散射可能会影响光刻胶层中形成的特征的品质。在另一个实例中,后处理工艺可以使用包括氩(Ar)气的工艺气体。后处理可以使 $\text{SiO}_x\text{N}_y\text{C}_z:\text{H}_w$ 膜的表面更加稳定和疏水。

[0077] 独特硬件和工艺的组合产生与上面待形成的抗蚀剂光学匹配的 $\text{SiO}_x\text{N}_y\text{C}_z:\text{H}_w$ 。所述 $\text{SiO}_x\text{N}_y\text{C}_z:\text{H}_w$ 膜的折射率(n)和消光系数(K)通过调整气流和生成膜的化学计量是可调的。当表面不再导电时,则靶材被毒化了。所以,当在靶材表面的气体氛围中的反应性物种特别富含反应性物种而使介电层被形成在整个靶材面上、并且靶材的性能在电学上就像介电质而非导体或半导体时,则发生了毒化模式的溅射。含H和/或O和/或N和/或C的气体可在靶材表面上发生反应并毒化靶材表面,以产生所期望的 $\text{SiO}_x\text{N}_y\text{C}_z:\text{H}_w$ 化学计量,以使得光学“不可见性”和蚀刻选择性的组合能够最适合器件的需求。此外,甲烷(CH_4)、一氧化碳(CO)、氢气(H_2)或二氧化碳(CO_2)也可以被用作毒化气体,以实现n和K值的更可调性以及所期望的蚀刻选择性。例如,可以使用 H_2 来形成薄膜或SiH单层,以便提高光吸收K,且由于层的薄度(tenuity)而不会提高反射率n。因此,含H气体可以形成光吸收层。

[0078] 硬件还可以包括气箱。在进入腔室之前在气箱中对气体进行混合是一种确保各种工艺气体的均匀气体混合物以用于均匀毒化靶材的方式。所述气箱可以混合 H_2 与 N_2 以微调K。将把 O_2 添加到NH混合物中(比先混合 O_2 和 H_2 更稳定且较不危险)。使用两个 O_2 质量流量控

制器(MFC)。一个质量流量控制器用于约100-200sccm的O₂的大量控制(bulk control);且一个质量流量控制器用于约5sccm的O₂的细微控制。也可以将工艺氩气(Ar)加入混合物中。这确保进入腔室之前为均匀的气体混合物。在一个实施方式中,在SiO_xN_yC_z:H_w膜完全形成之前可以关闭H和N气体,以免毒化待形成于顶部上的光刻胶层。在一个实例中,提供20% O₂/60% N₂/20% Ar的气流混合物比率到腔室的处理区域,腔室被保持在3.5毫托下,同时输送3kW的脉冲DC电力到靶材。然而,在一些情况下,可以将气流混合物提供到腔室的处理区域,同时输送DC、脉冲DC、RF和/或脉冲RF电力到靶材。

[0079] 示例性的物理气相沉积(PVD)工艺腔室300可以是群集工具的一部分。图7图示适用于在基板上产生和蚀刻经多图案化的硬掩模的示例性群集工具700。群集工具700特征为至少一个如上所述的物理气相沉积(PVD)腔室300。群集工具700的实例为可购自Santa Clara, California(加州圣克拉拉市)的Applied Materials, Inc.(应用材料公司)的Endura[®]系统。也可以使用由其他公司生产的群集工具。

[0080] 群集工具700可以包括一个或更多个用于传送基板进出群集工具700的装载锁定腔室706A、706B。通常,由于群集工具700是处在真空下,所以装载锁定腔室706A、706B可以将引入群集工具700的基板“抽空(pump down)”。第一机械手710可以在装载锁定腔室706A、706B与第一组的一个或更多个基板处理腔室712、714、716、718(图示出4个)之间传送基板。每个处理腔室712、714、716、718可以被装配成执行数个基板处理操作,这些基板处理操作除了包括周期性层沉积(CLD)、原子层沉积(ALD)、化学气相沉积(CVD)、诸如PVD腔室300的物理气相沉积(PVD)、预清洁、除气、转向(orientation)及其它的基板处理之外,还包括本文所述的蚀刻处理。

[0081] 第一机械手710还可以将基板传送至/自一个或更多个中间传送腔室722、724。中间传送腔室722、724可以被用以保持超高真空条件,同时使基板得以在群集工具700内被传送。第二机械手730可以在中间传送腔室722、724与第二组的一个或更多个处理腔室732、734、736、738之间传送基板。与处理腔室712、714、716、718类似,处理腔室732、734、736、738可以被装配成执行各种基板处理操作,这些基板处理操作除了包括例如周期性层沉积(CLD)、原子层沉积(ALD)、化学气相沉积(CVD)、物理气相沉积(PVD)、预清洁、热处理/除气、及转向之外,还包括本文所述的蚀刻处理。若对于待由群集工具700所执行的特定工艺不必要的话,可以从群集工具700移除任何的基板处理腔室712、714、716、718、732、734、736、738。

[0082] 用于形成图4A-4M的结构说明性多处理群集工具700可以包括多达四个类似地被构造成上述PVD腔室300的PVD腔室732、734、736、738(在734与736之间具有第五腔室可选项)。PVD或ALD腔室712或714可被配置成沉积薄的ARC/灰化层(例如AlN或SiN或TiN)。热处理腔室716、718可以能够执行诸如除气工艺之类的热处理工艺。除气工艺可以去除在腔室操作期间可能以其他方式释气(outgas)的潜在污染物。在一个构造中,热处理腔室716、718适用于在约200-300摄氏度的温度及100毫托或范围更低的压力下完成除气工艺。此外,热处理腔室716、718可以在群集工具700中进行处理之前预热基板。

[0083] 群集工具700可被用以执行在以上图2和以下图4中描述的方法。在处理过程中,待处理的基板可以在舱(未图示)中到达群集工具700。基板被工厂界面机械手(未图示)从舱传送到真空相容的装载锁定室706A、706B。然后第一机械手710将基板移入除气腔室716或

718,以用于进行除气和预热。然后第一机械手710从除气腔室716或718拾取基板并将基板载入中间传送腔室722,或可选地载入腔室712或714,以用于沉积ARC/灰化层(例如AlN层),然后载入中间传送腔室722。第二机械手730将基板从中间传送腔室722移入PVD腔室732、734、736或738。在PVD腔室732、734、736或738中可以在基板上形成硬掩模层(例如图2中的硬掩模层205)。然后第二机械手730从PVD腔室732拾取基板,并将基板传送至中间传送和冷却腔室724中。第一机械手710将基板移到装载锁定室706B,使得可以在群集工具700外部对基板进行随后的光刻操作。

[0084] 在一些工艺流程中,使含硬掩模层的基板在群集工具700中进行进一步的处理可能是理想的,或更典型地是使含硬掩模层的基板在类似于图7所图示的群集工具构造的单独群集工具中进行处理。在任一种情况下,含有经图案化的抗蚀剂的基板被放置在装载锁定腔室706A中。然后第一机械手710将基板载入热处理腔室716中。在热处理腔室716中基板被暴露于除气工艺。然后第一机械手710从热处理腔室712拾取基板,并且第一机械手710传送基板通过传送腔室724到达第二机械手730、并进入蚀刻腔室714用于进行硬掩模的蚀刻及之后进行基板的灰化。群集工具700可以将基板从蚀刻腔室714移到热处理腔室716,以用于进行后续的除气。所述工艺本身可以重复,直到在硬掩模层中形成完整的图案,并将基板放置在蚀刻腔室714中以用于进行下层的蚀刻。

[0085] 图4A至图4M图示制造多个交叉的沟槽494、498于光可调谐的“记忆”或硬掩模层423中的程序。在图4A中图示的是下面的基板,图案将从硬掩模的图案最终被蚀刻至所述下面基板中。在图4B中,诸如TiN ARC层422之类的抗反射涂层(ARC)被形成在基板421上。然后,如本文所述的光可调谐硬掩模层423被沉积在ARC层422上,如图4C中所见。诸如通过旋涂在上面形成具有与硬掩模层匹配的光学性质的抗蚀剂层424,以产生如图4D中所图示的结构。

[0086] 现在参照图4E,在光刻工艺中借助掩模(未图示)使抗蚀剂层在图案中曝光之后,将抗蚀剂层424显影,留下具有抗蚀剂层中的特征430的抗蚀剂层424,特征430被具有宽度或“临界尺寸”且在432特征之间的抗蚀剂分隔。图4F图示其中具有被显影的特征430的抗蚀剂所覆盖的基板421的顶视图。之后,使基板421暴露于反应性离子蚀刻环境中,其中选择性蚀刻下面硬掩模材料的蚀刻气体被引入并被激发成等离子体,而且基板或基板保持件被施加偏压,方向性地(directionally)且至少部分地向内蚀刻出硬掩模层423表面的开口440,从而复制抗蚀剂中被显影的图案。如图4G中所图示,产生的结构具有被硬掩模层423的壁所分隔的开口440,在硬掩模层423的曝光和显影过程中硬掩模层423的壁保持抗蚀剂层424中所形成的临界尺寸432。之后,覆盖经图案化的硬掩模层423的抗蚀剂的剩余部分在O₂或H₂/O₂远程等离子体中被剥除,以灰化(剥除)抗蚀剂而不会显著或意图影响下面硬掩模层423的光学特性,从而产生图4H中图示的轮廓。

[0087] 现在参照图4I,部分被蚀刻的硬掩模层上具有通过旋涂或类似工艺形成的第二光刻胶层441,其中第二抗蚀剂也与光调谐的硬掩模层423光学匹配。之后,如图4K中所图示,在抗蚀剂层441中曝光并显影沟槽特征,其中沟槽特征460正交(orthogonally)于第一抗蚀剂层441中的沟槽特征430而延伸。在图4J至图4L中,基板相对于前面的图被旋转90度。之后,通过抗蚀剂层441将下面的硬掩模层423蚀刻出特征以提供沟槽480,如图4L和图4M中所图示。

[0088] 通过使用光可调谐的硬掩模,可以在同一硬掩模层上以连续的图案化步骤通过仅剥除所使用的抗蚀剂、清洁表面及施加新的抗蚀剂来形成多个近纳米图案(near nanopattern)(图4中的沟槽),从而显著减少了时间、降低了成本及多图案化硬掩模的复杂性。

[0089] 虽然在此公开内容中的描述涉及用于将硬掩模的折射率(n)和消光系数(K)与光刻胶进行匹配的方法,但用于匹配这些特性的相同手段也可以被应用到其它的材料层。举例来说,沉积匹配材料可被视为用作ARC膜、钝化膜或缓冲膜。PVD膜因PVD膜的高纯度、高密度及低温沉积能力而被区分。本发明的使用可以改变目前使用的图案化材料和膜堆叠。因此,用于形成硬掩模的方法可被应用于各种经历光刻操作的层及材料。

[0090] 虽然前文针对本发明的实施方式,但在不背离本发明的基本范围的情况下可以设计出本发明的其他和进一步的实施方式,而且本发明的范围由以下的权利要求书确定。

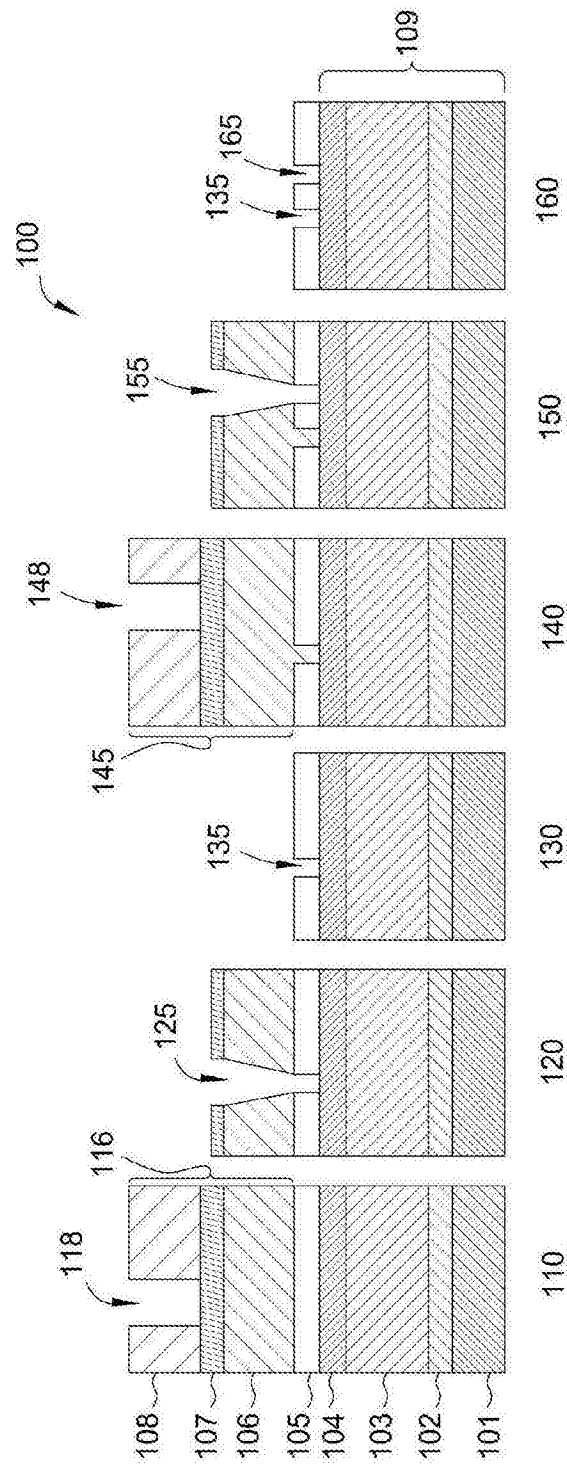


图1

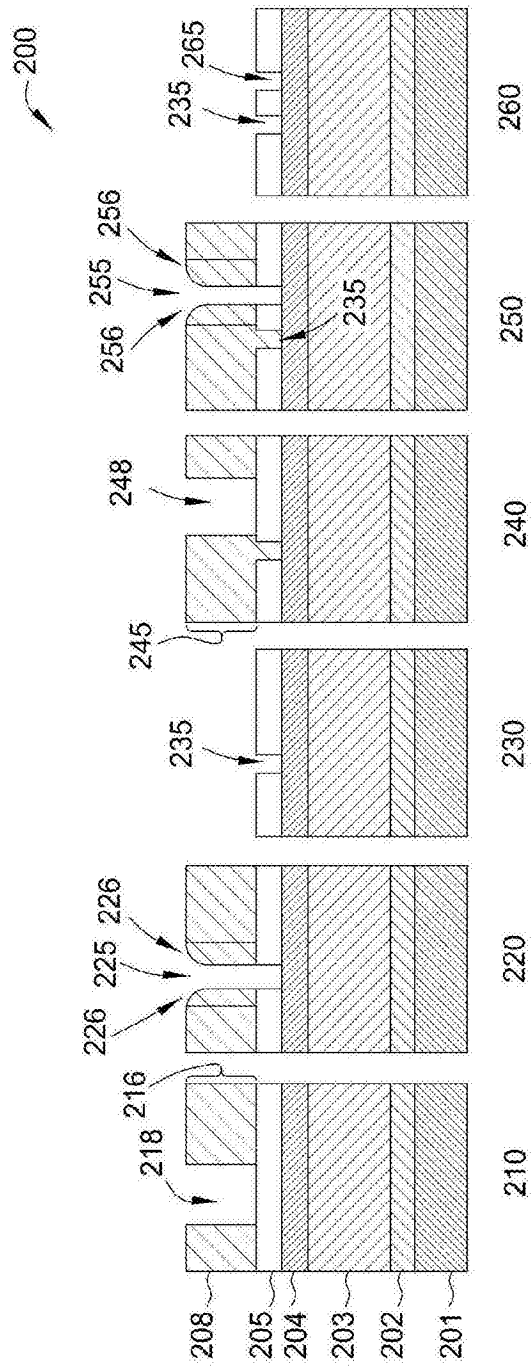


图2

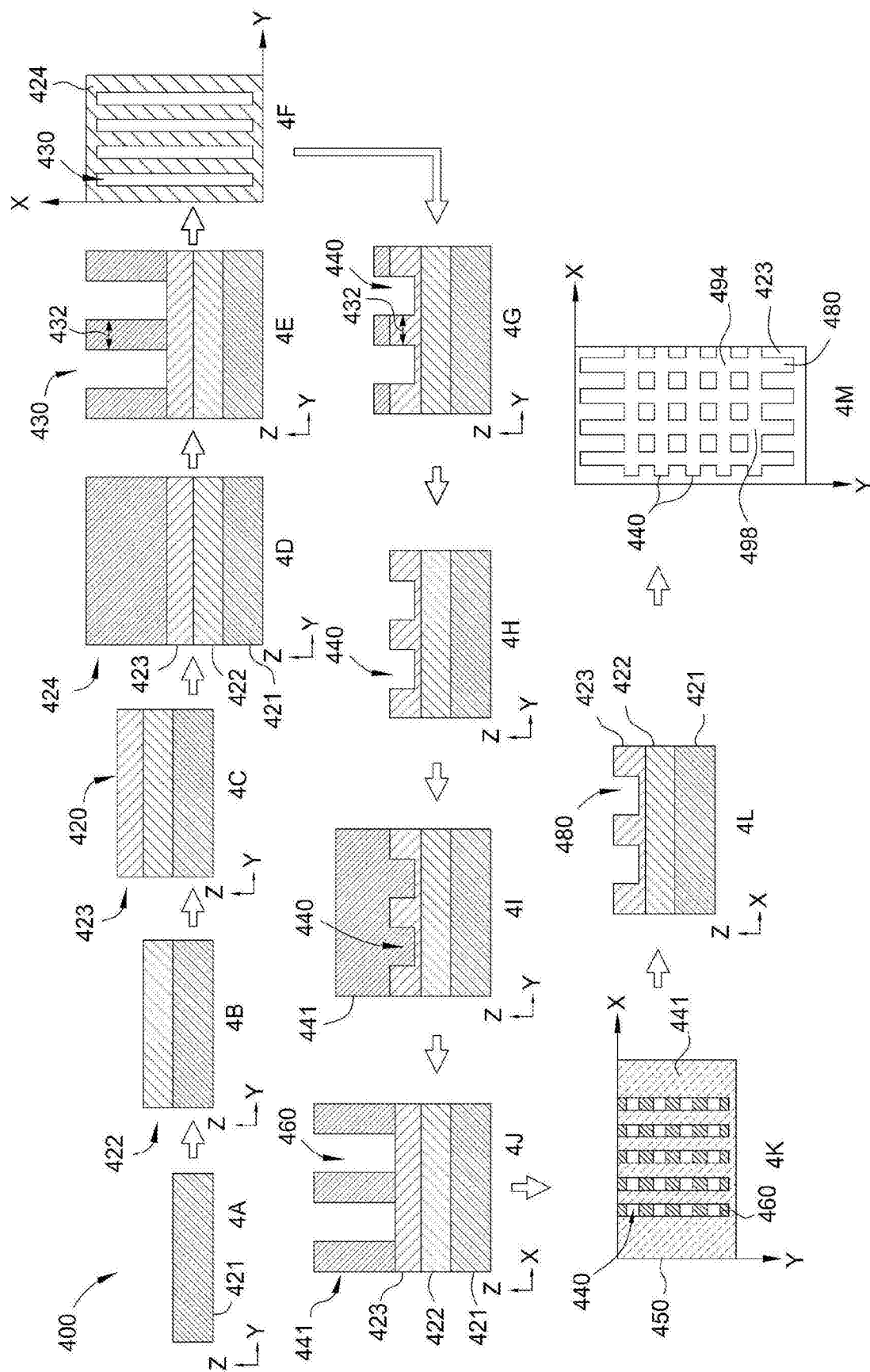


图4

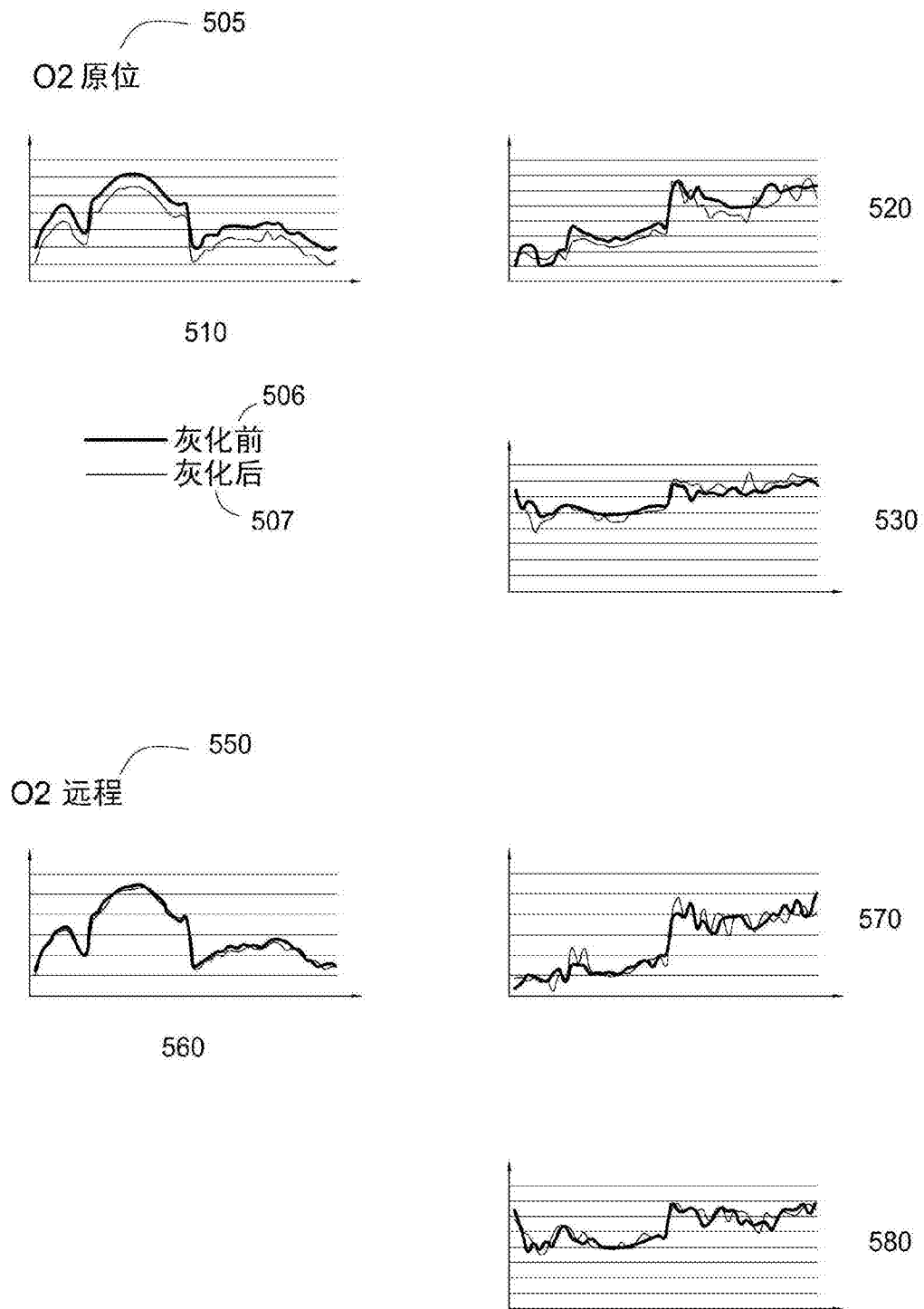


图5

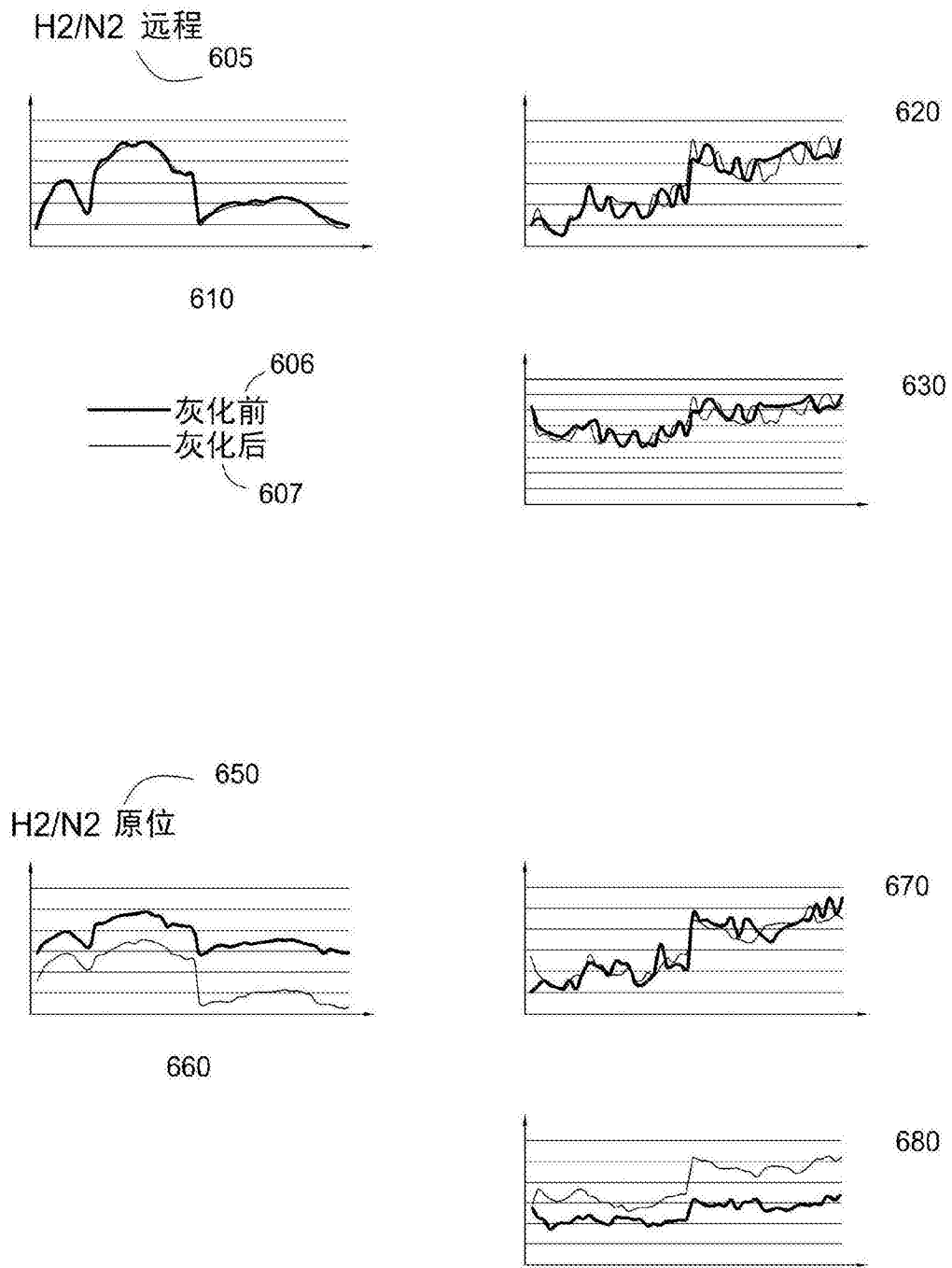


图6

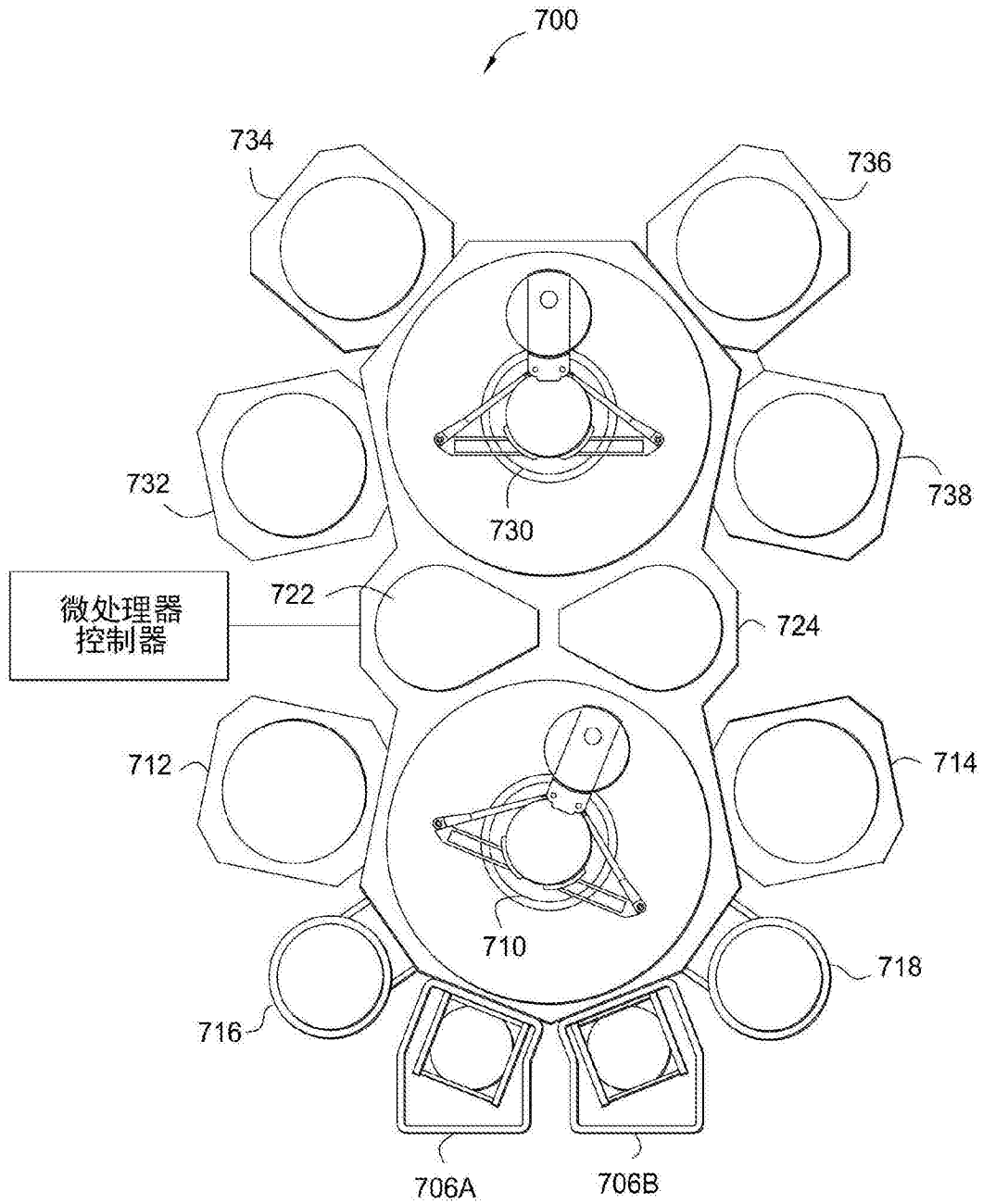


图7