

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年11月14日(14.11.2019)



(10) 国際公開番号

WO 2019/216308 A1

(51) 国際特許分類:
H01L 33/30 (2010.01)

(21) 国際出願番号: PCT/JP2019/018237

(22) 国際出願日: 2019年5月7日(07.05.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2018-092440 2018年5月11日(11.05.2018) JP

(71) 出願人: D O W A エレクトロニクス株式会社 (**DOWA ELECTRONICS MATERIALS CO., LTD.**) [JP/JP]; 〒1010021 東京都千代田区外神田4丁目14番1号 Tokyo (JP).

(72) 発明者: 小鹿 優太(**KOSHIKA, Yuta**); 〒1010021 東京都千代田区外神田4-14-1 DOWA エレクトロニクス株式会社内 Tokyo (JP). 門脇 嘉孝(**KADOWAKI, Yoshitaka**); 〒1010021 東京都千代田区外神田4-14-1 DOWA エレクトロニクス株式会社内 Tokyo (JP). 生田 哲也(**IKUTA Tetsuya**); 〒1010021 東京都千代田区外神田4-14-1 DOWA エレクトロニクス株式会社内 Tokyo (JP).

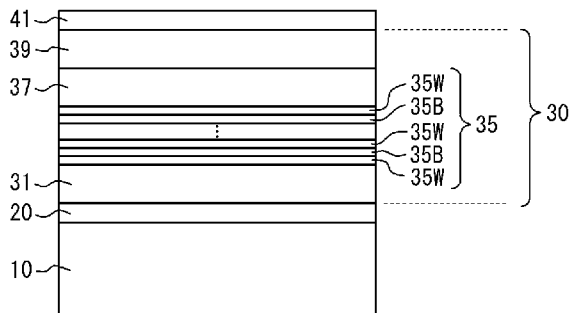
(74) 代理人: 杉 村 憲 司 (**SUGIMURA Kenji**); 〒1000013 東京都千代田区霞が関三丁目2番1号 霞が関コモンゲート西館36階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,

(54) **Title:** SEMICONDUCTOR LIGHT-EMITTING ELEMENT AND METHOD FOR MANUFACTURING SEMICONDUCTOR LIGHT-EMITTING ELEMENT

(54) 発明の名称: 半導体発光素子及び半導体発光素子の製造方法



(57) **Abstract:** Provided are: a semiconductor light-emitting element with improved light-emitting output; and a method for manufacturing a semiconductor light-emitting element. The semiconductor light-emitting element of the present invention has an active layer having a multiple quantum well structure in which a well layer and a barrier layer are alternately laminated, wherein an n-type dopant is included only in the well layer or in both the well layer and the barrier layer, and the dopant concentration of the n-type dopant in the active layer is 7.6×10^{15} to 1.7×10^{17} atoms/cm³.

(57) 要約: 発光出力を向上させた、半導体発光素子及び半導体発光素子の製造方法を提供する。本発明の半導体発光素子は、井戸層及び障壁層を交互に繰り返して積層した多重量子井戸構造の活性層を有し、n型ドーパントを、前記井戸層のみ、又は、前記井戸層及び前記障壁層の両方に含んでおり、前記活性層のn型ドーパントのドーパント濃度が、 $7.6 \times 10^{15} \sim 1.7 \times 10^{17}$ atoms/cm³である。

SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告（条約第21条(3)）

明 細 書

発明の名称：半導体発光素子及び半導体発光素子の製造方法

技術分野

[0001] 本発明は、半導体発光素子及び半導体発光素子の製造方法に関するものである。

背景技術

[0002] 従来、波長750nm以上の赤外領域を発光波長とする赤外発光の半導体発光素子が知られている。例えば、赤外発光の半導体発光素子は、センサー、ガス分析、監視カメラなどの用途で、幅広く用いられている。

[0003] このような半導体光デバイスの受発光波長を、1000nm～2200nmの近赤外領域とする場合、In及びPを少なくとも含むInGaAsP系III-V族半導体により構成されるpn接合領域を形成することが一般的である（例えば、特許文献1）。

先行技術文献

特許文献

[0004] 特許文献1：特開平9-181390号公報

発明の概要

発明が解決しようとする課題

[0005] 上記のようなIn及びPを少なくとも含むInGaAsP系III-V族半導体からなる半導体積層体を発光層に用いた半導体発光素子においては、発光出力をさらに向上させることが求められている。

[0006] そこで、本発明は、発光出力を向上させた、半導体発光素子及び半導体発光素子の製造方法を提供することを目的とする。

課題を解決するための手段

[0007] In及びPを少なくとも含むInGaAsP系III-V族半導体においては、特許文献1の実施形態のようにアンドープ活性層（井戸層）を用いることが一般的である。また、InGaAsP系とは異なるAlInGaP系

ⅠⅠⅠ－Ⅴ族半導体においては、活性層は、アンドープ又は低レベルのドーピングとすることが好ましく、また、n型よりはp型のドーピングが好ましいとの報告がなされているが、ⅠnGaAsP系においてはどうかの知見は無かった。

本発明者らは、上記の課題を解決すべく鋭意検討を重ねた結果、活性層にn型ドーパントを特定の濃度範囲で注入することにより、上記の課題を有利に解決することができるという知見を得て、本発明を完成するに至った。

[0008] 本発明の要旨構成は、以下の通りである。

本発明の半導体発光素子は、Ⅰn及びPを少なくとも含むⅠnGaAsP系ⅠⅠⅠ－Ⅴ族化合物半導体層を複数層積層してなる半導体積層体を備えた、半導体発光素子であって、

前記半導体積層体は、n型クラッド層、活性層、及びp型クラッド層をこの順に有し、

前記活性層は、井戸層及び障壁層を交互に繰り返して積層した多重量子井戸構造であり、かつ、n型ドーパントを、前記井戸層のみ、又は、前記井戸層及び前記障壁層の両方に含んでおり、

前記活性層のn型ドーパントのドーパント濃度が、 $7.6 \times 10^{15} \sim 1.7 \times 10^{17} \text{ atoms/cm}^3$ であることを特徴とする、半導体発光素子。

[0009] 本発明の半導体発光素子では、前記活性層のn型ドーパントのドーパント濃度が、 $1.1 \times 10^{16} \sim 1.4 \times 10^{17} \text{ atoms/cm}^3$ であることが好ましい。

[0010] 本発明の半導体発光素子では、前記活性層と前記p型クラッド層との間に、アンドープ層をさらに有し、

前記アンドープ層の厚さは、 $5 \sim 500 \text{ nm}$ であることが好ましい。

[0011] 本発明の半導体発光素子の製造方法は、Ⅰn及びPを少なくとも含むⅠnGaAsP系ⅠⅠⅠ－Ⅴ族化合物半導体層を複数層積層してなる半導体積層体を形成する工程を含み、

前記半導体積層体は、n型クラッド層、活性層、及びp型クラッド層をこ

の順に有し、

前記活性層は、井戸層及び障壁層を交互に繰り返して積層した多重量子井戸構造であり、

前記活性層を形成する工程において、前記井戸層のみ、又は、前記井戸層及び前記障壁層の両方に、 n 型ドーパントを含むドーピングガスを流入させ、

前記活性層の n 型ドーパントのドーパント濃度が、 $7.6 \times 10^{15} \sim 1.7 \times 10^{17} \text{ atoms/cm}^3$ であることを特徴とする。

[0012] 本発明の半導体発光素子の製造方法では、前記活性層の n 型ドーパントのドーパント濃度が、 $1.1 \times 10^{16} \sim 1.4 \times 10^{17} \text{ atoms/cm}^3$ であることが好ましい。

[0013] 本発明の半導体発光素子の製造方法では、前記半導体積層体を形成する工程は、前記活性層と前記 p 型クラッド層との間に、アンドープ層を形成する工程を含み、

前記アンドープ層の厚さは、 $5 \sim 500 \text{ nm}$ であることが好ましい。

発明の効果

[0014] 本発明によれば、発光出力を向上させた、半導体発光素子及び半導体発光素子の製造方法を提供することができる。

図面の簡単な説明

[0015] [図1A]本発明の一実施形態にかかる半導体発光素子の製造方法のフローを説明するための模式断面図である。

[図1B]本発明の一実施形態にかかる半導体発光素子の製造方法のフローを説明するための模式断面図である。

[図1C]本発明の一実施形態にかかる半導体発光素子の製造方法のフローを説明するための模式断面図である。

[図2A]本発明の一実施形態にかかる半導体発光素子の製造方法のフローを説明するための模式断面図である。

[図2B]本発明の一実施形態にかかる半導体発光素子の製造方法のフローを説

明するための模式断面図である。

[図2C]本発明の一実施形態にかかる半導体発光素子の製造方法のフローを説明するための模式断面図である。

[図3A]本発明の一実施形態にかかる半導体発光素子の製造方法のフローを説明するための模式断面図である。

[図3B]本発明の一実施形態にかかる半導体発光素子の製造方法のフローを説明するための模式断面図である。

[図4A]本発明の一実施形態にかかる半導体発光素子の製造方法のフローを説明するための模式断面図である。

[図4B]本発明の一実施形態にかかる半導体発光素子の製造方法のフローを説明するための模式断面図である。

[図5]本発明の一実施形態にかかる半導体発光素子の一の中間体の誘電体層及びコンタクト部周辺を説明する模式図である。

[図6A]実施例におけるオーミック電極部のパターンを示す模式上面図である。

[図6B]実施例における上面電極のパターンを示す模式上面図である。

[図7]実施例におけるSIMS分析結果を示す図である。

発明を実施するための形態

[0016] 本発明の実施形態の説明に先立ち、以下の点について予め説明する。まず、本明細書において組成比を明示せずに単に「InGaAsP」と表記する場合は、III族元素（In，Gaの合計）と、V族元素（As，P）との化学組成比が1：1であり、かつ、III族元素であるIn及びGaの比率と、V族元素であるAs及びPの比率とがそれぞれ不定の、任意の化合物を意味するものとする。この場合、III族元素にIn及びGaのいずれか一方が含まれない場合を含み、また、V族元素にAs及びPのいずれか一方が含まれない場合を含むものとする。ただし、「In及びPを少なくとも含む」InGaAsPと明示的に記載する場合、III族元素にInが0%超100%以下含まれ、かつ、V族元素にPが0%超100%以下含まれものと

する。また、「InGaP」と表記する場合は、上記「InGaAsP」にAsが製造上不可避な混入を除いては含まれないことを意味し、「InGaAs」と表記する場合には、上記「InGaAsP」にPが製造上不可避な混入を除いては含まれないことを意味する。同様に、「InAsP」と表記する場合は、上記「InGaAsP」にGaが製造上不可避な混入を除いては含まれないことを意味し、「GaAsP」と表記する場合には、上記「InGaAsP」にInが製造上不可避な混入を除いては含まれないことを意味する。そして、「InP」と表記する場合は、上記「InGaAsP」にGa及びAsが製造上不可避な混入を除いては含まれないことを意味する。なお、InGaAsPやInGaAsなどの各成分組成比は、フォトルミネッセンス測定及びX線回折測定などによって測定することができる。また、ここで言う「製造上不可避な混入」とは、原料ガスを用いる製造装置上の不可避な混入のほか、結晶成長時や、その後の熱処理に伴う各層界面での原子の拡散現象などを意味する。

[0017] また、本明細書において、電氣的にp型として機能する層をp型層と称し、電氣的にn型として機能する層をn型層と称する。一方、Si、Zn、S、Sn、Mg等の特定の不純物を意図的には添加しておらず、電氣的にp型又はn型として機能しない場合、「i型」又は「アンドープ」と言う。アンドープのInGaAsP層には、製造過程における不可避的な不純物の混入はあって良い。具体的には、ドーパント濃度が低い（例えば 7.6×10^{15} atoms/cm³未満）場合、「アンドープ」であるとして、本明細書では取り扱うものとする。Si、Zn、S、Sn、Mg等の不純物濃度の値は、SIMS分析によるものとする。同様に、活性層のn型ドーパント（例えばSi、S、Te、Sn、Ge、O等の）不純物濃度（「ドーパント濃度」）の値もSIMS分析によるものとする。なお、SIMS分析では、薄い井戸層と障壁層のドーパント濃度の違いは区別できない。SIMS分析による活性層のドーパント濃度の値は、井戸層と障壁層のドーパント濃度の平均値が観測されるものと考えられる。そのため、井戸層と障壁層とを区別せずに活

性層のドーパント濃度の値として判断するものとする。また、活性層に隣接する層との境界付近においてドーパント濃度の値は大きく変移するため、活性層の厚さ方向の中央におけるドーパント濃度の値を、本発明の活性層のドーパント濃度の値とする。

[0018] また、形成される各層の厚さ全体は、光干渉式膜厚測定器を用いて測定することができる。さらに、各層の厚さのそれぞれは、光干渉式膜厚測定器及び透過型電子顕微鏡による成長層の断面観察から算出できる。また、超格子構造のように各層の厚さが小さい場合にはTEM-EDSを用いて厚さを測定することができる。また、活性層のn型ドーパント（例えばSi、S、Te、Sn、Ge、O等の）不純物が、活性層を構成する井戸層のみ、または井戸層と障壁層の両方に含まれているかどうか、TEM-EDSを用いて判断することができる。なお、断面図において、所定の層が傾斜面を有する場合、その層の厚さは、当該層の直下層の平坦面からの最大高さを用いるものとする。

[0019] 以下、本発明の実施形態について図面を参照して詳細に例示説明する。なお、同一の構成要素には原則として同一の参照番号を付して、重複する説明を省略する。各図において、説明の便宜上、基板及び各層の縦横の比率を実際の比率から誇張して示している。説明の便宜上、まず、半導体発光素子の製造方法の実施形態について説明する。

[0020] <半導体発光素子の製造方法>

（第1工程）

本発明の一実施形態にかかる半導体発光素子の製造方法においては、まず、図1Aに示すように、まずInP成長用基板10を用意する。InP成長用基板10には、一般的に入手可能なn型InP基板、アンドープのInP基板、及びp型InP基板的いずれを用いることもできる。本実施形態では、InP成長用基板10は、n型InP基板である。

[0021] 次いで、図1Bに示すように、第1工程においては、InP成長用基板10上にエッチングストップ層20を形成する。エッチングストップ層20は

、後の工程においてInP成長用基板10をエッチングにより除去する際に、半導体積層体30までが除去されてしまうのを防止する。エッチングストップ層としては、n型InGaAs層を用いることができ、この場合、InP成長用基板10と格子整合させるため、III族元素におけるIn組成比を0.3~0.7とすることが好ましく、0.5~0.6とすることがより好ましい。エッチングストップ層20は、単層であっても良く、あるいは、他層との複合層（例えばSLS層）であっても良い。エッチングストップ層20は、例えば、エピタキシャル成長により形成することができ、例えば、有機金属気相成長（MOCVD: Metal Organic Chemical Vapor Deposition）法や分子線エピタキシ（MBE: Molecular Beam Epitaxy）法、スパッタ法などの公知の薄膜成長方法により形成することができる。例えば、In源としてトリメチルインジウム（TMIn）、Ga源としてトリメチルガリウム（TMGa）、As源としてアルシン（AsH₃）を所定の混合比で用い、これらの原料ガスを、キャリアガスを用いつつ気相成長させることにより、成長時間に応じてInGaAs層を所望の厚さで形成することができる。エッチングストップ層20は、上記のInGaAs層と同程度にInP成長用基板10と格子定数が近くなる組成比とするならば、AlInAsやAlInGaAs、InGaAsPとしても良い。

[0022] 次いで、図1Bに示すように、第1工程においては、エッチングストップ層20上に、In及びPを少なくとも含むInGaAsP系III-V族化合物半導体層を複数層積層した半導体積層体30を形成する。

[0023] ここで、半導体積層体30は、（本実施形態ではエッチングストップ層20側から）n型クラッド層31、活性層35、及びp型クラッド層37をこの順に含み、n型クラッド層31、活性層35、及びp型クラッド層37は、それぞれ、In及びPを少なくとも含むInGaAsP系III-V族化合物半導体からなる層であることが好ましい。

[0024] 本実施形態では、半導体積層体30は、活性層35を、n型クラッド層3

1 及び p 型クラッド層 3 7 で挟持した多重量子井戸 (MQW) 構造とする。これにより、結晶欠陥抑制による光出力を向上させることができる。本実施形態では、多重量子井戸構造は、井戸層 3 5 W 及び障壁層 3 5 B を交互に繰り返した構造であり、この場合、井戸層 3 5 W を InGaAsP とすることができ、障壁層 3 5 B を、井戸層 3 5 W よりもバンドギャップの大きな InGaAsP とすることが好ましい。このような半導体積層体 3 0 により、半導体発光素子 1 0 0 の発光波長を、所望の近赤外領域の波長とすることができる。例えば、 InGaAsP 系 III-V 族化合物の組成変更により発光ピーク波長を $1000 \sim 1650 \text{ nm}$ とすることができ、MQW 構造の場合であれば InGaAsP 系 III-V 族化合物の組成変更に加えて井戸層と障壁層との組成差を調整して井戸層にひずみを加えることにより発光ピーク波長を $1000 \sim 1900 \text{ nm}$ とすることもできる。なお、n 型クラッド層 3 1 としては n 型の InP クラッド層を用いることが好ましく、p 型クラッド層 3 7 としては p 型の InP クラッド層を用いることが好ましい。また、井戸層 3 5 W の成分組成を $\text{In}_{x_w}\text{Ga}_{1-x_w}\text{As}_{y_w}\text{P}_{1-y_w}$ と表す場合、 $0.5 \leq x_w \leq 1$ 、かつ、 $0.5 \leq y_w \leq 1$ とすることができ、 $0.6 \leq x_w \leq 0.8$ 、かつ、 $0.3 \leq y_w \leq 1$ とすることが好ましい。また、障壁層 3 5 B の成分組成を $\text{In}_{x_b}\text{Ga}_{1-x_b}\text{As}_{y_b}\text{P}_{1-y_b}$ と表す場合、 $0.5 \leq x_b \leq 1$ 、かつ、 $0 \leq y_b \leq 0.5$ とすることができ、 $0.8 \leq x_b \leq 1$ 、かつ、 $0 \leq y_b \leq 0.2$ とすることが好ましい。

[0025] ここで、本実施形態においては、活性層 3 5 は、井戸層 3 5 W 及び障壁層 3 5 B を交互に繰り返して積層した多重量子井戸構造である。そして、井戸層 3 5 W のみ、又は、井戸層 3 5 W 及び障壁層 3 5 B の両方が、n 型ドーパントを含有している。そして活性層の Si のドーパント濃度が、 $7.6 \times 10^{15} \sim 1.7 \times 10^{17} \text{ atoms/cm}^3$ であるものである。n 型ドーパントとしては、例えば Si、S、Te、Sn、Ge、O などが挙げられる。n 型ドーパントとしては、Si が最も好ましい。なお、本発明においては、井戸層 3 5 W のみ、又は、井戸層 3 5 W 及び障壁層 3 5 B の両方が、n 型ドーパ

ントのドーパント濃度が、 $1.1 \times 10^{16} \sim 1.4 \times 10^{17} \text{ atoms/cm}^3$ であることが好ましい。また、活性層35内において、n型ドーパントのドーパント濃度を均一とすることもできるが、不均一とすることもできる。例えば、n型クラッド層31（又は後述のn型クラッド層31側のi型InPスペーサ層）に隣接する側の濃度を、p型クラッド層37（又は後述のp型クラッド層37側のi型InPスペーサ層）に隣接する側の濃度より高くしても良いし、あるいは、p型クラッド層37（又は後述のp型クラッド層37側のi型InPスペーサ層）に隣接する側の濃度を、n型クラッド層31（又は後述のn型クラッド層31側のInPスペーサ層）に隣接する側の濃度より高くしても良いし、あるいは、n型クラッド層31（又は後述のn型クラッド層31側のInPスペーサ層）に隣接する側の濃度及びp型クラッド層37（又は後述のp型クラッド層37側のi型InPスペーサ層）に隣接する側の濃度を中央より高く（又は低く）しても良い。

[0026] 半導体積層体30の全体の厚さは制限されないが、例えば $2 \mu\text{m} \sim 8 \mu\text{m}$ とすることができる。また、n型クラッド層31の厚さも制限されないが、例えば $1 \mu\text{m} \sim 5 \mu\text{m}$ とすることができる。さらに、活性層35の厚さも制限されないが、例えば $100 \text{ nm} \sim 1000 \text{ nm}$ とすることができる。また、本発明では、p型クラッド層37の厚さは、特に限定されないが、例えば $1 \mu\text{m} \sim 5 \mu\text{m}$ とすることができる。活性層35が量子井戸構造を有する場合、井戸層35Wの厚さを $3 \text{ nm} \sim 15 \text{ nm}$ とすることができ、障壁層35Bの厚さを $5 \sim 15 \text{ nm}$ とすることができ、両者の組数を $3 \sim 50$ とすることができる。

[0027] また、図1Bに示すように、半導体積層体30は、In及びPを少なくとも含むInGaAsPからなるp型キャップ層39をp型クラッド層37上に有することも好ましい。p型キャップ層39を設けることで、格子不整合を緩和することができる。p型キャップ層39の厚さは制限されないが、例えば $50 \sim 200 \text{ nm}$ とすることができる。本実施形態では、半導体積層体30の最表層は、p型キャップ層39であるが、本発明では、p型キャップ

層 39 は任意の構成であるため、例えば半導体積層体 30 の最表層を p 型クラッド層 37 としてもよい。

[0028] なお、図示しないが、半導体積層体 30 は、活性層 35 と p 型クラッド層との間に、アンドープ層を有することが好ましく、アンドープ層は i 型 InP スペース層であることが好ましい。アンドープ層を設けることで、活性層 35 と p 型クラッド層との間の不要なドーパントの拡散を防止することができる。なお、アンドープ層の厚さは、p 型クラッド層のドーパント濃度に応じて設定することができる。アンドープ層の厚さは制限されないが、例えば 5 ~ 500 nm とすることができる。本実施形態においては、特に、活性層 35 と p 型クラッド層との間に形成するアンドープ層の厚さは、100 nm 以上とすることが好ましく、300 nm 以上とすることがより好ましい。また、半導体積層体 30 は、n 型クラッド層 31 と活性層 35 との間にも InP スペース層を有することも好ましい。n 型クラッド層 31 と活性層 35 との間の InP スペース層は、i 型又は n 型とすることができる。この InP スペース層の厚さは制限されないが、例えば 5 ~ 500 nm とすることができる。

[0029] ここで、半導体積層体 30 の各層は、エピタキシャル成長により形成することができ、例えば、有機金属気相成長 (MOCVD: Metal Organic Chemical Vapor Deposition) 法や分子線エピタキシ (MBE: Molecular Beam Epitaxy) 法、スパッタ法などの公知の薄膜成長方法により形成することができる。例えば、In 源としてトリメチルインジウム (TMIn)、Ga 源としてトリメチルガリウム (TMGa)、As 源としてアルシン (AsH₃)、P 源としてホスフィン (PH₃) を所定の混合比で用い、これらの原料ガスを、キャリアガスを用いつつ気相成長させることにより、成長時間に応じて InGaAsP 層を所望の厚さで形成することができる。なお、エピタキシャル成長させる他の InGaAsP 層についても、同様の方法により形成することができる。各層を p 型又は n 型にドーパントする場合は、所望に応じてドーパ

ント源のガスをさらに用いればよい。

特に、活性層35のn型ドーパント濃度のドーパント濃度を上記の範囲（ $7.6 \times 10^{15} \sim 1.7 \times 10^{17} \text{ atoms/cm}^3$ 、好ましくは、 $1.1 \times 10^{16} \sim 1.4 \times 10^{17} \text{ atoms/cm}^3$ ）とするに当たっては、活性層35を形成する際のn型ドーパントのドーピングガスのガス流量等を調整して行うことができる。上記のように活性層35内でドーパント濃度を変更する場合にも、ドーピングガスのガス流量を調整しながら活性層35を形成することにより、活性層35内でのn型ドーパントのドーパント濃度のプロファイルを調整することができる。具体的には、ドーパント濃度を高める際に、ガス流量を大きくすることができる。

[0030]（第2工程）

次いで、図1Cに示すように、第2工程では、半導体積層体30上に、III-V族化合物半導体からなるコンタクト層41を形成する。例えば、図1Cに示すように、p型キャップ層39上にp型のコンタクト層41を形成することができる。p型のコンタクト層41は、後述のオーミック金属部43に接し、オーミック金属部43と半導体積層体30との間に介在する層であって、半導体積層体30に比べてオーミック金属部43との間のコンタクト抵抗が小さくなる組成であればよく、例えばp型のInGaAs層を用いることができる。コンタクト層41の厚さは制限されないが、例えば50nm～200nmとすることができる。

[0031]（第3工程）

次いで、図2Aに示すように、第3工程では、コンタクト層41上の一部にオーミック金属部43を形成すると共に、コンタクト層41の表面に露出領域E1を残す。オーミック金属部43は、所定のパターンで島状に分散させて形成することができる。p型のコンタクト層41としてp型のInGaAs層を用いる場合、オーミック金属部43として例えばAu、AuZn、AuBe、AuTiなどを用いることができ、これらの積層構造を用いることも好ましい。例えば、Au/AuZn/Auをオーミック金属部43とす

ることができる。オーミック金属部43の厚さ（又は合計厚さ）は制限されないが、例えば300～1300nm、より好ましくは350nm～800nmとすることができる。

[0032] ここで、例えば、コンタクト層41の表面にレジストパターンを形成し、オーミック金属部43を蒸着させ、レジストパターンをリフトオフして形成すれば、第3工程を行うことができる。また、コンタクト層41の表面全面に所定の金属層を形成し、当該金属層上にマスクを形成し、エッチングするなどして、オーミック金属部43を形成することでも、第3工程を行うことができる。いずれの場合も、図2Aに示すように、コンタクト層41上の一部にオーミック金属部43が形成され、コンタクト層41の表面には、オーミック金属部43が接触しない表面、すなわち、露出領域E1が形成される。

[0033] なお、オーミック金属部43の形状は、図2Aに示すように断面図において台形状となることがあるが、これは模式的な例示に過ぎない。オーミック金属部43の形状は、断面図において矩形状に形成されても構わないし、角部に丸みを有していても構わない。

[0034] （第4工程）

次いで、図2Bに示すように、第4工程では、露出領域E1におけるコンタクト層41を、半導体積層体30の表面が露出するまで除去して、オーミック金属部43及びコンタクト層41aからなるコンタクト部40を形成すると共に、半導体積層体30の露出面E2を形成する。すなわち、先の第3工程において形成したオーミック金属部43以外の場所におけるコンタクト層41を、半導体積層体30の最表層であるp型キャップ層39の表面が露出するまでエッチングし、コンタクト層41aとする。例えば、オーミック金属部43及びその近傍（2～5μm程度）にレジストマスクを形成し、酒石酸一過酸化水素系などによりコンタクト層41の露出領域E1をウェットエッチングすればよい。他にも、無機酸一過酸化水素系及び有機酸一過酸化水素系などによってもウェットエッチングは可能である。また、第3工程に

において金属層上にマスクを形成し、エッチングによりオーミック金属部43を形成した場合は、第4工程のエッチングを連続して行ってもよい。

[0035] なお、コンタクト部40の厚さは、コンタクト層41（41a）及びオーミック金属部43の合計厚さに相当し、350nm～1500nm、より好ましくは400～1000nmとすることができる。

[0036] （第5工程）

次いで、図2Cに示すように、第5工程では、半導体積層体30の露出面E2上の少なくとも一部に誘電体層50を形成する。このような誘電体層50は、例えば以下のようにして形成することができる。

[0037] まず、半導体積層体30及びコンタクト部40を被覆するように、半導体積層体30上の全面に誘電体層を成膜する。成膜法としては、プラズマCVD法又はスパッタ法などの、公知の手法が適用可能である。そして、成膜した誘電体層表面の、コンタクト部40の上方において、誘電体層50にコンタクト部上の誘電体が形成される場合には、所望によりマスクを形成し、エッチング等により当該コンタクト部上の誘電体を除去すればよい。例えば、バッファードフッ酸（BHF）などを用いてコンタクト部上の誘電体をウェットエッチングすることができる。

[0038] また、変形例として、図5に示すように、半導体積層体30の露出面E2上の一部に誘電体層50を形成すると共に、コンタクト部40の周囲を露出部E3とすることも好ましい。このような誘電体層50及び露出部E3は、例えば以下のようにして形成することができる。まず、半導体積層体30上の全面に誘電体層を成膜し、成膜した誘電体層表面の、コンタクト部40の上方において、コンタクト部を完全に取囲む窓パターンをレジストで形成する。この場合、窓パターンは、コンタクト部の幅方向及び長手方向の長さに対してそれぞれ1～5μm程度拡がりを持たせることが好ましい。こうして形成したレジストパターンを用いて、コンタクト部周辺の誘電体をエッチングにより除去することで、誘電体層50が形成されると共に、コンタクト部40の周囲が露出部E3となる。

[0039] このような露出部E 3を設けることで、半導体発光素子1 0 0の放熱経路が形成される。この効果を確実に得るためには、露出部E 3の幅W（図5参照）を $0.5\mu\text{m}$ 以上 $5\mu\text{m}$ 以下とすることが好ましく、 $1\mu\text{m}$ 以上 $3.5\mu\text{m}$ 以下とすることがより好ましい。

[0040] なお、誘電体層5 0が半導体積層体3 0と接触する接触面積率を、8 0 %以上9 5 %以下とすることも好ましい。コンタクト部4 1の面積を減らして、誘電体層5 0の面積を増やすことにより、コンタクト部による光吸収を抑制することができるからである。なお、接触面積率は、ウェーハの状態で測定することができるし、個片化後の半導体発光素子の状態から接触面積率を逆算する場合は、個片化の際に除去された半導体層（誘電体層が存在していた領域）の幅を片幅 $20\sim30\mu\text{m}$ （両幅 $40\sim60\mu\text{m}$ ）と仮定して算出してもよい。

[0041] なお、第5工程では誘電体層5 0の厚さ H_1 と、コンタクト部4 0の厚さ H_2 との関係は特に制限されないが、図5に示すように、誘電体層5 0の厚さを H_1 、コンタクト部の厚さを H_2 と表した場合、 $H_1\geq H_2$ とすることができ、 $H_1>H_2$ とすることも好ましい。この条件の下、誘電体層5 0の厚さを、例えば $360\text{nm}\sim1600\text{nm}$ 、より好ましくは $410\text{nm}\sim1100\text{nm}$ とすることができる。また、誘電体層の厚さ H_1 と、コンタクト部4 0の厚さ H_2 との差 H_1-H_2 を 10nm 以上 100nm 以下とすることも好ましい。

[0042] また、誘電体層5 0としては、 SiO_2 、 SiN 、 ITO 、又は AlN などを用いることができ、特に、誘電体層5 0が SiO_2 からなることが好ましい。 SiO_2 は、 BHF 等によるエッチング加工が容易だからである。

[0043] （第6工程）

次いで、図3 Aに示すように、第6工程では、誘電体層5 0及びコンタクト部4 0上に、Auを主成分とする金属反射層6 0を形成する。第5工程において、露出部E 3を形成している場合は、金属反射層6 0は露出部E 3上にも形成される。Auを主成分とする金属反射層6 0とは、金属反射層6 0の組成においてAuが5 0質量%超を占めることをいい、より好ましくはA

uが80質量%以上であることをいう。金属反射層60は、複数層の金属層を含むことができるが、Auからなる金属層（以下、「Au金属層」）を含む場合には、金属反射層60の合計厚さのうち、Au金属層の厚さを50%超とすることが好ましい。金属反射層60を構成する金属には、Auの他、Al、Pt、Ti、Agなどを用いることができる。例えば、金属反射層60はAuのみからなる単一層であってもよいし、金属反射層60にAu金属層が2層以上含まれていてもよい。後続の第7工程における接合を確実にを行うため、金属反射層60の最表層（半導体積層体30と反対側の面）を、Au金属層とすることが好ましい。例えば、誘電体層50、露出部E3、及びコンタクト部40上に、Al、Au、Pt、Auの順に金属層を成膜し、金属反射層60とすることができ、金属反射層60におけるAu金属層の1層の厚さを、例えば400nm～2000nmとすることができ、Au以外の金属からなる金属層の厚さを、例えば5nm～200nmとすることができる。金属反射層60は、蒸着法などの一般的な手法により、誘電体層50、露出部E3、及びコンタクト部40上に成膜して形成することができる。

[0044]（第7工程）

次いで、図3Bに示すように、第7工程では、金属接合層70が表面に設けられた導電性支持基板80を、金属接合層70を介して金属反射層60に接合する。導電性支持基板80の表面には、予め金属接合層70を、スパッタ法や蒸着法などにより形成しておけばよい。この金属接合層70と、金属反射層60を対向配置して貼り合せ、250℃～500℃程度の温度で加熱圧縮接合を行うことで、両者の接合を行うことができる。

[0045] 金属反射層60と接合する金属接合層70には、Ti、Pt、Auなどの金属や、金と共晶合金を形成する金属（Snなど）を用いることができ、これらを積層したものとすることが好ましい。例えば、導電性支持基板80の表面から順に、厚さ400nm～800nmのTi、厚さ5nm～20nmのPt、厚さ700～1200nmのAuを積層したものを金属接合層70とすることができる。なお、金属反射層60と金属接合層70との接合を容

易にするため、金属接合層 70 側の最表層を Au 金属層とし、金属反射層 60 の、金属接合層 70 側の金属層も Au として、Au-Au 拡散による Au 同士での接合を行うことが好ましい。

[0046] ここで、導電性支持基板 80 として、近赤外波長に対して透明な導電性の Si 基板を用いることとする。Si 基板は硬度が InP 基板に比べて高いため、破損し難い。そのため、InP 基板を用いる場合に比べて、Si 基板を用いることで、導電性支持基板 80 の厚さを、従来よりも大幅に小さくすることができる。また、InP 基板に比べて Si 基板は放熱性やコストの点でも有利である。

[0047] (第 8 工程)

次いで、図 4 A に示すように、第 8 工程では、InP 成長用基板 10 を除去する。InP 成長用基板 10 は、例えば塩酸希釈液を用いてウェットエッチングにより除去することができ、本実施形態においては、エッチングストップ層 20 を形成しているため、当該エッチングストップ層でエッチングを終了させることができる。なお、エッチングストップ層が n 型 InGaAs 層である場合、例えば硫酸-過酸化水素系でウェットエッチングにより除去すればよい。

[0048] (第 9 工程)

次いで、図 4 B に示すように、導電性支持基板 80 の裏面に裏面電極 91 を形成し、半導体積層体 30 の表面に上面電極 93 を形成する工程を有する。上面電極 93 は、配線部 93 a 及びパッド部 93 b を含んでも良い。裏面電極 91 及び上面電極 93 の形成は公知の手法を用いることができ、例えばスパッタ法、電子ビーム蒸着法、又は抵抗加熱法などを用いることができる。

[0049] 以上のようにして、半導体発光素子 100 を作製することができる。本実施形態の半導体発光素子の製造方法によれば、製造される半導体発光素子 100 は、導電性支持基板 80 として導電性の Si 基板を用いたものとなるため、InP 基板を支持基板とする製造方法に比べて支持基板の厚さを十分に

小さくすることができる。従って、半導体発光素子100の全厚も小さくすることができるため、半導体発光素子100を小型化することができる。さらに、本実施形態の半導体発光素子の製造方法によれば、Si基板側に金属反射層60が設けられることとなるため、Si基板と反対側の面が主な光取り出し口となる。一方、従来のInP基板を成長用基板兼、支持基板となる半導体発光素子の製造方法では、半導体積層体の上下両面側及び側面側が光取り出し口となる。従って、本実施形態に従う半導体発光素子の製造方法の場合、従来型の半導体発光素子の製造方法に比べて、半導体発光素子の放出光が狭指向性となる点でも有利である。

[0050] そして、本実施形態の半導体発光素子の製造方法によれば、井戸層35Wのみ、又は、井戸層35W及び障壁層35Bの両方が、n型ドーパントのドーパント濃度が、 $7.6 \times 10^{15} \text{ atoms/cm}^3$ 以上であるため、ドーピング原子（例えばSi、S、Ge、Oなどの原子）が、サーファクタントとして働き、Inの表面拡散長を長くすることができる。また、過剰なドーパント量では、結晶成長表面の熱力学的に安定な格子位置を不純物原子が占める確率が高くなり、該不純物原子が3次元の島状成長の起点となって、3次元成長によって表面に凹凸が生じ、欠陥や転位の原因となるため、良好な結晶性を得ることができない。本実施形態の半導体発光素子の製造方法によれば、井戸層35Wのみ、又は、井戸層35W及び障壁層35Bの両方が、n型ドーパントのドーパント濃度が、 $1.7 \times 10^{17} \text{ atoms/cm}^3$ 以下であるため、過剰なドーパント量とならずに、良好な結晶性を有する活性層35が得られる。このように、本実施形態の半導体発光素子の製造方法によれば、井戸層35Wのみ、又は、井戸層35W及び障壁層35Bの両方が、n型ドーパントのドーパント濃度が、 $7.6 \times 10^{15} \sim 1.7 \times 10^{17} \text{ atoms/cm}^3$ 以下であることにより、発光出力を向上させることができる。同様の理由により、活性層35は、n型ドーパントをドーパント濃度 $1.1 \times 10^{16} \sim 1.4 \times 10^{17} \text{ atoms/cm}^3$ 含有することが好ましい。

[0051] また、本実施形態の半導体発光素子の製造方法では、活性層35とp型ク

ラッド層 37 との間に、アンドープ層をさらに有し、アンドープ層の厚さは、5 ~ 500 nm であることが好ましい。井戸層 35 W のみ、又は、井戸層 35 W 及び障壁層 35 B の両方が、n 型ドーパントのドーパント濃度が、 $7.6 \times 10^{15} \sim 1.7 \times 10^{17} \text{ atoms/cm}^3$ である（好ましくは $1.1 \times 10^{16} \sim 1.4 \times 10^{17} \text{ atoms/cm}^3$ である）ことと相まって、発光出力及び発光出力の維持率を向上させることができるからである。すなわち、活性層 35 へと固相拡散していった不純物は非発行再結合の中心となるため、活性層 35 へ注入されたキャリアを消費してしまい、その結果内部吸収ロスを増大させ特性を悪化させてしまう。これに対し、拡散を防止するためにアンドープ層の厚さを厚くすると、PN 接合面が移動した状態（いわゆるリモートジャンクション）となって、素子特性が低下してしまう。そこで、アンドープ層を 5 nm 以上の厚さで設けて固相拡散を防止しつつ、一方で、アンドープ層を 500 nm 以下の厚さとして薄くすることにより、順方向電圧が上がりすぎないようにして、出力の線形性を向上させることができる。

[0052] ここで、図示しないが、本実施形態に従う製造方法は、導電性支持基板 80 の厚さを $80 \mu\text{m}$ 以上 $200 \mu\text{m}$ 未満の範囲内に研削する研削工程を更に有することも好ましい。本実施形態では、導電性支持基板 80 として Si 基板を用いるため、導電性支持基板 80 を厚さ $200 \mu\text{m}$ 未満に研削しても破損が生じることがない。さらに、導電性支持基板 80 の厚さを $150 \mu\text{m}$ 以下にまで研削することもできるし、 $100 \mu\text{m}$ 以下にまで研削することもできる。ただし、導電性支持基板 80 の厚さを $80 \mu\text{m}$ 未満にまで研削すると、Si 基板であっても破損が生じ得るため、厚さの下限を $80 \mu\text{m}$ とすることが好ましい。また、導電性支持基板 80 の厚さが $80 \mu\text{m}$ 以上であれば、半導体発光素子 100 を十分にハンドリング可能である。

[0053] この研削工程は、前述の第 7 工程に先立ち行ってもよいし、第 7 工程と第 8 工程との間、あるいは、第 8 工程の後のいずれの段階で行ってもよいが、第 8 工程の後がより好ましい。薄型化したウェーハを用いて加工する工程を減らすことで、ウェーハの割れをより確実に防止できるからである。なお、

第8工程の後に研削工程を行う場合、後述の裏面電極の形成に先立ち研削工程を行うものとする。なお、Si基板からなる導電性支持基板80の研削は、一般的な機械研削により行うことができ、エッチングを併用してもよい。

[0054] <半導体発光素子>

次に、本発明の半導体発光素子の一実施形態について説明する。

本発明の一実施形態にかかる半導体発光素子は、縦方向に電流が流れることで機能する縦型の半導体発光素子100である。すなわち、図4Bに示すように、この半導体発光素子100は、導電性支持基板80と、導電性支持基板80の表面に設けられた金属接合層70と、金属接合層70の上に設けられた金属反射層60と、金属反射層60の上に設けられた、In及びPを少なくとも含むInGaAsP系III-V族化合物半導体層を複数層積層してなる半導体積層体30と、金属反射層60及び半導体積層体30の間に、並列して設けられた誘電体層50及びコンタクト部40と、を有する。そして、金属反射層60の主成分はAuであり、導電性支持基板80は導電性のSi基板からなる。図4Bに示すように、本実施形態の半導体発光素子100は、裏面電極91及び上面電極93を有している。

[0055] 各構成要素については、半導体発光素子の製造方法の実施形態において説明したのと同様であるため、説明を省略するが、特に、既述のとおり、本実施形態の半導体発光素子では、半導体積層体30は、（本実施形態ではエッチングストップ層20側から）n型クラッド層31、活性層35、及びp型クラッド層37をこの順に含む。また、特に、本実施形態では、半導体積層体30は、活性層35を、n型クラッド層31及びp型クラッド層37で挟持した多重量子井戸構造である。また、本実施形態では、活性層35は、井戸層35W及び障壁層Bを交互に繰り返して積層した多重量子井戸構造であり、井戸層35Wのみ、又は、井戸層35W及び障壁層35Bの両方が、n型ドーパントのドーパント濃度が、 $7.6 \times 10^{15} \sim 1.7 \times 10^{17} \text{ atoms/cm}^3$ である（好ましくは $1.1 \times 10^{16} \sim 1.4 \times 10^{17} \text{ atoms/cm}^3$ である）。

[0056] 既述のとおり、半導体発光素子100は、導電性支持基板80として導電性のSi基板を用いているため、支持基板の厚さを十分に小さくすることができる。また、半導体発光素子100では、Si基板側に金属反射層60が設けられているため、従来型の半導体発光素子に比べて放出光が狭指向性となる点でも有利である。

[0057] また、本実施形態では、導電性支持基板80の厚さを80 μm 以上200 μm 未満とすることができ、厚さを150 μm 以下することもできるし、100 μm 以下にすることもできる。

[0058] また、本実施形態では、n型クラッド層31、活性層35、及びp型クラッド層37は、In及びPを少なくとも含むInGaAsP系III-V族化合物半導体からなる層であることが好ましい。そして、誘電体層はSiO₂からなることが好ましい。

[0059] そして、本実施形態では、井戸層35Wのみ、又は、井戸層35W及び障壁層35Bの両方が、n型ドーパントのドーパント濃度が、 $7.6 \times 10^{15} \sim 1.7 \times 10^{17} \text{ atoms/cm}^3$ である。これにより、既述のとおり、ドーピング原子（例えばSi、S、Te、Sn、Ge、Oなどの原子）が、サーファクタントとして働き、Inの表面拡散長を長くすることができ、良好な結晶性を有する活性層35が得られることで、発光出力を向上させることができる。同様の理由により、活性層35は、n型ドーパントのドーパント濃度が、 $1.1 \times 10^{16} \sim 1.4 \times 10^{17} \text{ atoms/cm}^3$ であることが好ましい。また、既述のとおり、活性層35とp型クラッド層37との間に、アンドープ層をさらに有し、アンドープ層の厚さは、5～500nmであることが好ましい。

[0060] <変形例>

上記の実施形態では、Si基板を貼り合わせて支持基板として用い、InP成長用基板10を除去する実施形態であるが、本発明は、このような貼り合わせ型の半導体発光素子に限定されない。すなわち、上記の半導体発光素子の製造方法の実施形態において、図3Bに示した支持基板を貼り合わせる

工程及び図4Aに示したInP成長用基板10を除去する工程を行わずに、上面電極及び裏面電極を形成すれば、InP成長用基板10をそのまま用いた、半導体発光素子を形成することができる。もちろん、InP成長用基板10の除去を行わないため、図1Bに示した第1工程において、エッチングストップ層20を形成する必要もない。この場合も、活性層35は、井戸層35W及び障壁層35Bを交互に繰り返して積層した多重量子井戸構造であり、井戸層35Wのみ、又は、井戸層35W及び障壁層35Bの両方が、n型ドーパントのドーパント濃度が、 $7.6 \times 10^{15} \sim 1.7 \times 10^{17} \text{ atoms/cm}^3$ であることにより、上記のように、発光出力を向上させることができる。同様の理由により、この場合も、井戸層35Wのみ、又は、井戸層35W及び障壁層35Bの両方が、n型ドーパントのドーパント濃度が、 $1.1 \times 10^{16} \sim 1.4 \times 10^{17} \text{ atoms/cm}^3$ であることが好ましい。さらに、この場合も、活性層35とp型クラッド層37との間に、アンドープ層をさらに有し、アンドープ層の厚さは、5～500nmであることが好ましい。

[0061] 以上、本発明の実施形態について説明したが、本発明は、上記の実施形態に何ら限定されるものではない。例えば、上記の実施形態では、InP成長用基板10としてn型InP基板を用いる実施形態としたため、InP成長用基板10上に形成される各層のn型及びp型については上記のとおりとしたが、本発明では、p型InP基板を用いることもでき、その場合は、各層の導電型のn型/p型が上記の実施形態と逆転するのは当然に理解される。ただし、その場合でも、活性層は、井戸層及び障壁層を交互に繰り返して積層した多重量子井戸構造であり、井戸層のみ、又は、井戸層及び障壁層の両方にn型のドーパントが含有され、かつ、活性層に含まれるn型のドーパントのドーパント濃度が、 $7.6 \times 10^{15} \sim 1.7 \times 10^{17} \text{ atoms/cm}^3$ である（好ましくは $1.1 \times 10^{16} \sim 1.4 \times 10^{17} \text{ atoms/cm}^3$ である）。また、InP成長用基板10としてアンドープのInP基板を用いる場合は、InP成長用基板10上に形成する半導体層の導電性（p型又はn

型)に対応させて、各層の導電性を定めればよい。ただし、その場合でも、活性層は、井戸層及び障壁層を交互に繰り返して積層した多重量子井戸構造であり、井戸層のみ、又は、井戸層及び障壁層の両方にn型のドーパントが含有され、かつ、活性層に含まれるn型のドーパントのドーパント濃度が、 $7.6 \times 10^{15} \sim 1.7 \times 10^{17} \text{ atoms/cm}^3$ である（好ましくは $1.1 \times 10^{16} \sim 1.4 \times 10^{17} \text{ atoms/cm}^3$ である）。

以下、実施例を用いて本発明をさらに詳細に説明するが、本発明は以下の実施例に何ら限定されるものではない。

実施例

[0062] (発明例1)

図1～図4に示したフローチャートに従って、発明例1に係る半導体発光素子を作製した。具体的には以下のとおりである。

[0063] まず、Sドーパのn型InP基板の(100)面上に、Siドーパのn型 $\text{In}_{0.57}\text{Ga}_{0.43}\text{As}$ エッチングストップ層（厚さ：200nm）、Siドーパのn型InPクラッド層（厚さ：2 μm ）、n型InPスペーサ層（厚さ：320nm）、発光波長1450nmの量子井戸構造の活性層（合計180nm）、アンドープのi型InPスペーサ層（厚さ：320nm）、Znドーパのp型InPクラッド層（厚さ：1.2 μm ）、Znドーパのp型 $\text{In}_{0.8}\text{Ga}_{0.2}\text{As}_{0.5}\text{P}_{0.5}$ キャップ層（厚さ：50nm）、Znドーパのp型 $\text{In}_{0.57}\text{Ga}_{0.43}\text{As}$ コンタクト層（厚さ：100nm）をMOCVD法により順次形成した。なお、量子井戸構造の活性層の形成にあたり、 $\text{In}_{0.73}\text{Ga}_{0.27}\text{As}_{0.5}\text{P}_{0.5}$ 井戸層（厚さ：10nm）及びInP障壁層（厚さ：8nm）を10層ずつ交互に積層した。活性層を形成するにあたり、井戸層と障壁層との両方において、n型ドーパントとしてSiを含むドーピングガス（ Si_2H_6 ）を流入した（流量：70cc）。SIMSによりドーパント濃度を計測した結果、活性層中のSiドーパント濃度は、 $9.3 \times 10^{16} \text{ atoms/cm}^3$ となっていることがわかった（図7参照）。なお、n型ドーパントとしてSiを含むドーピングガス（ Si_2H_6 ）の流量を障壁

層と同じ量（流量：70cc）としたn型InPスペーサ層のSiドーパント濃度は、 $2.3 \times 10^{17} \text{ atoms/cm}^3$ であった（図7参照）。SIMS分析では薄い井戸層と障壁層のSiドーパント濃度の違いは区別できない。厳密には障壁層と井戸層とは形成時に同じ流量を流しても含有されるSi量は異なるものの、SIMS分析においては、障壁層と井戸層を合算した平均値が観測されていると予想される。

[0064] p型 $\text{In}_{0.57}\text{Ga}_{0.43}\text{As}$ コンタクト層上に、図6Aに示すように、島状に分散したp型オーミック電極部（Au/AuZn/Au、合計厚さ：530nm）を形成した。図6AのI-I断面図が、図2Aの模式断面図に相当する。このパターン形成にあたっては、レジストパターンを形成し、次いでオーミック電極を蒸着し、レジストパターンのリフトオフにより形成した。この状態で光学顕微鏡を用いてウェーハの半導体層を上面視で観察したところ、p型オーミック電極部の、半導体層への接触面積率は4.5%であった。なお、図6Aの外形サイズは380μm角である。

[0065] 次に、p型オーミック電極部及びその周辺にレジストマスクを形成し、オーミック電極部を形成した場所以外のp型 $\text{In}_{0.57}\text{Ga}_{0.43}\text{As}$ コンタクト層を、酒石酸一過酸化水素系のウェットエッチングにより除去した。その後、プラズマCVD法によりp型 $\text{In}_{0.80}\text{Ga}_{0.20}\text{As}_{0.50}\text{P}_{0.50}$ キャップ層上の全面に SiO_2 からなる誘電体層（厚さ：700nm）を形成した。そして、p型オーミック電極部の上方領域に、幅方向及び長手方向に幅3μmを付加した形状の窓パターンをレジストで形成し、p型オーミック電極部及びその周辺の誘電体層を、BHFによるウェットエッチングにより除去し、p型 $\text{In}_{0.80}\text{Ga}_{0.20}\text{As}_{0.50}\text{P}_{0.50}$ キャップ層を露出させた。このとき、p型 $\text{In}_{0.80}\text{Ga}_{0.20}\text{As}_{0.50}\text{P}_{0.50}$ キャップ層上の誘電体層の高さ H_1 （700nm）は、p型コンタクト層（厚さ：130nm）とp型オーミック電極部（厚さ：530）からなるコンタクト部の高さ H_2 （660nm）より、40nm高くした。なお、この状態で光学顕微鏡を用いてウェーハの半導体層を上面視で観察したところ、誘電体層（ SiO_2 ）の接触面積率は90

%であった。

[0066] 次に、金属反射層（ $\text{Al} / \text{Au} / \text{Pt} / \text{Au}$ ）を、 p 型 $\text{In}_{0.80}\text{Ga}_{0.20}\text{As}_{0.50}\text{P}_{0.50}$ キャップ層上の全面に蒸着により形成した。金属反射層の各金属層の厚さは、順に 10 nm 、 650 nm 、 100 nm 、 900 nm である。

[0067] 一方、支持基板となる導電性 Si 基板（厚さ： $300\text{ }\mu\text{m}$ ）上に、金属接合層（ $\text{Ti} / \text{Pt} / \text{Au}$ ）を形成した。金属接合層の各金属層の厚さは、順に 650 nm 、 10 nm 、 900 nm である。

[0068] これら金属反射層及び金属接合層を対向配置して、 300°C で加熱圧縮接合を行った。そして、 InP 基板を塩酸希釈液によりウェットエッチングして除去し、さらに、 n 型 $\text{In}_{0.57}\text{Ga}_{0.43}\text{As}$ エッチングストップ層を硫酸－過酸化水素系を用いてウェットエッチングして除去した。

[0069] 次に、 n 型 InP クラッド層上に、上面電極の配線部として、 n 型電極（ Au （厚さ： 10 nm ）/ Ge （厚さ： 33 nm ）/ Au （厚さ： 57 nm ）/ Ni （厚さ： 34 nm ）/ Au （厚さ： 800 nm ）/ Ti （厚さ： 100 nm ）/ Au （厚さ： 1000 nm ））を、レジストパターン形成、 n 型電極の蒸着、レジストパターンのリフトオフにより、図6Bに示すように形成した。さらに、パッド部（ Ti （厚さ： 150 nm ）/ Pt （厚さ： 100 nm ）/ Au （厚さ： 2500 nm ））を n 型電極上に形成し、上面電極のパターンを図6Bに示すとおりとした。図6Bにおける $||-||$ 断面図が、図4Bに相当する。なお、図6Aと同様、図6Bの外形サイズは $380\text{ }\mu\text{m}$ 角である。

[0070] 最後に、メサエッチングにより各素子間（幅 $60\text{ }\mu\text{m}$ ）の半導体層を除去してダイシングラインを形成した。そして、 Si 基板の裏面側への裏面電極（ Ti （厚さ： 10 nm ）/ Pt （厚さ： 50 nm ）/ Au （厚さ 200 nm ））を形成し、ダイシングによるチップ個片化を行って、発明例1に係る半導体発光素子を作製した。

[0071] （発明例2）

活性層を形成するにあたり、 n 型ドーパントとして S_i を含むドーピングガスを流入する際、井戸層と障壁層との両方において、流量を 7cc とした以外は、発明例1と同様とした。 $SIMS$ によりドーパント濃度を計測した結果、活性層の S_i ドーパント濃度は、 $1.4 \times 10^{16} \text{ atoms/cm}^3$ とになっていることがわかった。

[0072] (発明例3)

活性層を形成するにあたり、 n 型ドーパントとして S_i を含むドーピングガスを流入する際、井戸層と障壁層との両方において、流量を 80cc としたことと、 n 型クラッド層側の n 型スペーサ層及び p 型クラッド層側の i 型 IP スペーサ層を形成しなかったこと以外は、発明例1と同様とした。 $SIMS$ によりドーパント濃度を計測した結果、活性層の S_i ドーパント濃度は、 $1.1 \times 10^{17} \text{ atoms/cm}^3$ のドーパント濃度とになっていることがわかった。

[0073] (発明例4)

活性層を形成するにあたり、 n 型ドーパントとして S_i を含むドーピングガスを流入する際、井戸層と障壁層との両方において、流量を 8cc としたことと、 n 型クラッド層側の n 型スペーサ層及び p 型クラッド層側の i 型 IP スペーサ層を形成しなかったこと以外は、発明例1と同様とした。 $SIMS$ によりドーパント濃度を計測した結果、活性層の S_i ドーパント濃度は、 $1.5 \times 10^{17} \text{ atoms/cm}^3$ とになっていることがわかった。

[0074] (比較例1)

活性層及び n 型クラッド層側の n 型スペーサ層をアンドープとしたこと以外は、発明例1と同様とした。

[0075] (比較例2)

活性層に p 型ドーパントとして Mg を含むドーピングガス(Cp_2Mg)を流入し、流量を 95cc としたこと以外は、発明例1と同様とした。

[0076] (比較例3)

活性層に p 型ドーパントとして Mg を含むドーピングガス(Cp_2Mg)を

流入し、流量を500ccとしたこと以外は、発明例1と同様とした。

[0077] (比較例4)

活性層にp型ドーパントとしてZnを含むドーピングガス(DEZn)を流入し、流量を15ccとしたこと以外は、発明例1と同様とした。

[0078] (比較例5)

活性層をアンドープとした以外は、発明例3、4と同様とした。

[0079] <評価1：発光出力評価>

発明例1～4及び比較例1～5にかかる半導体発光素子に定電流電圧電源を用いて20mAの電流を流したときの順方向電圧 V_f 、積分球による発光出力 P_o 、及び発光ピーク波長 λ_p を測定し、それぞれ3個の試料の測定結果の平均値を求めた。

結果を表1、2に示す。なお、発光出力 P_o (20mA時)は、表1、2において規格化して示しており(ただし、表1では「mW」を単位とした実測値も併記して示している)、表1においては比較例1の結果を1.00として発明例1、2及び比較例2～4の結果を相対的に示し、また、表2においては比較例5の結果を1.00として発明例3、4の結果を相対的に示している。

[0080] <評価2：発光出力の維持率>

半導体発光素子作製直後の積分球による初期の発光出力を測定し(3個の試料の平均)、その後、半導体発光素子に室温で20mAを456時間連続して通電した後に積分球による発光出力を測定した(3個の試料の平均)。

結果を表1に示す。

[0081]

[表1]

	発明例1	発明例2	比較例1	比較例2	比較例3	比較例4
活性層のドーパント種	Si	Si	なし	Mg	Mg	Zn
ドーピングガスの流量(cc)	70	7	-	95	500	15
SIMSでのSiドーパント濃度(atoms/cm ³)	9.3×10^{16}	1.4×10^{16}	1.0×10^{15}	-	-	-
p型クラッド層側のスペーサ層の厚さ(nm)	320	320	320	320	320	320
発光出力Po(20mA時)(規格化)	1.16	1.25	1.00	1.00	0.45	0.59
発光出力Po(20mA時)(mW)	1.07	1.14	0.92	0.92	0.41	0.54
発光ピーク波長λp(nm)	1455.4	1440.4	1474.0	1466.4	1458.6	1460.2
順方向電圧Vf(20mA時)(V)	0.96	0.94	0.93	0.83	0.79	0.83
発光出力の維持率(456h後)(%)	99.0	98.4	97.7	97.0	97.5	97.2

[0082] [表2]

	比較例5	発明例3	発明例4
活性層のドーパント種	なし	Si	Si
ドーピングガスの流量(cc)	—	80	8
SIMSでのSiドーパント濃度(atoms/cm ³)	1.0×10^{15}	1.1×10^{17}	1.5×10^{16}
p型及びn型クラッド層側のスペーサ層の有無	両方なし	両方なし	両方なし
発光出力Po(20mA時)(規格化)	1.00	1.08	1.09
発光ピーク波長λp(nm)	1468.2	1442.9	1468.0
順方向電圧Vf(20mA時)(V)	0.77	0.78	0.78

[0083] 表1、2に示すように、発明例3、4と比較例5との比較、及び、発明例1、2と比較例1～4との比較により、活性層が所定のドーパント濃度のn型ドーパントを有する場合、発光出力が向上したことがわかる。

また、表1に示すように、活性層が所定のドーパント濃度のn型ドーパントを有し、且つ、所定の厚さのp型クラッド層側のi型InPスペーサ層を

有する、発明例 1、2 は、比較例 1～4 と比較して発光出力の維持率も向上したことがわかる。

[0084] 次に、発明例 1 から Si ドーピングガスの流量を変更して、活性層における Si のドーパント濃度を 1.4×10^{16} (atoms/cm³) 及び 1.0×10^{17} (atoms/cm³) としたものを、発光層と p 型クラッド層の間にアンドープ層 (i 型 InP スペース層) を形成しなかった場合と、厚さ 320 nm として形成した場合とでそれぞれ作製し、20 mA 入力時の積分球による発光出力 P_o を測定し、また、上述の測定方法及び算出方法によって発光出力の維持率を算出した。表 3 にそれらの結果を示している。なお、表 3 において、評価結果は、発光層と p 型クラッド層の間にアンドープ層を形成しなかった場合は、活性層に Si をドーピングしなかった場合 (比較例 5) の初期の発光出力を 1.00 として規格化して示している。また、発光層の p 型クラッド層側にスペース層を厚さ 320 nm で形成した場合は、活性層に Si をドーピングしなかった場合 (比較例 1) の初期の発光出力を 1.00 として規格化して示している。

[0085]

[表3]

(ドーパントなしの初期出力による規格化) Po(20mA時)		活性層とp型クラッド層の間のスペーサ層の厚さ(nm)			
		0		320	
		初期	456時間後	初期	456時間後
Siドーパント濃度(atoms/cm ³)	なし(1.0×10^{15})	1.00	0.98	1.00	0.98
	1.4×10^{16}	1.08	1.04	1.25	1.23
	1.0×10^{17}	1.09	1.06	1.16	1.15

[0086] 表3に示すように、活性層がSiを所定のドーパント濃度で有する場合は、活性層とp型クラッド層側の間にアンドープ層を形成しなかった場合と、形成した場合とのいずれにおいても発光出力が向上しているが、アンドープ層を形成した場合に特に発光出力の向上が著しかったことが分かる。

[0087] また、活性層がSiを所定のドーパント濃度で有し、かつ、活性層とp型クラッド層の間にアンドープ層を形成した場合に、456時間連続して通電した後でも発光出力が大きく、発光出力が維持されていることが分かる。

符号の説明

[0088]	10	lnP成長用基板
	20	エッチングストップ層
	30	半導体積層体
	31	n型クラッド層
	35	活性層
	35W	井戸層
	35B	障壁層
	37	p型クラッド層
	39	p型キャップ層
	40	コンタクト部
	41 (41a)	p型コンタクト層
	43	オーミック金属部
	50	誘電体層
	60	金属反射層
	70	金属接合層
	80	支持基板（導電性支持基板）
	100	半導体発光素子
	91	裏面電極
	93	上面電極
	E1	露出領域

E 2 露出面

E 3 露出部

請求の範囲

[請求項1] In 及び P を少なくとも含む InGaAsP 系 III-V 族化合物半導体層を複数層積層してなる半導体積層体を備えた、半導体発光素子であって、

前記半導体積層体は、 n 型クラッド層、活性層、及び p 型クラッド層をこの順に有し、

前記活性層は、井戸層及び障壁層を交互に繰り返して積層した多重量子井戸構造であり、かつ、 n 型ドーパントを、前記井戸層のみ、又は、前記井戸層及び前記障壁層の両方に含んでおり、

前記活性層の n 型ドーパントのドーパント濃度が、 $7.6 \times 10^{15} \sim 1.7 \times 10^{17} \text{ atoms/cm}^3$ であることを特徴とする、半導体発光素子。

[請求項2] 前記活性層の n 型ドーパントのドーパント濃度が、 $1.1 \times 10^{16} \sim 1.4 \times 10^{17} \text{ atoms/cm}^3$ である、請求項1に記載の半導体発光素子。

[請求項3] 前記活性層と前記 p 型クラッド層との間に、アンドープ層をさらに有し、

前記アンドープ層の厚さは、 $5 \sim 500 \text{ nm}$ である、請求項1又は2に記載の半導体発光素子。

[請求項4] In 及び P を少なくとも含む InGaAsP 系 III-V 族化合物半導体層を複数層積層してなる半導体積層体を形成する工程を含む、半導体発光素子の製造方法であって、

前記半導体積層体は、 n 型クラッド層、活性層、及び p 型クラッド層をこの順に有し、

前記活性層は、井戸層及び障壁層を交互に繰り返して積層した多重量子井戸構造であり、

前記活性層を形成する工程において、前記井戸層のみ、又は、前記井戸層及び前記障壁層の両方に、 n 型ドーパントを含むドーピングガ

スを流入させ、

前記活性層のn型ドーパントのドーパント濃度が、 $7.6 \times 10^{15} \sim 1.7 \times 10^{17} \text{ atoms/cm}^3$ であることを特徴とする、半導体発光素子の製造方法。

[請求項5] 前記活性層のn型ドーパントのドーパント濃度が、 $1.1 \times 10^{16} \sim 1.4 \times 10^{17} \text{ atoms/cm}^3$ である、請求項4に記載の半導体発光素子の製造方法。

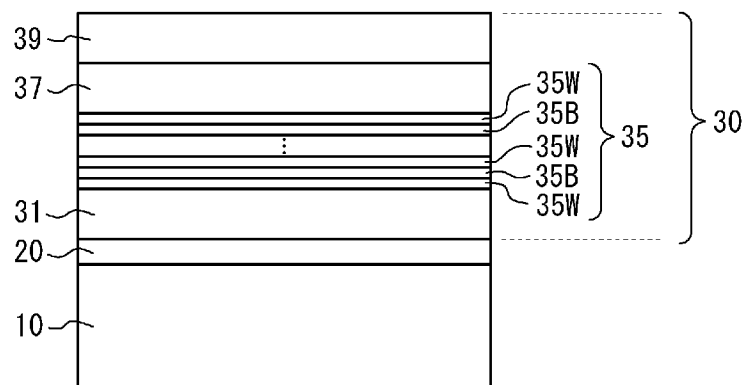
[請求項6] 前記半導体積層体を形成する工程は、前記活性層と前記p型クラッド層との間に、アンドープ層を形成する工程を含み、

前記アンドープ層の厚さは、 $5 \sim 500 \text{ nm}$ である、請求項4又は5に記載の半導体発光素子の製造方法。

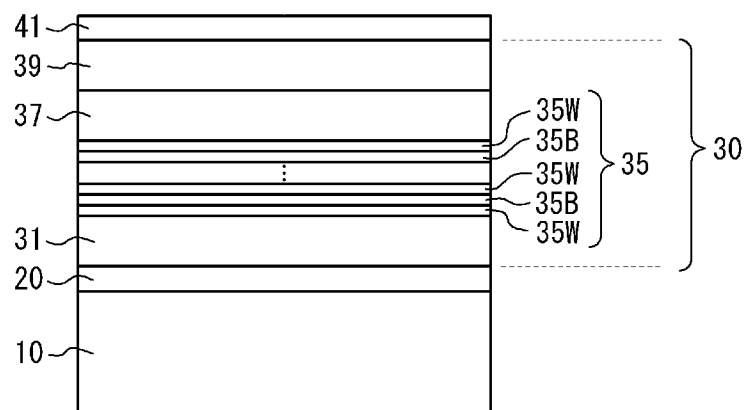
[図1A]



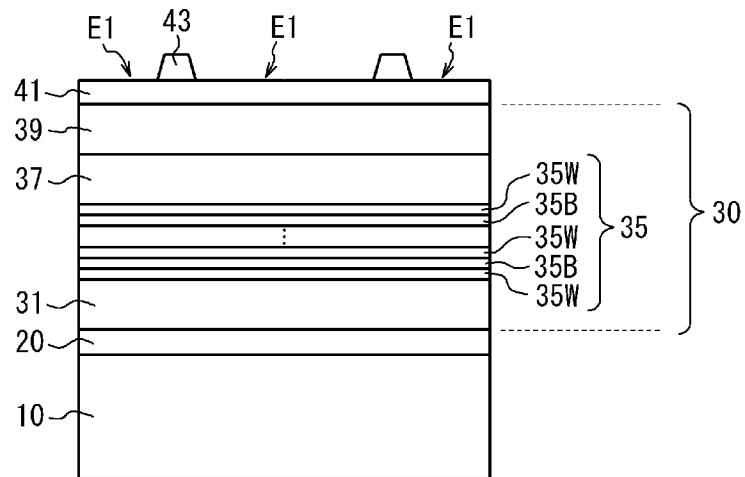
[図1B]



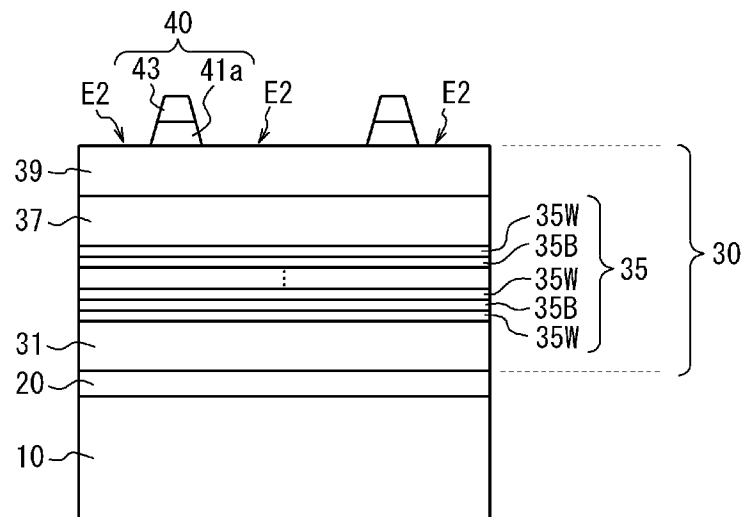
[図1C]



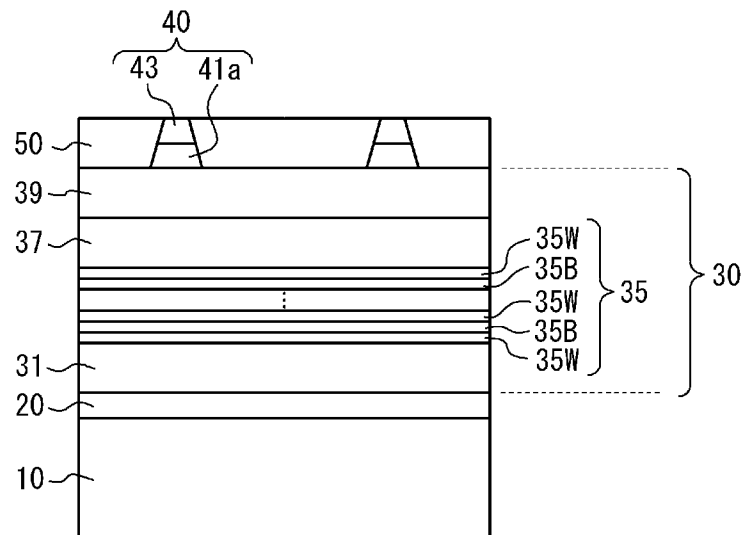
[図2A]



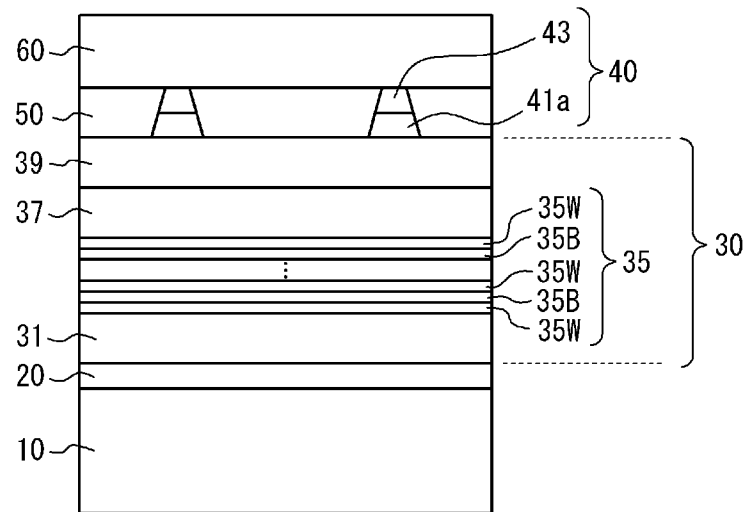
[図2B]



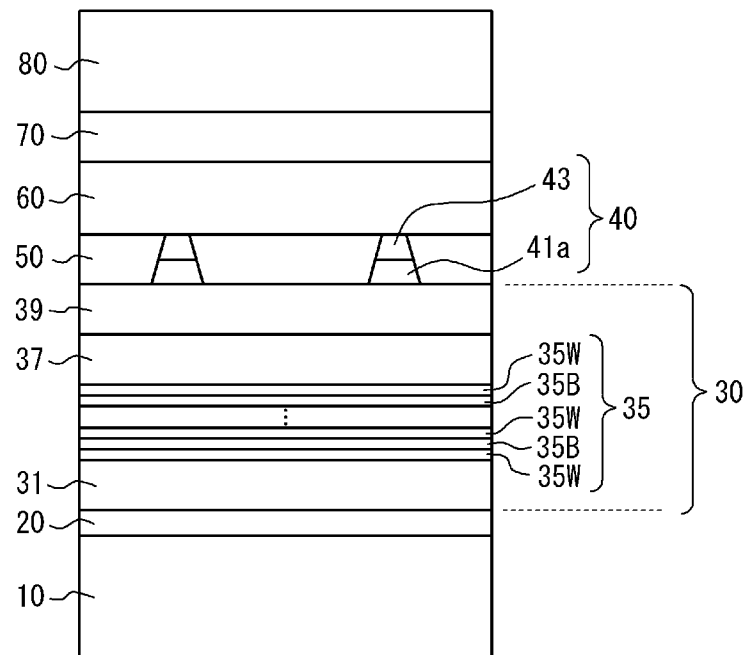
[図2C]



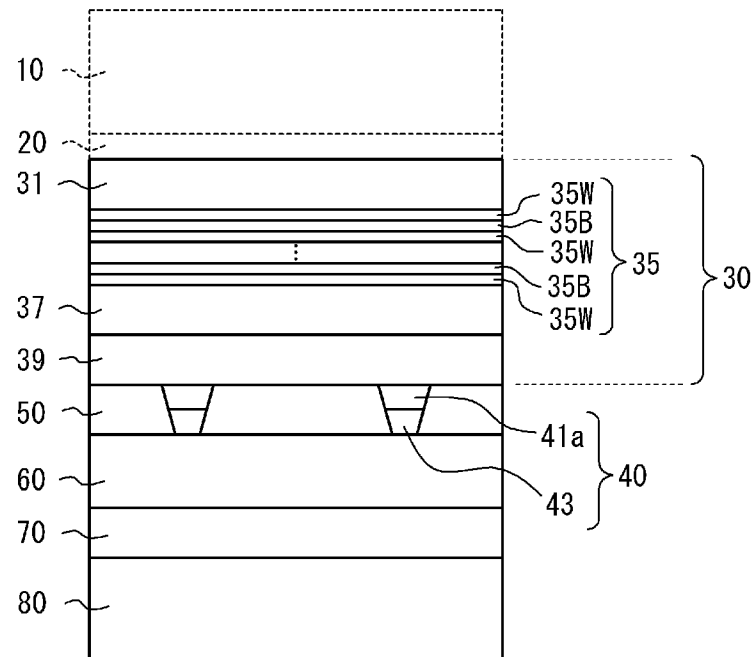
[図3A]



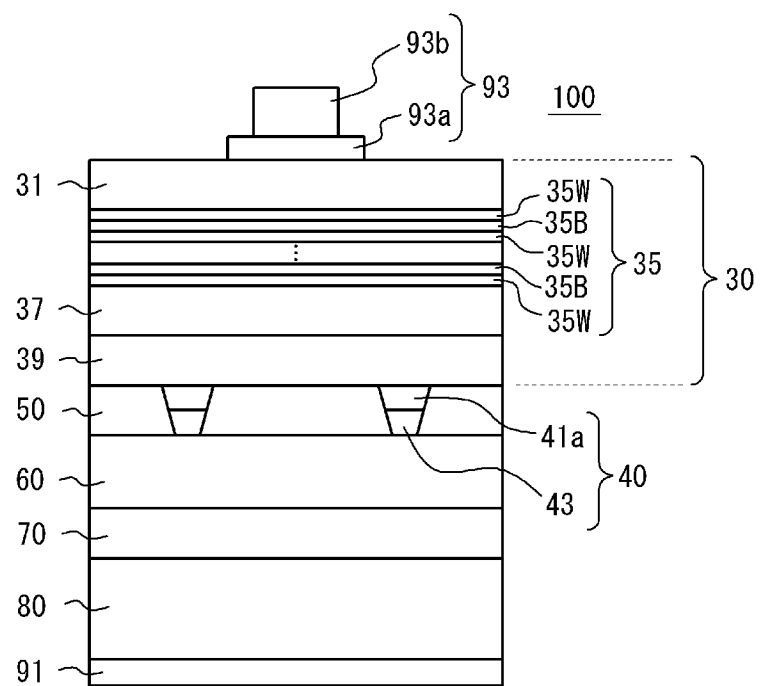
[図3B]



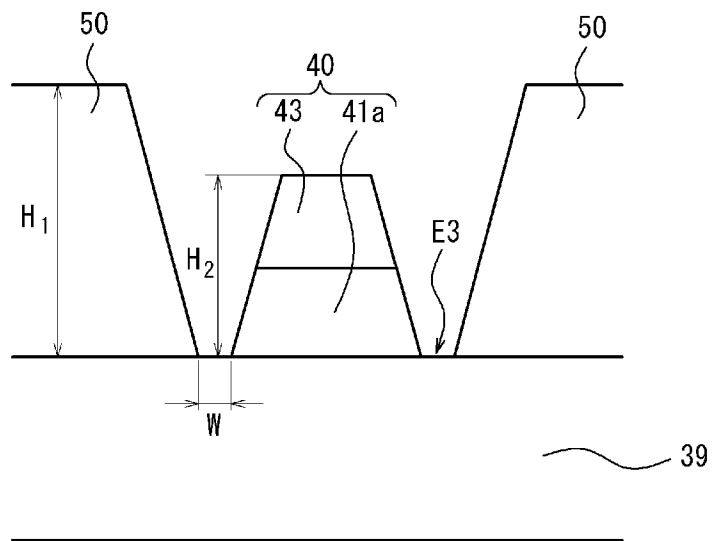
[図4A]



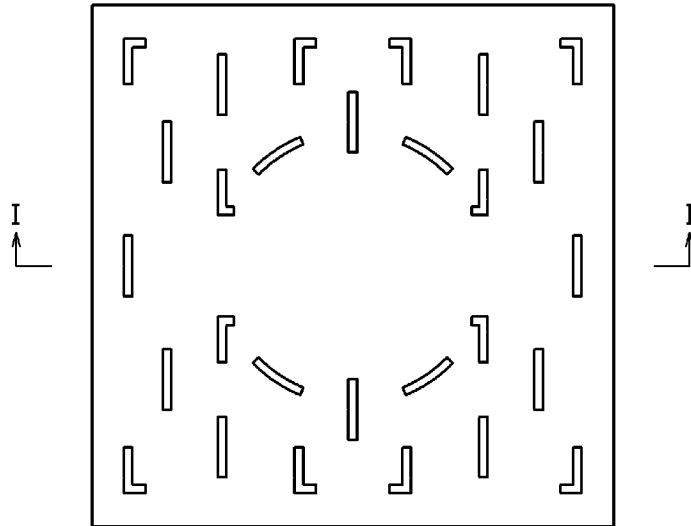
[図4B]



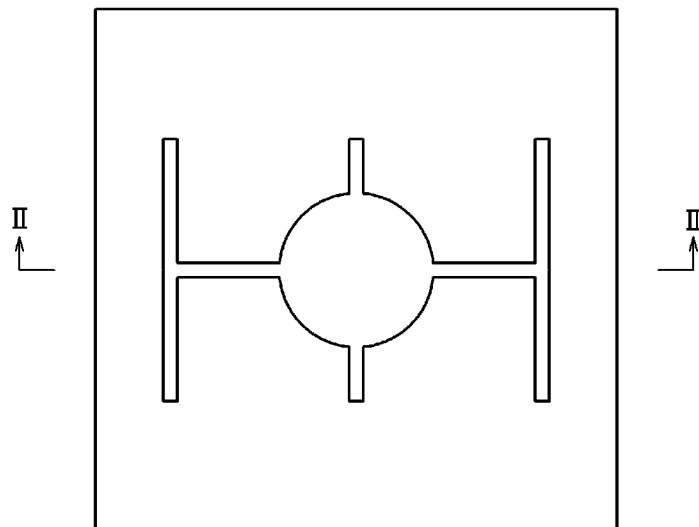
[図5]



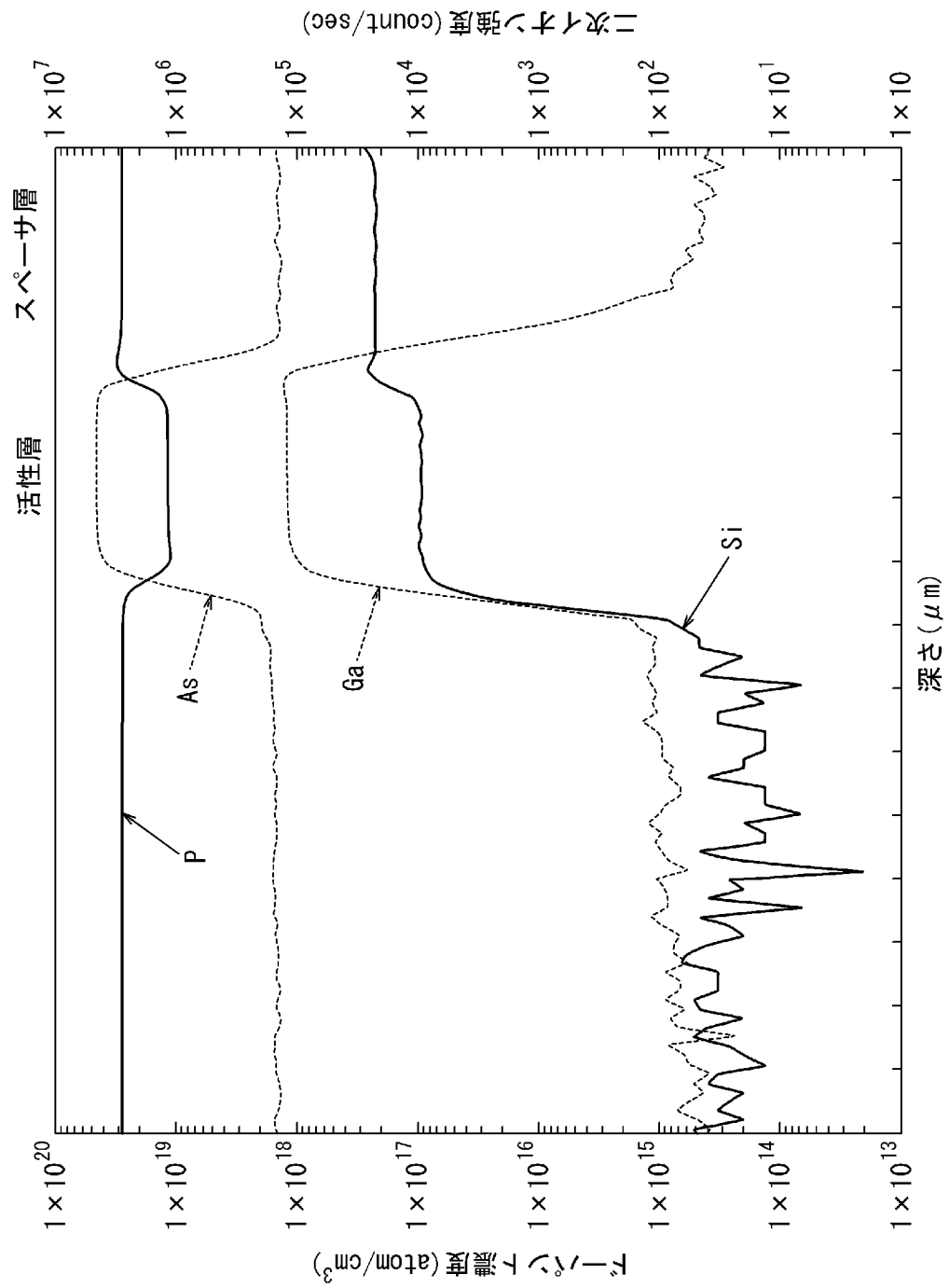
[図6A]



[図6B]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/018237

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L33/30 (2010.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L33/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2019

Registered utility model specifications of Japan 1996-2019

Published registered utility model applications of Japan 1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2002-111135 A (FURUKAWA ELECTRIC CO., LTD.) 12 April 2002, paragraphs [0030]-[0038], fig. 1 & US 2002/0041613 A1, paragraphs [0045]-[0053], fig. 1 & EP 1193815 A2 & CA 2357974 A1	1-6

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 07.06.2019	Date of mailing of the international search report 25.06.2019
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/018237

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 7-86695 A (TOSHIBA CORPORATION) 31 March 1995, paragraphs [0007], [0008], [0031]-[0038], fig. 3 (Family: none)	1-2, 4-5 1-6
Y	WO 2018/003374 A1 (DOWA ELECTRONICS MATERIALS CO., LTD.) 04 January 2018, paragraphs [0033]-[0069], fig. 1-8 & DE 112017003307 T5 & CN 109314158 A & KR 10-2019-0009794 A & TW 201802952 A	1-6
Y	JP 2004-247435 A (SHARP CORPORATION) 02 September 2004, claim 2, paragraph [0009] & US 2004/0188701 A1, claim 2, paragraph [0022] & CN 1521867 A	1-6
A	JP 61-228684 A (SUMITOMO ELECTRIC INDUSTRIES, LTD.) 11 October 1986, entire text, all drawings (Family: none)	1-6
A	JP 63-155683 A (FUJITSU LIMITED) 28 June 1988, entire text, all drawings (Family: none)	1-6
A	JP 59-208888 A (NEC CORPORATION) 27 November 1984, entire text, all drawings (Family: none)	1-6
A	JP 5-110135 A (NIKKO KYODO CO., LTD.) 30 April 1993, entire text, all drawings (Family: none)	1-6
A	US 2017/0200856 A1 (SAMSUNG ELECTRONICS CO., LTD.) 13 July 2017, entire text, all drawings & EP 3190449 A1 & KR 10-2017-0083378 A & CN 106980188 A	1-6

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L33/30(2010.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L33/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2002-111135 A（古河電気工業株式会社） 2002.04.12, [0030]-[0038], 図1 & US 2002/0041613 A1, [0045]-[0053], FIG.1 & EP 1193815 A2 & CA 2357974 A1	1-6

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

07.06.2019

国際調査報告の発送日

25.06.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

皆藤 彰吾

2 K

6204

電話番号 03-3581-1101 内線 3255

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 7-86695 A (株式会社東芝) 1995.03.31, [0007]-[0008], [0031]-[0038], 図 3 (ファミリーなし)	1-2, 4-5 1-6
Y	WO 2018/003374 A1 (DOWA エレクトロニクス株式会社) 2018.01.04, [0033]-[0069], 図 1-8 & DE 112017003307 T5 & CN 109314158 A & KR 10-2019-0009794 A & TW 201802952 A	1-6
Y	JP 2004-247435 A (シャープ株式会社) 2004.09.02, 請求項 2, [0009] & US 2004/0188701 A1, claim2, [0022] & CN 1521867 A	1-6
A	JP 61-228684 A (住友電気工業株式会社) 1986.10.11, 全文全図 (ファミリーなし)	1-6
A	JP 63-155683 A (富士通株式会社) 1988.06.28, 全文全図 (ファミリーなし)	1-6
A	JP 59-208888 A (日本電気株式会社) 1984.11.27, 全文全図 (ファミリーなし)	1-6
A	JP 5-110135 A (株式会社日鉱共石) 1993.04.30, 全文全図 (ファミリーなし)	1-6
A	US 2017/0200856 A1 (SAMSUNG ELECTRONICS CO., LTD.) 2017.07.13, 全文全図 & EP 3190449 A1 & KR 10-2017-0083378 A & CN 106980188 A	1-6