

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2015-149677
(P2015-149677A)

(43) 公開日 平成27年8月20日 (2015. 8. 20)

(51) Int.Cl.	F I	テーマコード (参考)
H O 3 H 11/04 (2006.01)	H O 3 H 11/04 Z	5 F 0 3 8
H O 1 L 21/822 (2006.01)	H O 1 L 27/04 V	5 J 0 9 8
H O 1 L 27/04 (2006.01)		

審査請求 未請求 請求項の数 7 O L (全 13 頁)

(21) 出願番号	特願2014-22584 (P2014-22584)	(71) 出願人	000006747
(22) 出願日	平成26年2月7日 (2014. 2. 7)		株式会社リコー
			東京都大田区中馬込 1 丁目 3 番 6 号
		(74) 代理人	100081422
			弁理士 田中 光雄
		(74) 代理人	100100158
			弁理士 鯨島 睦
		(72) 発明者	長久 武
			東京都大田区中馬込 1 丁目 3 番 6 号 株式
			会社リコー内
		(72) 発明者	中谷 寧一
			東京都大田区中馬込 1 丁目 3 番 6 号 株式
			会社リコー内
		F ターム (参考)	5F038 AV04 AV06 EZ06 EZ20
			最終頁に続く

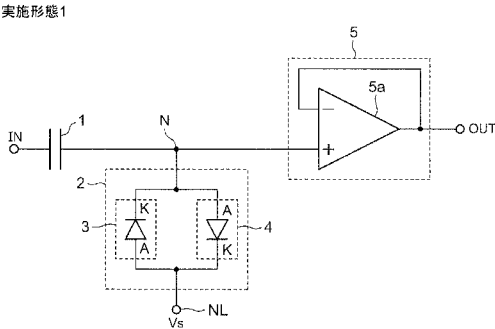
(54) 【発明の名称】 ハイパスフィルタ回路及びバンドパスフィルタ回路

(57) 【要約】

【課題】従来技術に比較して低い遮断周波数を有するハイパスフィルタ回路であって、回路面積を増大することなく外付部品なしに構成できるハイパスフィルタ回路を提供する。

【解決手段】入力信号を入力するキャパシタと、上記キャパシタの出力端子と所定のバイアス電圧との間に接続された抵抗体と、上記キャパシタの出力端子に接続され、上記入力信号を緩衝増幅して出力する信号出力回路とを備えたハイパスフィルタ回路である。ハイパスフィルタ回路において、上記抵抗体は、S O I 半導体基板に形成され、かつ互いに逆方向に並列接続された 2 個の P N 接合ダイオードを備えて構成され、上記 2 個の P N 接合ダイオードのアノードとカソードの電位差が略 0 となるように構成される。

【選択図】 図 1



【特許請求の範囲】**【請求項 1】**

入力信号を入力するキャパシタと、
上記キャパシタの出力端子と所定のバイアス電圧との間に接続された抵抗体と、
上記キャパシタの出力端子に接続され、上記入力信号を緩衝増幅して出力する信号出力回路とを備えたハイパスフィルタ回路であって、
上記抵抗体は、SOI半導体基板に形成され、かつ互いに逆方向に並列接続された2個のPN接合ダイオードを備えて構成され、
上記2個のPN接合ダイオードのアノードとカソードの電位差が略0となるように構成されることを特徴とするハイパスフィルタ回路。

10

【請求項 2】

上記2個のPN接合ダイオードは第一及び第二のPN接合ダイオードを含み、
上記第一のPN接合ダイオードのカソード及び上記第二のPN接合ダイオードのアノードは上記キャパシタの出力端子に接続され、
上記第一のPN接合ダイオードのアノード及び上記第二のPN接合ダイオードのカソードは上記バイアス電圧に接続されることを特徴とする請求項1記載のハイパスフィルタ回路。

【請求項 3】

入力信号を入力するキャパシタと、
上記キャパシタの出力端子と所定のバイアス電圧との間に接続された抵抗体と、
上記キャパシタの出力端子に接続され、上記入力信号を緩衝増幅して出力する信号出力回路とを備えたハイパスフィルタ回路であって、
上記抵抗体は、SOI半導体基板に形成され、かつ互いに逆方向に並列接続された2個のMOSトランジスタを備えて構成され、
上記2個のMOSトランジスタをその遮断領域で動作するように構成されることを特徴とするハイパスフィルタ回路。

20

【請求項 4】

上記2個のMOSトランジスタはNチャネルの第一及び第二のMOSトランジスタを含み、
上記第一のMOSトランジスタのドレイン、並びに上記第二のMOSトランジスタのゲート、ソース及びバックゲートは上記キャパシタの出力端子に接続され、
上記第一のMOSトランジスタのゲート、ソース及びバックゲート、並びに上記第二のMOSトランジスタのドレインは上記バイアス電圧に接続されることを特徴とする請求項3記載のハイパスフィルタ回路。

30

【請求項 5】

上記2個のMOSトランジスタはPチャネルの第三及び第四のMOSトランジスタを含み、
上記第三のMOSトランジスタのゲート、ソース及びバックゲート、並びに上記第四のMOSトランジスタのドレインは上記キャパシタの出力端子に接続され、
上記第三のMOSトランジスタのドレイン、並びに上記第四のMOSトランジスタのゲート、ソース及びバックゲートは上記バイアス電圧に接続されることを特徴とする請求項3記載のハイパスフィルタ回路。

40

【請求項 6】

請求項4記載のハイパスフィルタ回路である第一のハイパスフィルタ回路と、
上記第一のハイパスフィルタ回路の周波数特性とは異なる周波数特性を有する、請求項5記載のハイパスフィルタ回路である第二のハイパスフィルタ回路とを備え、
上記信号出力回路は、上記第一のハイパスフィルタ回路から出力される信号と、上記第二のハイパスフィルタ回路から出力される信号との差分信号を生成して出力することを特徴とするバンドパスフィルタ回路。

【請求項 7】

50

上記第一及び第二のハイパスフィルタ回路の四個のＭＯＳトランジスタのうち少なくとも１つのＭＯＳトランジスタのゲート電圧を変化させて、上記第一のハイパスフィルタ回路の周波数特性と、上記第二のハイパスフィルタ回路の周波数特性とを互いに異なるように構成することを特徴とする請求項６記載のバンドパスフィルタ回路。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、ＳＯＩ（Ｓｉｌｉｃｏｎ Ｏｎ Ｉｎｓｕｌａｔｏｒ）基板上に形成される半導体集積回路によって構成されるハイパスフィルタ回路及びバンドパスフィルタ回路に関する。

10

【背景技術】

【０００２】

近年、家電製品に省エネ機能やより便利な機能を付加するために、半導体集積回路に組み込んだ赤外線センサやイメージセンサや温度センサ等の各種センサ開発が盛んに行われている。ある種のセンサから出力される信号は低速、微小であるため、後段の増幅回路によって信号振幅を大きくする必要がある。しかし、信号の直流成分を含んで増幅してしまうと、直流成分も増幅され交流信号成分を十分に増幅できなくなるので、一般的にセンサ出力信号は、一旦、ハイパスフィルタ回路を通してから増幅する必要があることが、既に知られている。

20

【０００３】

例えば、特許文献１には、半導体集積回路に内蔵されるフィルタ回路において、時定数が大きいＲＣ回路を得る、特に大きな抵抗値を得ることが目的で、ＭＯＳトランジスタを微小電流領域（弱反転領域）を利用して等価的な非線形抵抗を作る方法が開示されている。具体的には、ゲートとドレインを短絡して、互いに異なる電流方向を有する一対のトランジスタの構成について開示されている。

【０００４】

センサから出力される信号は低速、微小であるため、ハイパスフィルタ回路は、遮断周波数が１Ｈｚ以下の特性を要求されるが、半導体集積回路においては面積的な制約のため、抵抗、容量ともある程度以上の値のものを半導体集積回路上に実現することは難しく、遮断周波数が１Ｈｚ以下程度のフィルタを構成するには、外付部品を使用する必要があり、実装基板の増大、部品点数の増加によるコストがかかってしまう。

30

【０００５】

特に、特許文献１では、バルク基板上に半導体集積回路を形成しており、バルク構造では、寄生ダイオードが生じ、抵抗値を上げることができず、カットオフ周波数は１Ｈｚ程度にしか下げることができないという問題点があった。

【発明の概要】

【発明が解決しようとする課題】

【０００６】

本発明の目的は、低い遮断周波数を有するハイパスフィルタ回路を提供することにある。

40

【課題を解決するための手段】

【０００７】

本発明の一態様に係るハイパスフィルタ回路は、
入力信号を入力するキャパシタと、
上記キャパシタの出力端子と所定のバイアス電圧との間に接続された抵抗値と、
上記キャパシタの出力端子に接続され、上記入力信号を緩衝増幅して出力する信号出力回路とを備えたハイパスフィルタ回路であって、
上記抵抗値は、ＳＯＩ半導体基板に形成され、かつ互いに逆方向に並列接続された２個のＰＮ接合ダイオードを備えて構成され、

50

上記２個のＰＮ接合ダイオードのアノードとカソードの電位差が略０となるように構成

されることが特徴とする。

【発明の効果】

【0008】

従って、本発明によれば、低い遮断周波数を有するハイパスフィルタ回路を提供することができる。

【図面の簡単な説明】

【0009】

【図1】本発明の実施形態1に係るハイパスフィルタ回路の構成を示す回路図である。

【図2】本発明の実施形態2に係るハイパスフィルタ回路の構成を示す回路図である。

【図3】本発明の実施形態3に係るハイパスフィルタ回路の構成を示す回路図である。

10

【図4】比較例に係る、MOSトランジスタM1、M2を抵抗器として用いた電圧比較回路の構成を示す回路図である。

【図5】図4のMOSトランジスタM1とその周辺回路の等価回路を示す回路図である。

【図6A】比較例で用いるバルク半導体ウエハ上に形成されるNチャネルMOSトランジスタの構成を示す縦断面図である。

【図6B】実施形態で用いるSOI半導体ウエハ上に形成されるNチャネルMOSトランジスタの構成を示す縦断面図である。

【図7】本発明の実施形態4に係るバンドパスフィルタ回路の構成を示す回路図である。

【図8】図7のバンドパスフィルタ回路の周波数特性を示すグラフである。

【発明を実施するための形態】

20

【0010】

以下、本発明に係る実施形態について図面を参照して説明する。なお、以下の各実施形態において、同様の構成要素については同一の符号を付している。

【0011】

本発明に係る各実施形態は、極めて低い遮断周波数を有するハイパスフィルタ回路及びハイパスフィルタ回路を用いたバンドパスフィルタ回路を以下の特徴を用いて構成したことを特徴とする。ここで、PN接合をSOI基板上に形成した場合、拡散層と基板は絶縁層で電氣的に絶縁されているので、従来のようにバルク基板上に構成した場合に比べて、アノード電極、カソード電極と基板との接合面積が小さく、基板電流が少なくなる。これを利用して、比較例に比べてより高い抵抗値を有する非線形抵抗を作ることができる。キャパシタCと抵抗RとでL型回路を形成してなるハイパスフィルタの遮断周波数fは次式で表される。

30

【0012】

【数1】

$$f = \frac{1}{2\pi RC}$$

【0013】

従って、上記式から明らかなように、抵抗Rの抵抗値をより高い抵抗値とすることにより、遮断周波数fをより小さい周波数に設定することができる。以下、本発明の各実施形態について、図面を参照して詳細説明する。

40

【0014】

実施形態1

図1は本発明の実施形態1に係るハイパスフィルタ回路の構成を示す回路図である。図1のハイパスフィルタ回路はSOI半導体基板上に形成された半導体集積回路であって、キャパシタ1と、第一及び第二のPN接合ダイオード3、4を含む抵抗体2と、演算増幅器5aを含む信号出力回路5とを備えて構成される。

【0015】

図1において、入力信号は信号入力端子INから入力され、キャパシタ1によってその直流成分がカットされた後、信号出力回路5に到達する。信号出力回路5は、演算増幅器

50

5 a の出力端子と反転入力端子とが接続されてボルテージフォロワ回路を構成し、非反転入力端子に入力される信号を、例えば増幅率 1 で緩衝増幅して信号出力端子 O U T に出力する。ここで、増幅率は 1 に限定されず、0 以外の値であってもよい。

【0016】

第一及び第二の P N 接合ダイオード 3 , 4 は S O I 半導体基板上に形成され、互いに逆方向で並列接続される。ここで、第一の P N 接合ダイオード 3 のカソードと第二の P N 接合ダイオード 4 のアノードはともにキャパシタ 1 と信号出力回路 5 の入力端子との接続点 N に接続される。また、第一の P N 接合ダイオード 3 のアノードと第二の P N 接合ダイオード 4 のカソードはともに低インピーダンス点 N L に接続される。

【0017】

第一及び第二の P N 接合ダイオード 3 , 4 は、信号出力回路 5 の入力端子の直流バイアス点を定電圧源により所定のバイアス電位 V_s に設定する。ここで、第一の P N 接合ダイオード 3 は、低インピーダンス点 N L から接続点 N へ電流を流し、第二の P N 接合ダイオード 4 は、接続点 N から低インピーダンス点 N L へ電流を流す働きがある。これらの P N 接合ダイオード 3 , 4 の電圧 V - 電流 I の特性は、式 (1) で表される。

【0018】

$$I = I_0 (\exp (q V / n k T) - 1) \quad (1)$$

【0019】

式 (1) において、 I_0 は比例定数で、半導体層の拡散やダイオード面積によって決まる数値、 k はボルツマン定数、 T は絶対温度、 q は電子の電荷量である。

【0020】

この結果、入力信号振幅が非常に小さい場合でも、第一及び第二のダイオード 3 , 4 のアノードとカソードの電位差は略 0 の微小電位差 (例えば、+ 1 0 m V から - 1 0 m V までの電位差) であり、第一及び第二の P N 接合ダイオード 3 , 4 には微小な電流が流れることになる。このことにより、図 1 における第一及び第二の P N 接合ダイオード 3 , 4 の接続は抵抗体 2 を構成し、キャパシタ 1 と抵抗体 2 とを組み合わせた図 1 の回路構成でハイパスフィルタ回路を実現することができる。

【0021】

なお、バルク構造を有する半導体基板に形成され、互いに逆方向に接続された 2 つの P N 接合ダイオードにおけるアノード - カソード間の電位差は 0 . 6 V 程度である。本発明者らが試作した実施形態 1 に係るハイパスフィルタ回路によれば、カットオフ周波数が 1 0 m H z である非常に小さいカットオフ周波数を有するハイパスフィルタ回路を実現できた。

【0022】

以上のように構成された実施形態 1 によれば、S O I 半導体基板上に形成された第一及び第二の P N 接合ダイオード 3 , 4 により抵抗体 2 を構成し、第一及び第二の P N 接合ダイオード 3 , 4 のアノードとカソードとの間の電位差を略 0 になる構成を用いる。当該抵抗体 2 とキャパシタ 1 とでハイパスフィルタを構成することで、例えば 1 0 m H z である非常に小さいカットオフ周波数を有するハイパスフィルタ回路を構成できる。

【0023】

実施形態 2 .

図 2 は本発明の実施形態 2 に係るハイパスフィルタ回路の構成を示す回路図である。実施形態 2 に係るハイパスフィルタ回路は、図 1 の実施形態 1 に係るハイパスフィルタ回路に比較して、以下の点が異なる。

(1) 抵抗体 2 に代えて、互いに逆方向で並列接続された第一及び第二の M O S トランジスタ 6 , 7 からなる抵抗体 2 A を備えたこと。すなわち、図 1 の第一及び第二の P N 接合ダイオード 3 , 4 をそれぞれ第一及び第二の M O S トランジスタ 6 , 7 で構成したもので、第一及び第二の M O S トランジスタ 6 , 7 はエンハンスメント型 N チャネル M O S トランジスタである。

以下、相違点について以下に説明する。

10

20

30

40

50

【0024】

図2において、第一のMOSトランジスタ6のゲート、ソース及びバックゲートを低インピーダンス点NLに接続し、そのドレインを接続点Nに接続することで、図1の第一のPN接合ダイオード3と等価に扱うことができる。また、第二のMOSトランジスタ7のドレインを低インピーダンス点NLに接続し、そのゲート、ソース及びバックゲートを接続点Nに接続することで、図1の第二のPN接合ダイオード4と等価に扱うことができる。なお、低インピーダンス点NLは、実施形態1と同様に定電圧源により所定のバイアス電位 V_s に設定される。本実施形態では、各MOSトランジスタ6, 7のゲートとソースとを互いに接続しているため、ゲート-ソース間電圧 $V_{gs} = 0$ であり、当該MOSトランジスタ6, 7はその遮断領域（ドレイン電流が略0である）で動作させている。

10

【0025】

入力信号振幅が非常に小さい場合でも、第一及び第二のMOSトランジスタ6, 7のソース-ドレイン間の電位差は略0の微小電位差（例えば、+10mVから-10mVまでの電位差）であり、第一及び第二のMOSトランジスタ6, 7には微小な電流が流れることになる。このことにより、図2における第一及び第二のMOSトランジスタ6, 7の接続は抵抗体2Aを構成し、キャパシタ1と抵抗体2Aとを組み合わせた図2の回路構成でハイパスフィルタ回路を実現することができる。

【0026】

以上のように構成された実施形態2によれば、SOI半導体基板上に形成された第一及び第二のMOSトランジスタ6, 7により抵抗体2Aを構成し、第一及び第二のMOSトランジスタ6, 7のソースとドレインとの間の電位差を略0になる構成を用いる。当該抵抗体2Aとキャパシタ1とでハイパスフィルタを構成することで、例えば10mHzである非常に小さいカットオフ周波数を有するハイパスフィルタ回路を構成できる。

20

【0027】

実施形態3.

図3は本発明の実施形態3に係るハイパスフィルタ回路の構成を示す回路図である。実施形態3に係るハイパスフィルタ回路は、図1の実施形態1に係るハイパスフィルタ回路と比較して、以下の点が異なる。

(1) 抵抗体2に代えて、第三及び第四のMOSトランジスタ8, 9からなる抵抗体2Bを備えたこと。すなわち、図1の第一及び第二のPN接合ダイオード3, 4をそれぞれ第三及び第四のMOSトランジスタ8, 9で構成したもので、第三及び第四のMOSトランジスタ8, 9はエンハンスメント型PチャネルMOSトランジスタである。

30

以下、相違点について以下に説明する。

【0028】

図3において、第三のMOSトランジスタ8のゲート、ソース及びバックゲートを接続点Nに接続し、そのドレインを低インピーダンス点NLに接続することで、図1の第一のPN接合ダイオード3と等価に扱うことができる。また、第四のMOSトランジスタ9のドレインを接続点Nに接続し、そのゲート、ソース及びバックゲートを低インピーダンス点NLに接続することで、図1の第二のPN接合ダイオード4と等価に扱うことができる。なお、低インピーダンス点NLは、実施形態1と同様に定電圧源により所定のバイアス電位 V_s に設定される。本実施形態では、各MOSトランジスタ8, 9のゲートとソースとを互いに接続しているため、ゲート-ソース間電圧 $V_{gs} = 0$ であり、当該MOSトランジスタ8, 9はその遮断領域（ドレイン電流が略0である）で動作させている。

40

【0029】

入力信号振幅が非常に小さい場合でも、第三及び第四のMOSトランジスタ8, 9のソース-ドレイン間の電位差は略0の微小電位差（例えば、+10mVから-10mVまでの電位差）であり、第三及び第四のMOSトランジスタ8, 9には微小な電流が流れることになる。このことにより、図3における第三及び第四のMOSトランジスタ8, 9の接続は抵抗体2Bを構成し、キャパシタ1と抵抗体2Bとを組み合わせた図3の回路構成でハイパスフィルタ回路を実現することができる。

50

【0030】

以上のように構成された実施形態3によれば、SOI半導体基板上に形成された第三及び第四のMOSトランジスタ8, 9により抵抗体2Bを構成し、第三及び第四のMOSトランジスタ8, 9のソースとドレインとの間の電位差を略0になる構成を用いる。当該抵抗体2Bとキャパシタ1とでハイパスフィルタを構成することで、例えば10mHzである非常に小さいカットオフ周波数を有するハイパスフィルタ回路を構成できる。

【0031】

比較例.

図4は比較例に係る、MOSトランジスタを抵抗器として用いた電圧比較回路の構成を示す回路図であり、特許文献1に開示された電圧比較回路の一例を示す。比較例1に係る電圧比較回路は、電圧比較器33、MOSトランジスタM1, M2、及びキャパシタ32とを備えて構成される。信号源31からの信号電圧 V_{sg} の入力信号はキャパシタ32を介して入力され、MOSトランジスタM1, M2は抵抗器として用いられている。

【0032】

図4の電圧比較回路におけるMOSトランジスタM1, M2からなる抵抗器の動作について以下説明する。図5は図4のMOSトランジスタM1とその周辺回路の等価回路を示す回路図である。すなわち、図4におけるMOSトランジスタM1からなる抵抗器の部分を取り出すと、図5のような構成として表すことができる。なお、MOSトランジスタM2は、双方向性を補償するためにMOSトランジスタM1と並列に接続されており、その動作はMOSトランジスタM1と同様である。

【0033】

図5において、電流値 I_0 の電流源42は、図4のMOSトランジスタM1のリーク電流に相当し、電圧 V_{in} の入力電圧源41は、図4における接地に相当し、ハイインピーダンス入力回路43は図4の電圧比較器33に対応している。MOSトランジスタM1には、電流及びゲート-ソース間電圧 V_{gs} が外部から与えられていないので、MOSトランジスタM1はオフ状態で、弱反転(サブスレッショルド)領域で動作している。ここで、弱反転領域での電流値 I_{sub} は次式で表される(例えば、非特許文献1参照)。

【0034】

$$I_{sub} = I_{sub0} \cdot \exp(V_{gs} / (\zeta \cdot V_T)) \quad (2)$$

【0035】

ここで、 I_{sub0} はMOSトランジスタの弱反転領域での飽和電流を示す。 V_T は熱電圧であり、 $k \cdot T / q$ で算出でき、 k はボルツマン定数である。 T は絶対温度、 q は電子の電荷量である。 ζ は弱反転係数である。

【0036】

この電流値 I_{sub} をゲート-ソース間電圧 V_{gs} で微分して逆数をとると、MOSトランジスタM1の抵抗値 R_{sub} になり、その値は次式で表される。

【0037】

$$R_{sub} = \zeta \cdot V_T / I_{sub} \quad (3)$$

【0038】

図5の構成では I_{sub} がリーク電流であり、半導体集積回路では数pAのオーダーとなる。仮に、リーク電流 $I_{sub} = 10 \text{ pA}$ として、弱反転係数 ζ は1.1程度、熱電圧 V_T は室温で26mVであるので、抵抗値 $R_{sub} = 2.86 \text{ G}\Omega$ という高い値が得られる(例えば、特許文献2参照)。

【0039】

ところが、比較例に係るMOSトランジスタは、バルク構造のウエハに構成されているので、上記リーク電流のみならず、半導体基板に対しても、PN接合による接合リーク電流(基板電流)が発生している。つまり、MOSトランジスタM1のドレインに流れる電流は、 $I_{sub} + \text{基板電流}$ となり、MOSトランジスタM1による抵抗値は、上記抵抗値 R_{sub} よりも、小さな値になってしまう。上記特性を鑑み、本実施形態では、SOI基板上に形成されたMOSトランジスタを抵抗体として利用することで、基板電流を無くし

10

20

30

40

50

、比較例に比較して更に高い抵抗値を有する抵抗体を得ることができるものである。

【0040】

MOSトランジスタの構造の違いについて、

図6Aは比較例で用いるバルク半導体ウエハ上に形成されるNチャネルMOSトランジスタの構成を示す縦断面図である。また、図6Bは実施形態で用いるSOI半導体ウエハ上に形成されるNチャネルMOSトランジスタの構成を示す縦断面図である。図6A及び図6Bを参照して、バルク構造を有するMOSトランジスタと、SOI構造を有するMOSトランジスタとの構造の違いについて以下説明する。

【0041】

図6Aのバルク構造を有するMOSトランジスタにおいて、p型半導体基板50のゲートの両側においてn+型不純物が注入されてそれぞれ、ソース及びドレインに接続される不純物領域51、52が形成される。そして、ソースとドレインとの間のp型半導体基板50上にゲート酸化膜53を介してゲートポリシリコン54を形成されてゲートが形成される。ここで、不純物領域51、52からp型半導体基板50に向かってMOSトランジスタのリーク電流 I_{sub} のみならず、PN接合による接合リーク電流(基板電流)が流れる。

10

【0042】

これに対して、図6BのSOI構造を有するMOSトランジスタでは、不純物領域51、52とp型半導体基板50との間に絶縁層55が挿入されているため、MOSトランジスタのバックゲートはp型半導体基板50と分離されている。このため、MOSトランジスタのソース又はドレインからバックゲートへのリーク電流(基板電流)は発生しない。本実施形態では、これを利用して、PN接合ダイオード3、4又はMOSトランジスタ6、7、8、9を用いて抵抗体2、2A、2Bを構成する。そして、当該抵抗体2、2A、2Bとキャパシタ1とを組み合わせることで、例えば10mHzである非常に小さいカットオフ周波数を有するハイパスフィルタ回路を構成している。

20

【0043】

実施形態4、

図7は本発明の実施形態4に係るバンドパスフィルタ回路の構成を示す回路図である。

実施形態4に係るバンドパスフィルタ回路は、

- (1) 実施形態2に係るハイパスフィルタ回路における、キャパシタ1と抵抗体2Aとを備えて構成される第一のハイパスフィルタ10と、
 - (2) 実施形態3に係るハイパスフィルタ回路における、キャパシタ1と抵抗体2Bとを備えて構成される第二のハイパスフィルタ20と、
 - (3) 演算増幅器5aを含む信号出力回路5Aと
- を備えて構成されることを特徴とする。

30

【0044】

図7において、信号入力端子INに入力された入力信号は、第一のハイパスフィルタ10と第二のハイパスフィルタ20によって直流レベルを含む低域周波数を遮断される。それぞれのハイパスフィルタ10、20を通過した後の2つの信号S1、S2はそれぞれ信号出力回路5Aの演算増幅器5aの非反転入力端子及び反転入力端子に入力される。

40

【0045】

信号出力回路5Aは例えば増幅度1の演算増幅器5aを用いた差動増幅回路を構成し、信号出力回路5Aから出力される信号S0は次式で表される。

【0046】

$$S_0 = S_2 - S_1 \quad (4)$$

【0047】

ここで、各ハイパスフィルタ10、20の各キャパシタ1の静電容量は互いに等しい値を有する。また、各ハイパスフィルタ10、20を構成する抵抗体2A、2Bの一端は、定電圧源により所定のバイアス電圧Vsに設定された低インピーダンス点NLに接続されている。更に、第二のハイパスフィルタ20を構成する抵抗体2Bにおいて、MOSトラ

50

ンジスタ 8 のゲートに印加される遮断周波数調整電圧 V_{gs} が設定されている。

【0048】

(1) 遮断周波数調整電圧 V_{gs} がバイアス電圧 V_s と等しい ($V_{gs} = V_s$) 場合、第一のハイパスフィルタと第二のハイパスフィルタは、同じ周波数遮断特性となり、信号出力端子から出力される信号は、入力信号に対して周波数によらず減衰したものになる。すなわち、次式で表される。

【0049】

$$S_1 = S_2 \quad (5)$$

$$S_0 = 0 \quad (6)$$

【0050】

10

(2) $V_{gs} > V_s$ の場合、MOS トランジスタ 8 のゲート - ソース間電圧 V_{gs} が 0 V ではなくするため、抵抗体 2 B の抵抗値が低下する。これにより、第二のハイパスフィルタ 20 の遮断周波数が高くなり、各ハイパスフィルタ 10, 20 からそれぞれ出力される出力信号 S_1 , S_2 は $S_1 \neq S_2$ の状態となる。その結果、信号出力回路 5 A からの出力信号 S_0 は、図 8 に示すようなバンドパスフィルタ回路の周波数特性を示すようになる。このときのバンドパスフィルタ回路の通過帯域幅は、遮断周波数調整電圧 V_{gs} によって調整できる。

【0051】

20

さらに、信号出力回路 5 の次段以降に、サンプリング信号を有するような回路が付加された場合、サンプリング信号のノイズがバンドパスフィルタ回路に回りこんで、信号成分に重畳してしまう可能性がある。しかし、このようなときは、遮断周波数調整電圧 V_{gs} を MOS トランジスタ 8 のしきい値電圧前後に設定することで、信号入力部のインピーダンスを下げ、サンプリングノイズの重畳を減らすことができる。

【0052】

図 8 は図 7 のバンドパスフィルタ回路の周波数特性を示すグラフである。図 7 を参照して上述したように、図 8 に示すごとく、第一のハイパスフィルタ 10 を通過した信号と第二のハイパスフィルタ 20 を通過した信号の差分を取ることで、バンドパスフィルタ特性を得ることができる。

【0053】

30

本発明者らは、図 7 の実施形態 4 において、各キャパシタ 1 の容量を 5 pF に、ハイパスフィルタ 10, 20 に含まれる MOS トランジスタ 6, 7, 8, 9 の各サイズを $W/L = 2 \mu m / 1 \mu m$ に設定した回路を実シリコン半導体基板上に試作し、カットオフ周波数を測定した。その結果、当該カットオフ周波数は 10 mHz であった。本アプリケーションに求められる第 1 のカットオフ周波数の目標値は 1 Hz 以下であるが、目標値に対して 2 桁も小さいカットオフ周波数をもったハイパスフィルタ回路を実現することができた。つまり、本実施形態により、素子ばらつきを含めても遮断周波数目標値 1 Hz に対して十分マージンのとれた遮断周波数をもつハイパスフィルタ回路を実現するに至った。

【0054】

40

以上の実施形態 4 において、MOS トランジスタ 8 のゲート電圧を遮断周波数調整電圧 V_{gs} として変化させて 2 個のハイパスフィルタ 10, 20 の周波数遮断特性を異ならせて、図 8 のバンドパスフィルタ回路の特性を実現している。しかし、本発明はこれに限らず、MOS トランジスタ 6, 7, 8, 9 の少なくとも 1 つのゲート電圧を変化させて 2 個のハイパスフィルタ 10, 20 の周波数遮断特性を異ならせて、図 8 のバンドパスフィルタ回路の特性を実現してもよい。

【0055】

変形例 .

以上の実施形態の構成素子のうち、各抵抗体 2, 2 A, 2 B は少なくとも SOI 半導体基板上に形成される必要があり、その他の構成素子は外部回路で形成してもよい。

【0056】

実施形態のまとめ .

50

第一の態様に係るハイパスフィルタ回路は、
入力信号を入力するキャパシタと、
上記キャパシタの出力端子と所定のバイアス電圧との間に接続された抵抗体と、
上記キャパシタの出力端子に接続され、上記入力信号を緩衝増幅して出力する信号出力回路とを備えたハイパスフィルタ回路であって、
上記抵抗体は、SOI半導体基板に形成され、かつ互いに逆方向に並列接続された2個のPN接合ダイオードを備えて構成され、
上記2個のPN接合ダイオードのアノードとカソードの電位差が略0となるように構成されることを特徴とする。

【0057】

10

第二の態様に係るハイパスフィルタ回路は、第一の態様に係るハイパスフィルタ回路において、

上記2個のPN接合ダイオードは第一及び第二のPN接合ダイオードを含み、
上記第一のPN接合ダイオードのカソード及び上記第二のPN接合ダイオードのアノードは上記キャパシタの出力端子に接続され、
上記第一のPN接合ダイオードのアノード及び上記第二のPN接合ダイオードのカソードは上記バイアス電圧に接続されることを特徴とする。

【0058】

第三の態様に係るハイパスフィルタ回路は、
入力信号を入力するキャパシタと、
上記キャパシタの出力端子と所定のバイアス電圧との間に接続された抵抗体と、
上記キャパシタの出力端子に接続され、上記入力信号を緩衝増幅して出力する信号出力回路とを備えたハイパスフィルタ回路であって、
上記抵抗体は、SOI半導体基板に形成され、かつ互いに逆方向に並列接続された2個のMOSトランジスタを備えて構成され、
上記2個のMOSトランジスタをその遮断領域で動作するように構成されることを特徴とする。

20

【0059】

第四の態様に係るハイパスフィルタ回路は、第三の態様に係るハイパスフィルタ回路において、

30

上記2個のMOSトランジスタはNチャネルの第一及び第二のMOSトランジスタを含み、
上記第一のMOSトランジスタのドレイン、並びに上記第二のMOSトランジスタのゲート、ソース及びバックゲートは上記キャパシタの出力端子に接続され、
上記第一のMOSトランジスタのゲート、ソース及びバックゲート、並びに上記第二のMOSトランジスタのドレインは上記バイアス電圧に接続されることを特徴とする。

【0060】

第五の態様に係るハイパスフィルタ回路は、第三の態様に係るハイパスフィルタ回路において、

40

上記2個のMOSトランジスタはPチャネルの第三及び第四のMOSトランジスタを含み、
上記第三のMOSトランジスタのゲート、ソース及びバックゲート、並びに上記第四のMOSトランジスタのドレインは上記キャパシタの出力端子に接続され、
上記第三のMOSトランジスタのドレイン、並びに上記第四のMOSトランジスタのゲート、ソース及びバックゲートは上記バイアス電圧に接続されることを特徴とする。

【0061】

第六の態様に係るバンドパスフィルタ回路は、
第四の態様に係るハイパスフィルタ回路である第一のハイパスフィルタ回路と、
上記第一のハイパスフィルタ回路の周波数特性とは異なる周波数特性を有する、第五の態様に係るハイパスフィルタ回路である第二のハイパスフィルタ回路とを備え、

50

上記信号出力回路は、上記第一のハイパスフィルタ回路から出力される信号と、上記第二のハイパスフィルタ回路から出力される信号との差分信号を生成して出力することを特徴とする。

【0062】

第七の態様に係るバンドパスフィルタ回路は、第六の態様に係るバンドパスフィルタ回路において、

上記第一及び第二のハイパスフィルタ回路の四個のMOSトランジスタのうち少なくとも1つのMOSトランジスタのゲート電圧を変化させて、上記第一のハイパスフィルタ回路の周波数特性と、上記第二のハイパスフィルタ回路の周波数特性とを互いに異なるように構成する。

10

【0063】

上述の実施例によれば、SOI基板上に、半導体集積回路のうちの少なくとも抵抗体を形成したことにより、特許文献1のバルク基板上に形成した場合の寄生ダイオードの問題はなくなる。さらに、アノードカソードの電位差を略0とすることで抵抗値を上げ、回路面積を増大することなく外付部品なしにカットオフ周波数を10mHzまで下げることができる。

【符号の説明】

【0064】

1, 1A, 1B ... キャパシタ、
2, 2A, 2B ... 抵抗体、
3 ... 第一のPN接合ダイオード、
4 ... 第二のPN接合ダイオード、
5 ... 信号出力回路、
5a ... 演算増幅器、
6 ... 第一のMOSトランジスタ、
7 ... 第二のMOSトランジスタ、
8 ... 第三のMOSトランジスタ、
9 ... 第四のMOSトランジスタ、
10 ... 第一のハイパスフィルタ、
20 ... 第二のハイパスフィルタ、
50 ... p型半導体基板、
IN ... 信号入力端子、
N, N1, N2 ... 接続点、
NL, NL1, NL2 ... 低インピーダンス点、
OUT ... 信号出力端子。

20

30

【先行技術文献】

【特許文献】

【0065】

【特許文献1】特開昭57-108670号公報

【特許文献2】特開2010-021435号公報

40

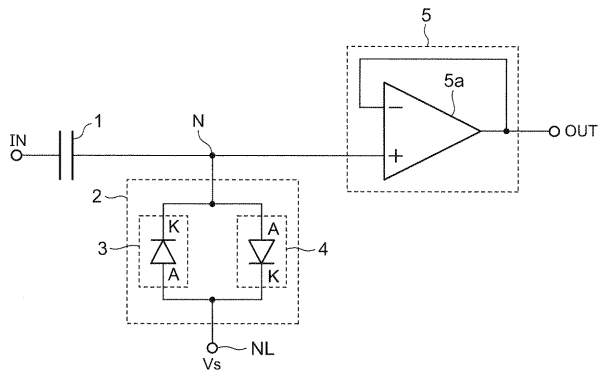
【非特許文献】

【0066】

【非特許文献1】Behzad Razavi 著, 黒田忠広監訳, 「アナログCMOS集積回路の設計基礎編」, 丸善出版(p32)

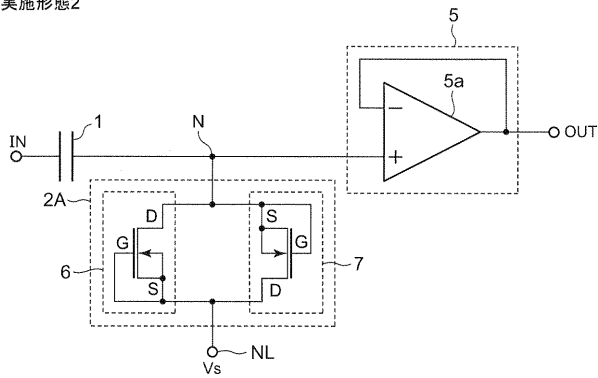
【図 1】

実施形態1



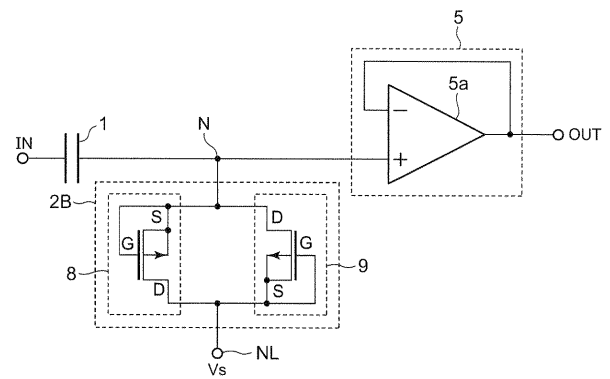
【図 2】

実施形態2

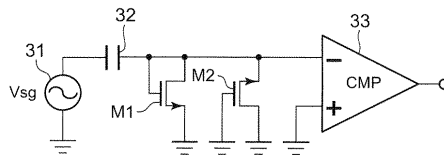


【図 3】

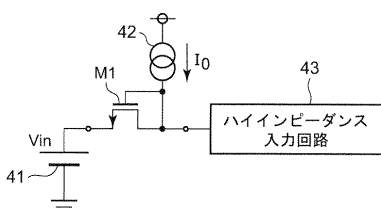
実施形態3



【図 4】



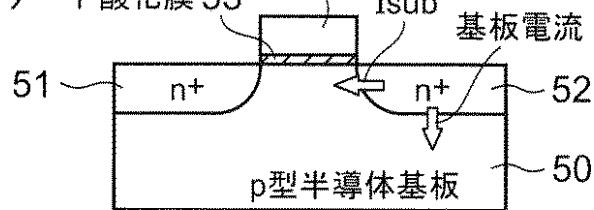
【図 5】



【図 6 A】

ゲートポリシリコン 54

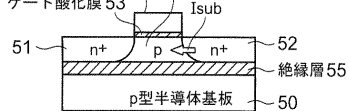
ゲート酸化膜 53



【図 6 B】

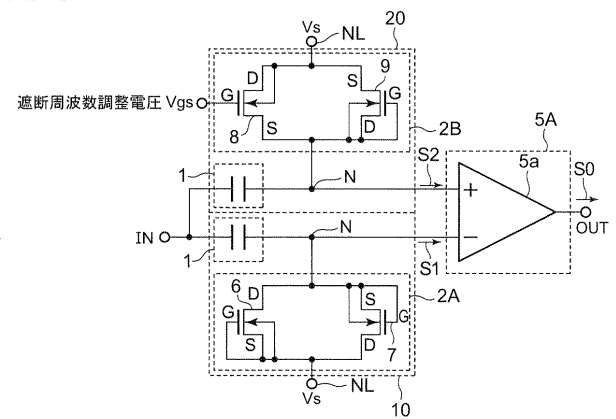
ゲートポリシリコン 54

ゲート酸化膜 53

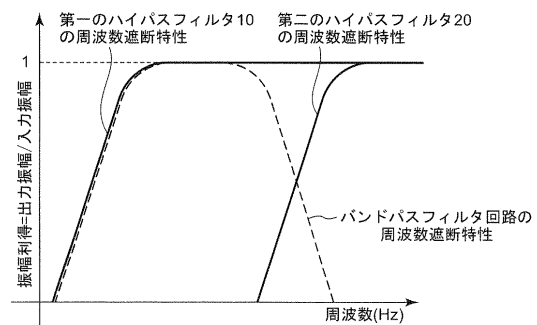


【図 7】

実施形態4



【図 8】



フロントページの続き

F ターム(参考) 5J098 AA03 AA04 AA14 AB02 AB31 AD21 BA06 CA04 CA05 CB05
EA09