

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 4 月 6 日 (06.04.2023)



(10) 国际公布号
WO 2023/050902 A1

(51) 国际专利分类号:
H01L 29/778 (2006.01) H01L 21/336 (2006.01)

(21) 国际申请号: PCT/CN2022/099667

(22) 国际申请日: 2022 年 6 月 20 日 (20.06.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202111163668.4 2021 年 9 月 30 日 (30.09.2021) CN

(71) 申请人: 华为数字能源技术有限公司 (HUAWEI DIGITAL POWER TECHNOLOGIES CO., LTD.) [CN/CN]; 中国广东省深圳市福田区香蜜湖街道香安社区安托山六路 33 号安托山总部大厦 A 座研发 39 层 01 号, Guangdong 518043 (CN)。

(72) 发明人: 孙辉(SUN, Hui); 中国广东省深圳市福田区香蜜湖街道香安社区安托山六路 33 号安托山总部大厦 A 座研发 39 层 01 号, Guangdong 518043 (CN)。高彪(GAO, Biao); 中国广东省深圳市福田区香蜜湖街道香安社区安托山六路 33 号安托山总部大厦 A 座研发 39 层 01 号, Guangdong

518043 (CN)。陈智斌(CHEN, Zhibin); 中国广东省深圳市福田区香蜜湖街道香安社区安托山六路 33 号安托山总部大厦 A 座研发 39 层 01 号, Guangdong 518043 (CN)。侯勇(HOU, Yong); 中国广东省深圳市福田区香蜜湖街道香安社区安托山六路 33 号安托山总部大厦 A 座研发 39 层 01 号, Guangdong 518043 (CN)。

(74) 代理人: 深圳市深佳知识产权代理事务所(普通合伙)(SHENPAT INTELLECTUAL PROPERTY AGENCY); 中国广东省深圳市罗湖区南湖街道春风路庐山大厦 B 座 18C2、18D、18E、18E2, Guangdong 518001 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE,

(54) Title: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 一种半导体器件及其制造方法

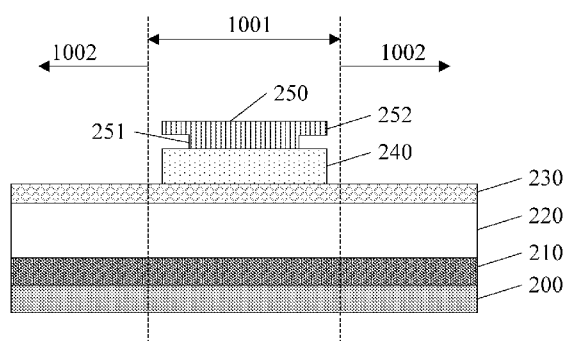


图 2

(57) Abstract: Disclosed in the present application are a semiconductor device and a manufacturing method therefor. The semiconductor device may comprise a channel layer and a barrier layer, and a doped layer and a gate structure, which are sequentially stacked, wherein the channel layer and the barrier layer are made of a III-nitride material, the barrier layer has a gate region, the doped layer is located on the side of the barrier layer that faces away from the channel layer, the doped layer is located in the gate region, the material of the doped layer is a III-V compound containing receptor doped elements, the gate structure is located on the side of the doped layer that faces away from the channel layer, a side wall of the side of the gate structure that faces the doped layer is retracted relative to a side wall of the doped layer, and the side wall of the side of the gate structure that faces the doped layer is retracted relative to a side wall of the side of the gate structure that faces away from the doped layer, such that the side walls of the gate structure and the doped layer are not in the same plane, that is, cutting off a leakage channel between the gate structure and the doped layer, thereby reducing a leakage current of the device, and improving the device performance.

SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

根据细则4.17的声明:

— 关于申请人有权要求在先申请的优先权 (细则
4.17(iii))

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

(57) 摘要: 本申请公开了一种半导体器件及其制造方法, 半导体器件可以包括依次层叠的沟道层和势垒层, 以及掺杂层和栅极结构, 沟道层和势垒层由III族氮化物材料构成, 势垒层具有栅极区域, 掺杂层位于势垒层的背离沟道层的一侧, 且掺杂层位于栅极区域, 掺杂层的材料为包含受体型掺杂元素的III-V族化合物, 栅极结构位于掺杂层的背离沟道层的一侧, 栅极结构的朝向掺杂层的一侧侧壁相对于掺杂层的侧壁有回缩, 且栅极结构的朝向掺杂层的一侧侧壁相对于栅极结构的背离掺杂层的一侧侧壁有回缩, 使栅极结构和掺杂层的侧壁不在同一平面内, 相当于隔断了栅极结构和掺杂层之间的漏电通道, 因此减少了器件的漏电流, 提高器件性能。

一种半导体器件及其制造方法

本申请要求于 2021 年 9 月 30 日提交中国专利局、申请号为 202111163668.4、发明名称为“一种半导体器件及其制造方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请涉及半导体制造技术领域，尤其涉及一种半导体器件及其制造方法。

背景技术

宽禁带半导体氮化镓 (gallium nitride, GaN) 具有高击穿电场、高电子迁移率及高电子饱和漂移速度，在电力电子和射频微波领域的应用前景十分广阔。

目前，氮化镓器件主要包含基于氮化铝镓 (AlGaIn) /GaN 的异质结构的器件，例如以 AlGaIn/GaN 异质结为核心制作的高电子迁移率晶体管 (high electron mobility transistor, HEMT) 有着优良的性能，非常适合制作功率半导体器件，目前被业界广泛关注。其中，AlGaIn/GaN 产生的压电极化及自发极化会使异质结界面处形成高浓度的二维电子气 (two-dimensional electron gas, 2-DEG)，其迁移率及饱和速度都远高于硅。

氮化镓器件中，在栅极区域的 AlGaIn/GaN 异质结表面可以形成有一层掺杂层，掺杂层上形成有栅极结构，构成掺杂层和栅极结构的叠层，该掺杂层可以为 p 型 GaN (p-GaN) 层或 p 型 AlGaIn (p-AlGaIn)，这种结构的氮化镓器件在工作时，栅极结构和掺杂层的侧壁会形成漏电通道，使得栅极漏电 (gate leakage, $I_{\text{g leak}}$) 等电性参数受到影响。

发明内容

有鉴于此，本申请实施例提供了一种半导体器件及其制造方法，以提高器件的性能。

本申请实施例的第一方面，提供了一种半导体器件及其制造方法，半导体器件可以包括依次层叠的沟道层和势垒层，以及掺杂层和栅极结构，沟道层和势垒层由 III 族氮化物材料构成，势垒层具有栅极区域，掺杂层位于势垒层的背离沟道层的一侧，且掺杂层位于栅极区域，掺杂层的材料为包含受体型掺杂元素的 III-V 族化合物，栅极结构位于掺杂层的背离沟道层的一侧，栅极结构的朝向掺杂层的一侧侧壁相对于掺杂层的侧壁有回缩，且栅极结构的朝向掺杂层的一侧侧壁相对于栅极结构的背离掺杂层的一侧侧壁有回缩，使栅极结构和掺杂层的侧壁不在同一平面内，栅极结构的朝向掺杂层的一侧侧壁的回缩结构隔断了栅极结构背离掺杂层的一侧侧壁和掺杂层侧壁的接触，相当于隔断了栅极结构和掺杂层之间的漏电通道，因此减少了器件的漏电流，提高器件性能。

在一些可能的实施方式中，所述沟道层的材料为氮化镓，所述势垒层的材料为氮化铝镓，所述掺杂层的材料为包含受体型掺杂元素的氮化镓或氮化铝镓。

本申请实施例中，沟道层的材料可以为氮化镓，势垒层的材料为氮化铝镓，可以在二者的界面处形成二维电子气，掺杂层的材料为包含受体型掺杂元素的氮化镓或氮化铝镓，

可以耗尽更好的耗尽栅极区域的二维电子气，同时掺杂层与势垒层有较好的接触，利于提高器件性能。

在一些可能的实施方式中，所述栅极结构的朝向所述掺杂层的一侧侧壁外围设置有介质结构，使所述栅极结构的背离所述掺杂层的一侧侧壁、所述介质结构的侧壁和所述掺杂层的至少部分侧壁齐平。

本申请实施例中，栅极结构的朝向掺杂层的一侧侧壁构成凹陷结构，其外围可以设置介质结构，使栅极结构的背离掺杂层的一侧侧壁和介质结构的侧壁以及掺杂层的至少部分侧壁齐平，即利用介质结构填充该凹陷结构，使整体结构稳定的同时，介质结构能够更好的阻断栅极结构的侧壁和掺杂层的侧壁之间的漏电通道，利于提高器件性能。

在一些可能的实施方式中，所述栅极结构的朝向所述掺杂层的一侧侧壁外围设置有介质结构，使所述栅极结构的背离所述掺杂层的一侧侧壁和所述介质结构的侧壁齐平；所述掺杂层的至少部分侧壁与所述介质结构的侧壁不平行。

本申请实施例中，栅极结构的朝向掺杂层的一侧侧壁形成凹陷结构，其外围可以设置介质结构，使栅极结构的背离掺杂层的一侧侧壁和介质结构的侧壁齐平，且掺杂层的至少部分侧壁与介质结构的侧壁不平行，即利用介质结构填充该凹陷结构，当然介质结构可以填满该凹陷结构，也可以未填满该凹陷结构，对凹陷结构的填充使整体结构稳定的同时，介质结构能够更好的阻断栅极结构的侧壁和掺杂层的侧壁之间的漏电通道，利于提高器件性能。

在一些可能的实施方式中，所述介质结构的材料包括以下材料的至少一种： SiO_2 、 SiON 、 SiN_x 、 AlO_x 、 AlN_x 、 GaO_x 、 TiO_x 。

本申请实施例中，介质结构的材料可以为绝缘性好的材料，以更好的阻断栅极结构和侧壁和掺杂层的侧壁之间的漏电通道，利于提高器件性能。

在一些可能的实施方式中，在平行所述沟道层的表面的平面内，所述介质结构包围所述栅极结构，且位于所述栅极结构不同侧的介质结构的多个部分的宽度不完全相同。

本申请实施例中，介质结构可以从各个侧面包围栅极结构，以从各个侧壁填充栅极结构朝向掺杂层的一侧侧壁的凹陷，位于不同侧的介质结构的多个部分的宽度不完全相同，使器件能够适应更多的应用场景。

在一些可能的实施方式中，所述介质结构在垂直所述沟道层的表面的方向上的尺寸小于 5 微米。

本申请实施例中，介质结构的厚度小于 5 微米，使介质结构的厚度较小，这样对介质结构进行刻蚀时，无论时干法刻蚀还是湿法刻蚀，均对势垒层的损伤较小，利于提高器件性能。

在一些可能的实施方式中，所述栅极结构的材料包含以下材料的至少一种： Ti 、 TiN 、 W 、 Ni 、 NiV 、 Ta 、 TaN 、 Pd 、 Pt 、 WSi_2 、 Au 。

本申请实施例中，栅极结构的材料可以是导电性较好的材料，以提高器件性能。

在一些可能的实施方式中，所述半导体器件还包括：

源极和漏极；所述源极和所述漏极位于所述势垒层的背离所述沟道层的一侧，且所述

源极和所述漏极分别位于所述栅极区域的两侧。

本申请实施例中，还可以包括栅极区域两侧的源极和漏极，以构成完整的器件，实现较高的器件性能。

在一些可能的实施方式中，所述半导体器件还包括：

5 基底，所述基底位于所述沟道层背离所述势垒层的一侧。

本申请实施例中，可以在沟道层背离势垒层的一侧设置基底，用于支撑设置在基底其上的膜层，提高器件的可靠性。

在一些可能的实施方式中，所述半导体器件还包括：

位于所述基底和所述沟道层之间的缓冲层。

10 本申请实施例中，基底和沟道层之间还可以设置有缓冲层，从而提高沟道层的质量，利于提高器件性能。

本申请实施例第二方面，提供了一种半导体器件的制造方法，包括：

在沟道层上依次形成势垒层、掺杂材料层和介质材料层；所述沟道层由Ⅲ族氮化物材料构成，所述势垒层由Ⅲ族氮化物材料构成，所述势垒层具有栅极区域；所述掺杂材料层的材料为包含受体型掺杂元素的Ⅲ-V族化合物；

15 对位于所述栅极区域的掺杂材料层上的介质材料层进行刻蚀，以形成贯穿所述介质材料层的栅区沟槽；

沉积栅极材料，以使所述栅极材料填充所述栅区沟槽，且覆盖所述介质材料层；

20 对所述栅极材料、介质材料层、掺杂材料层进行刻蚀，以形成位于所述栅极区域的掺杂层，以及所述掺杂层上的栅极结构；其中，所述栅极结构的朝向所述掺杂层的一侧侧壁外围设置有介质结构，使所述栅极结构的背离所述掺杂层的一侧侧壁和所述介质结构的侧壁齐平。

在一些可能的实施方式中，所述沟道层的材料为氮化镓，所述势垒层的材料为氮化铝镓，所述掺杂层的材料为包含受体型掺杂元素的氮化镓或氮化铝镓。

25 在一些可能的实施方式中，所述介质结构的侧壁与所述掺杂层的至少部分侧壁齐平；和/或，所述掺杂层的至少部分侧壁与所述介质结构的侧壁不平行。

在一些可能的实施方式中，对所述栅极材料、介质材料层、掺杂材料层进行刻蚀之前，所述方法还包括：

30 在所述栅极材料上形成硬掩模层；则对所述栅极材料、介质材料层、掺杂材料层进行刻蚀的同时，还对所述硬掩模层进行刻蚀；

在对所述栅极材料、介质材料层、掺杂材料层进行刻蚀之后，还包括：

以所述硬掩模层为掩蔽，通过湿法腐蚀对所述栅极结构进行刻蚀，以使所述栅极结构的至少一侧侧壁齐平。

在一些可能的实施方式中，在通过湿法腐蚀对所述栅极结构进行刻蚀后，还包括：

35 去除所述硬掩模层，和/或，去除所述介质结构。

在一些可能的实施方式中，所述介质结构的材料包括以下材料的至少一种： SiO_2 、 SiON 、 SiNx 、 AlOx 、 AlNx 、 GaOx 、 TiOx 。

在一些可能的实施方式中，在平行所述沟道层的表面的平面内，所述介质结构包围所述栅极结构，且位于所述栅极结构不同侧的介质结构的多个部分的宽度不完全相同。

在一些可能的实施方式中，所述介质结构在垂直所述沟道层的表面的方向上的尺寸小于 5 μm 。

5 在一些可能的实施方式中，对位于所述栅极区域的掺杂材料层上的介质材料层进行刻蚀，通过干法刻蚀或湿法腐蚀的方式实现。

在一些可能的实施方式中，所述栅极结构的材料包含以下材料的至少一种：Ti、TiN、W、Ni、NiV、Ta、TaN、Pd、Pt、WSi₂、Au。

在一些可能的实施方式中，所述方法还包括：

10 在所述势垒层上形成源极和漏极；所述源极和漏极分别位于所述栅极区域的两侧。

在一些可能的实施方式中，所述沟道层背离所述势垒层的一侧设置有基底。

在一些可能的实施方式中，所述沟道层和所述基底之间设置有缓冲层。

本申请实施例第三方面，提供了一种电子设备，包括电路板，以及与电路板连接的、如本申请第一方面提供的半导体器件。

15 从以上技术方案可以看出，本申请实施例具有以下优点：

本申请实施例提供一种半导体器件及其制造方法，半导体器件可以包括依次层叠的沟道层和势垒层，以及掺杂层和栅极结构，沟道层和势垒层由III族氮化物材料构成，势垒层具有栅极区域，掺杂层位于势垒层的背离沟道层的一侧，且掺杂层位于栅极区域，掺杂层的材料为包含受体型掺杂元素的III-V族化合物，栅极结构位于掺杂层的背离沟道层的一侧，栅极结构的朝向掺杂层的一侧侧壁相对于掺杂层的侧壁有回缩，且栅极结构的朝向掺杂层的一侧侧壁相对于栅极结构的背离掺杂层的一侧侧壁有回缩，使栅极结构和掺杂层的侧壁不在同一平面内，栅极结构的朝向掺杂层的一侧侧壁的回缩结构隔断了栅极结构背离掺杂层的一侧侧壁和掺杂层侧壁的接触，相当于隔断了栅极结构和掺杂层之间的漏电通道，因此减少了器件的漏电流，提高器件性能。

25

附图说明

为了清楚地理解本申请的具体实施方式，下面将描述本申请具体实施方式时用到的附图做一简要说明。显而易见地，这些附图仅是本申请的部分实施例。

图1为一种氮化镓器件的结构示意图；

30 图2-图9为本申请实施例提供的半导体器件的结构示意图；

图10为本申请实施例提供的一种半导体器件的制造方法的流程图；

图11-22为本申请实施例提供的半导体器件的制造过程中的器件结构示意图。

具体实施方式

35 本申请实施例提供了一种半导体器件及其制造方法，以提高器件的光电转换效率。

本申请的说明书和权利要求书及上述附图中的术语“第一”、“第二”、“第三”、“第四”等（如果存在）是用于区别类似的对象，而不必用于描述特定的顺序或先后次序。应该理

解这样使用的数据在适当情况下可以互换，以便这里描述的实施例能够以除了在这里图示或描述的内容以外的顺序实施。此外，术语“包括”和“具有”以及他们的任何变形，意图在于覆盖不排他的包含，例如，包含了一系列步骤或单元的过程、方法、系统、产品或设备不必限于清楚地列出的那些步骤或单元，而是可包括没有清楚地列出的或对于这些过程、方法、产品或设备固有的其它步骤或单元。

本申请结合示意图进行详细描述，在详述本申请实施例时，为便于说明，表示器件结构的剖面图会不依一般比例作局部放大，而且所述示意图只是示例，其在此不应限制本申请保护的范围。此外，在实际制作中应包含长度、宽度及深度的三维空间尺寸。

在氮化镓器件中，在栅极区域的 AlGaIn/GaN 异质结表面可以形成有一层掺杂层，掺杂层上形成有栅极结构，构成掺杂层和栅极结构的叠层，该掺杂层可以为 p 型 GaN (p-GaN) 层或 p 型 AlGaIn (p-AlGaIn)，具体来说，该掺杂层可以耗尽栅极区域的二维电子气沟道，栅极区域之外的非栅区域不形成掺杂层，从而使栅极区域无沟道，非栅区域有沟道，从而利用栅极对沟道进行控制。

然而，这种结构的氮化镓器件在工作时，栅极和掺杂层的侧壁会形成漏电通道，使得栅极漏电 (gate leakage, I_{gleak}) 等电性参数受到影响。这是因为在对栅极结构和掺杂层的刻蚀过程中，不可避免的会在栅极结构和掺杂层的侧壁形成刻蚀损伤，损伤位置俘获电荷形成漏电流。

参考图 1 所示，为一种氮化镓器件的结构示意图，氮化镓器件可以包括层叠设置的 GaN 层 100 和 AlGaIn 层 110，在 AlGaIn 层 110 上可以包括位于 AlGaIn/GaN 异质结表面栅极区域的掺杂层 120，以及位于掺杂层 120 上的栅极结构 130，栅极结构 130 的横向尺寸小于掺杂层 120 的横向尺寸，使栅极结构 130 和掺杂层 120 之间形成阶梯形结构，这样可以使栅极结构的侧壁与掺杂层的侧壁不在同一平面内，二者不连续，避免栅极结构和掺杂层的侧壁形成漏电通道，提高基于 AlGaIn/GaN 异质结构形成的 HEMT 器件的性能。

目前，可以通过一硬掩模刻蚀得到栅极结构和掺杂层，使栅极结构和掺杂层的侧壁齐平，而后利用湿法横向腐蚀栅极结构使栅极结构的侧壁相对于掺杂层的侧壁有回缩，隔断栅极结构侧壁和掺杂层侧壁的连接，避免栅极结构的侧壁和掺杂层的侧壁形成漏电通道。然而湿法横向腐蚀栅极结构以得到栅极结构和掺杂层之间的阶梯形结构时，栅极结构侧壁在进行刻蚀的过程中容易形成薄层变质层，会影响对栅极结构侧壁的刻蚀，最终使得栅极结构在形成阶梯形结构时侧壁不平整，形成锯齿状，影响后续工艺制程，得到的阶梯形结构形貌较差。

基于以上技术问题，本申请实施例提供了一种半导体器件及其制造方法，半导体器件可以包括依次层叠的沟道层和势垒层，以及掺杂层和栅极结构，势垒层具有栅极区域，沟道层和势垒层由 III 族氮化物材料构成，掺杂层位于势垒层的背离沟道层的一侧，且掺杂层位于栅极区域，掺杂层的材料为包含受体型掺杂元素的 III-V 族化合物，栅极结构位于掺杂层的背离沟道层的一侧，栅极结构的朝向掺杂层的一侧侧壁相对于掺杂层的侧壁有回缩，且栅极结构的朝向掺杂层的一侧侧壁相对于栅极结构的背离掺杂层的一侧侧壁有回缩，使栅极结构和掺杂层的侧壁不在同一平面内，栅极结构的朝向掺杂层的一侧侧壁的回缩结构

隔断了栅极结构背离掺杂层的一侧侧壁和掺杂层侧壁的接触，相当于隔断了栅极结构和掺杂层之间的漏电通道，因此减少了器件的漏电流，提高器件性能。

为使本申请的上述目的、特征和优点能够更加明显易懂，下面结合附图对本申请的具体实施方式做详细的说明。

参考图 2 所示，为本申请实施例提供的一种半导体器件的结构示意图，半导体器件可以包括依次层叠设置的沟道层 220、势垒层 230、掺杂层 240 和栅极结构 250。其中，沟道层 220 由 III 族氮化物材料构成，势垒层 230 由 III 族氮化物材料构成，例如，沟道层 220 的材料可以为氮化镓，势垒层 230 的材料可以为氮化铝镓、氮化铝等中的一种，此时沟道层 220 和势垒层 230 形成异质结构，例如 AlGa_N/Ga_N 的异质结构，从而产生二维电子气，基于此形成的半导体器件可以利用该异质结构产生的二维电子气工作。半导体器件例如可以为基于异质结构的高电子迁移率晶体管（high-electron-mobility transistor, HEMT）器件。

作为一种可能的实现方式，沟道层 220 的厚度可以较大，则沟道层 220 可以作为基底，该基底为其上的膜层提供支撑作用，例如材料为氮化镓的沟道层 220 可以作为基底，同时作为 AlGa_N/Ga_N 的异质结构的组成部分。

作为另一种可能的实现方式，沟道层 220 的厚度可以较薄，则沟道层 220 可以形成于基底 200 上，基底 200 设置于沟道层 220 背离势垒层 230 的一侧，基底 200 为其上的膜层提供支撑作用，沟道层 220 作为异质结构的组成部分，其中基底 200 的材料可以为 III-V 族化合物半导体材料，可以为氮化铝（AlN）、硅（Si）、碳化硅（SiC）、蓝宝石中的一种或多种。可选的，在基底 200 和沟道层 220 之间，还可以设置有缓冲层 210，缓冲层 210 的材料可以为氮化铝，也可以为低温生长的氮化镓，在缓冲层 210 为低温生长的氮化镓时，沟道层 220 可以为高温生长的氮化镓层，这样低温氮化镓层作为高温氮化镓层和基底 200 之间的缓冲层 210，提高高温氮化镓层的外延质量。

势垒层 230 可以具有栅极区域 1001 和栅极区域 1001 外围的非栅区域 1002，栅极区域 1001 为势垒层 230 表面上的区域，包括势垒层 230 表面以及垂直势垒层 230 表面的无数条直线界定出的空间。栅极区域 1001 用于形成栅极结构 250，栅极区域 1001 可以大于栅极结构 250 所在区域，也可以等于栅极结构 250 所在区域，在图 2 中，中间的虚线框表示栅极区域 1001，栅极区域 1001 两侧表示非栅区域 1002，后续结构示意图采用相同的表示方式，由于图 2 为剖视图，因此实际上非栅区域 1002 可以位于栅极区域 1001 的两侧，可以形成包围栅极区域 1001 的环状区域，例如圆环区域或多边形区域。

在本申请的实施例中，在栅极区域 1001 的势垒层 230 表面可以形成有一层掺杂层 240，即掺杂层 240 设置于势垒层 230 背离沟道层 220 的一侧，且掺杂层 240 位于栅极区域 1001。掺杂层 240 的材料可以是包含受体型掺杂元素的 III-V 族化合物，例如掺杂层 240 的材料可以是包含受体型（P 型）掺杂元素的氮化镓或氮化铝镓，对应的，该掺杂层可以表示为 p 型 Ga_N（p-Ga_N）或 p 型 AlGa_N（p-AlGa_N）。掺杂层 240 可以用于耗尽栅极区域 1001 的二维电子气沟道，栅极区域 1001 之外的非栅区域 1002 不形成掺杂层，从而使栅极区域 1001 无沟道，非栅区域 1002 有沟道，从而利用栅极结构 250 对沟道进行控制。

在本申请的实施例中，在掺杂层 240 上形成有栅极结构 250，栅极结构 250 设置于掺杂层 240 背离沟道层 220 的一侧。栅极结构 250 的材料可以具有良好的导电性，其材料可以为 Ti、TiN、W、Ni、NiV、Ta、TaN、Pd、Pt、WSi₂、Au 中的至少一种。

5 在本申请实施例中，栅极结构 250 朝向掺杂层 240 的一侧侧壁相对于掺杂层 240 的侧壁有回缩，并且栅极结构 250 朝向掺杂层 240 的一侧侧壁相对于栅极结构 250 背离掺杂层 240 的一侧侧壁有回缩，使在沿势垒层 230 表面的方向上，栅极结构 250 朝向掺杂层 240 的部分的尺寸，小于栅极结构 250 背离掺杂层 240 的部分的尺寸，以及小于掺杂层 240 的尺寸，栅极结构 250 朝向掺杂层 240 的部分在整体上构成凹陷结构，最终使得栅极结构 250 的侧壁与掺杂层 240 的侧壁不在同一平面内，从而阻断栅极结构 250 的侧壁和掺杂层 240 的侧壁
10 的连续性，避免栅极结构 250 和掺杂层 240 的侧壁形成漏电通道。

参考图 2 所示，栅极结构 250 具有朝向掺杂层 240 的一侧侧壁 251 作为栅极结构 250 的部分侧壁，背离掺杂层 240 的一侧侧壁 252 作为栅极结构 250 的另一部分侧壁，两部分侧壁共同构成栅极结构 250 的侧壁。朝向掺杂层 240 的一侧侧壁 251 不仅相对于掺杂层 240 的侧壁有回缩，还相较于背离掺杂层 240 的一侧侧壁有回缩，形成回缩结构，使得栅极结构 250 的侧壁与掺杂层 240 的侧壁不在同一平面内。正是由于栅极结构 250 的朝向掺杂层 240 的一侧侧壁 251 的回缩结构隔断了栅极结构 250 的侧壁和掺杂层 240 侧壁的连续性，
15 相当于隔断了栅极结构 250 和掺杂层 240 之间的漏电通道，因此减少了器件的漏电流，提高器件性能。

参考图 2 所示为剖视示意图，实际上的栅极结构 250 在平行势垒层 230 的平面内构成
20 多边形结构，则回缩结构形成于栅极结构 250 的至少一侧侧壁，例如可以形成于栅极结构 250 的所有侧壁，回缩结构构成闭合环状。

在一些可能的实施方式中，栅极结构 250 的朝向掺杂层 240 的一侧侧壁 251 与掺杂层 240 朝向栅极结构 250 的表面垂直，即该侧壁与掺杂层 240 朝向栅极结构 250 并且未被栅极结构 250 覆盖的部分表面之间的夹角等于 90°，参考图 2 所示。也就是说，栅极结构 250
25 的朝向掺杂层 240 的一侧侧壁 251 和掺杂层 240 的侧壁不连续，和栅极结构 250 的背离掺杂层 240 的一侧侧壁 252 也不连续。因此，能够阻隔栅极结构 250 背离掺杂层 240 的一侧侧壁 252 和掺杂层 240 侧壁进行接触，就能够隔断栅极结构 250 和掺杂层 240 之间的漏电通道，因此减少器件的漏电流，提高器件性能。

在另一些可能的实施方式中，栅极结构 250 的朝向掺杂层 240 的一侧侧壁 251 可以不
30 垂直于掺杂层 240 朝向栅极结构 250 的表面，即该侧壁与掺杂层 240 朝向栅极结构 250 并且未被栅极结构 250 覆盖的部分表面之间的夹角不等于 90°，例如小于 90°，参考图 3 所示，为本申请实施例提供的另一种半导体器件的结构示意图。也就是说，栅极结构 250 的朝向掺杂层 240 的一侧侧壁 251 与掺杂层 240 的侧壁不连续，栅极结构 250 的朝向掺杂层 240 的一侧侧壁 251 与掺杂层 240 朝向栅极结构 250 并且未被栅极结构 250 覆盖的部分表面之间相交，并且相交的夹角不等于 90°，例如小于 90°，同时栅极结构 250 的朝向掺杂层 240
35 的一侧侧壁 251 与栅极结构 250 的背离掺杂层 240 的一侧侧壁 252 相交，相交的夹角不等于 90°，例如大于 90°。因此，栅极结构 250 的朝向掺杂层 240 的一侧侧壁 251 不垂直于掺

杂层 240 朝向掺杂结构 250 的表面时，依旧能够阻隔栅极结构 250 背离掺杂层 240 的一侧侧壁 252 和掺杂层 240 侧壁进行接触，就能够隔断栅极结构 250 和掺杂层 240 之间的漏电通道，因此减少器件的漏电流，提高器件性能。

在本申请的实施例中，在栅极结构 250 的朝向掺杂层 240 的一侧侧壁 251 外围可以设置介质结构 260，参考图 4 所示，为本申请实施例提供的又一种半导体器件的结构示意图，即在栅极结构 250 的朝向掺杂层 240 的一侧侧壁 251 的回缩结构中具有介质材料，形成介质结构 260，介质材料填充回缩结构，使形成的介质结构 260 的侧壁和栅极结构 250 背离掺杂层 240 的一侧侧壁 252 齐平，这样介质结构 260 的侧壁位于栅极结构 250 背离掺杂层 240 的一侧侧壁 252 和掺杂层 240 侧壁之间，从而利用介质材料隔断栅极结构 250 和掺杂层 240 之间的漏电通道。介质结构 260 的材料可以选用绝缘性较好的材料，其材料可以为 SiO₂、SiON、SiNx、AlOx、AlNx、GaOx、TiOx 中的至少一种。

在本申请的实施例中，介质结构 260 的侧壁和栅极结构 250 背离掺杂层 240 的一侧侧壁 252 齐平，介质结构 260 的侧壁可以和掺杂层 240 的至少部分侧壁齐平，具体的，介质结构 260 可以和掺杂层 240 的全部侧壁齐平，也可以和掺杂层 240 的部分侧壁齐平。

在一些可能的实施方式中，栅极结构 250 的背离掺杂层 240 的一侧侧壁 252、介质结构 260 的侧壁和掺杂层 240 的侧壁齐平，参考图 4 所示。此时栅极结构 250 的朝向掺杂层 240 的一侧侧壁 251 与掺杂层 240 的侧壁不在同一平面内，且介质结构 260 的侧壁位于栅极结构 250 背离掺杂层 240 的一侧侧壁 252 和掺杂层 240 侧壁之间，从而利用介质材料隔断栅极结构 250 和掺杂层 240 之间的漏电通道。

在另一些可能的实施方式中，栅极结构 250 的背离掺杂层 240 的一侧侧壁 252、介质结构 260 的侧壁和掺杂层 240 的部分侧壁齐平。参考图 5 所示，为本申请实施例提供的再一种半导体器件的结构示意图，掺杂层 240 的侧壁包括朝向栅极结构 250 的一侧侧壁 241 和背离栅极结构 250 的一侧侧壁 242，掺杂层 240 朝向栅极结构 250 的一侧侧壁 241、栅极结构 250 的背离掺杂层 240 的一侧侧壁 252 和介质结构 260 的侧壁齐平，掺杂层 240 的背离栅极结构 250 的一侧侧壁 242 和介质结构 260 的侧壁不平行，具体的，掺杂层 240 的背离栅极结构 250 的一侧侧壁 242 可以与介质结构 260 的侧壁平行，也可以与介质结构 260 的侧壁不平行。

在本申请的实施例中，介质结构 260 的侧壁和栅极结构 250 背离掺杂层 240 的一侧侧壁 252 齐平，介质结构 260 的侧壁可以和掺杂层 240 的至少部分侧壁不平行，具体的，介质结构 260 可以和掺杂层 240 的全部侧壁不平行，也可以和掺杂层 240 的部分侧壁不平行。

在一些可能的实施方式中，栅极结构 250 的背离掺杂层 240 的一侧侧壁 252 和介质结构 260 的侧壁齐平，掺杂层 240 的侧壁与介质结构 260 的侧壁不平行。参考图 6 所示，为本申请实施例提供的还一种半导体器件的结构示意图，掺杂层 240 的侧壁和介质结构 260 侧壁之间的夹角不等于 90°，例如大于 90°，最终形成栅极结构 250 的侧壁与掺杂层 250 的侧壁不在同一平面内的结构。

在另一些可能的实施方式中，栅极结构 250 的背离掺杂层 240 的一侧侧壁 252 和介质结构 260 的侧壁齐平，掺杂层 240 的部分侧壁与介质结构 260 的侧壁不平行，掺杂层 240

的另一部分侧壁可以和介质结构 260 的侧壁齐平，也可以不和介质结构 260 的侧壁齐平。参考图 7 所示，为本申请实施例提供的还又一种半导体器件的结构示意图，掺杂层 240 的侧壁包括朝向栅极结构 250 的一侧侧壁 241 和背离栅极结构 250 的一侧侧壁 242，掺杂层 240 朝向栅极结构 250 的一侧侧壁 241、栅极结构 250 的背离掺杂层 240 的一侧侧壁 252 和介质结构 260 的侧壁齐平，掺杂层 240 的背离栅极结构 250 的一侧侧壁 242 和介质结构 260 的侧壁不平行，二者之间的夹角不等于 90° ，例如大于 90° 。

由此可见，对于栅极结构 250 的侧壁与掺杂层 240 的侧壁不在同一平面内的需求，本申请实施例提供了多种栅极结构 250 的侧壁与掺杂层 240 的侧壁的设计，满足实际应用中的多种需求，拥有较大的应用前景。

在本申请的实施例中，由于图 4-图 7 为剖视图，因此实际上在平行于沟道层 220 的表面的平面内，回缩结构可以位于栅极结构 250 的各个侧壁，介质结构 260 可以包围栅极结构 250。

在实际应用中，在介质结构 260 包围栅极结构 250 时，在平行于沟道层 220 的表面的平面内，位于栅极结构 250 不同侧的介质结构 260 的多个部分的宽度不完全相同，这里的宽度指介质结构 260 的侧壁与栅极结构 250 靠近掺杂层 240 的一侧侧壁 251 之间的距离。参考图 8 所示，为本申请实施例提供的再又一种半导体器件的结构示意图，位于栅极结构 250 左侧的介质结构 260 的第一部分 261 的宽度大于位于栅极结构 250 右侧的介质结构 260 的第二部分 262 的宽度。这样非对称结构的栅极结构 250 的设计可以满足某些器件的个性化设计需求，拥有较大的应用前景。

在本申请的实施例中，介质结构在垂直沟道层 220 的表面的方向上的尺寸小于 5 微米 (μm)，例如小于 500nm，即介质材料形成的膜层较薄，在刻蚀得到介质结构 260 时减少对掺杂层 240 的表面的损伤，避免由于刻蚀损伤形成的漏电流，提高器件性能。

在本申请的实施例中，参考图 9 所示，为本申请实施例提供的还再一种半导体器件的结构示意图，半导体器件还可以包括源极 253 和漏极 254，源极 253 和漏极 254 位于非栅区域 1002 的势垒层 230 的背离沟道层 220 的一侧，源极 253 和漏极 254 分别位于栅极区域 1001 的两侧。源极 253 和漏极 254 均采用导电性较好的材料，源极 253 和漏极 254 的材料为：Ti、TiN、W、Ni、NiV、Ta、Ta₂N、Pd、Pt、WSi₂、Au 中的至少一种。

本申请实施例提供了一种半导体器件，半导体器件可以包括依次层叠的沟道层和势垒层，以及掺杂层和栅极结构，沟道层和势垒层由 III 族氮化物材料构成，势垒层具有栅极区域，掺杂层位于势垒层的背离沟道层的一侧，且掺杂层位于栅极区域，掺杂层的材料为包括受体型掺杂元素的 III-V 族化合物，栅极结构位于掺杂层的背离沟道层的一侧，栅极结构的朝向掺杂层的一侧侧壁相对于掺杂层的侧壁有回缩，且栅极结构的朝向掺杂层的一侧侧壁相对于栅极结构的背离掺杂层的一侧侧壁有回缩，使栅极结构和掺杂层的侧壁不在同一平面内，栅极结构的朝向掺杂层的一侧侧壁的回缩结构隔断了栅极结构背离掺杂层的一侧侧壁和掺杂层侧壁的接触，相当于隔断了栅极结构和掺杂层之间的漏电通道，因此减少了器件的漏电流，提高器件性能。

基于本申请实施例提供的一种半导体器件，本申请实施例还提供了一种半导体器件的制造方法，参考图 10 所示，为本申请实施例提供的一种半导体器件的制造方法的流程图，图 11-图 22 为半导体器件在制造过程中的结构示意图，该方法可以包括：

S101，在沟道层 220 上依次形成势垒层 230、掺杂材料层 201 和介质材料层 202，参考图 11 所示。

在本申请的实施例中，沟道层 220 由 III 族氮化物材料构成，势垒层 230 由 III 族氮化物材料构成，例如，沟道层 220 的材料可以为氮化镓，势垒层 230 的材料可以为氮化铝镓，此时层叠设置的沟道层 220 和势垒层 230 形成 AlGaIn/GaN 的异质结构，从而产生二维电子气，基于此形成的半导体器件可以利用该异质结构产生的二维电子气工作。半导体器件例如可以为基于异质结构的高电子迁移率晶体管（high-electron-mobility transistor, HEMT）器件。

作为一种可能的实现方式，沟道层 220 的厚度可以较大，则沟道层 220 可以作为基底，该基底为其上的膜层提供支撑作用，例如材料为氮化镓的沟道层 220 可以作为基底，同时作为 AlGaIn/GaN 的异质结构的组成部分。

作为另一种可能的实现方式，沟道层 220 的厚度可以较薄，参考图 11 所示，则沟道层 220 可以形成于基底 200 上，基底 200 为其上的膜层提供支撑作用，沟道层 220 作为异质结构的组成部分，其中基底 200 的材料可以为 III-V 族化合物半导体材料，可以为氮化铝（AlN）、硅（Si）、碳化硅（SiC）、蓝宝石中的一种或多种。可选的，在基底 200 和沟道层 220 之间，还可以设置有缓冲层 210，缓冲层 210 的材料可以为氮化铝，也可以为低温生长的氮化镓。

具体实施时，可以先在基底 200 表面形成缓冲层 210，而后在缓冲层 210 上形成沟道层 220，之后在沟道层 220 上依次形成势垒层 230、掺杂材料层 201 和介质材料层 202。沟道层 220、势垒层 230、掺杂材料层 201 和介质材料层 202 的形成方式可以为有机金属化学气相沉积（Metal organic chemical vapor deposition, MOCVD）。

在本申请的实施例中，势垒层 230 可以具有栅极区域 1001 和栅极区域 1001 外围的非栅区域 1002，栅极区域 1001 为势垒层 230 表面上的区域，包括势垒层 230 表面以及垂直势垒层 230 表面的无数条直线界定出的空间。栅极区域 1001 用于形成栅极结构 250，栅极区域 1001 可以大于栅极结构 250 所在区域，也可以等于栅极结构 250 所在区域，在图 11 中，中间的虚线框表示栅极区域 1001，栅极区域 1001 两侧表示非栅区域 1002，后续结构示意图采用相同的表示方式，由于图 11 为剖视图，因此实际上非栅区域 1002 可以位于栅极区域 1001 的两侧，可以形成包围栅极区域 1001 的环状区域，例如圆环区域或多边形区域。

在本申请的实施例中，掺杂材料层 201 的材料可以是包含受体型掺杂元素的 III-V 族化合物，例如掺杂材料层 201 的材料可以是包含受体型掺杂元素的氮化镓或氮化铝镓，即该掺杂层可以为 p 型 GaN（p-GaN）或 p 型 AlGaIn（p-AlGaIn）。介质材料层 202 的材料可以选用绝缘材料，其材料可以为 SiO₂、SiON、SiNx、AlOx、AlNx、GaOx、TiOx 中的至少一种。

S102, 对位于栅极区域 1001 的掺杂材料层 201 上的介质材料层 202 进行刻蚀, 以形成贯穿介质材料层 202 的栅区沟槽 203, 参考图 12 所示。

在本申请的实施例中, 在形成介质材料层 202 之后, 可以对位于栅极区域 1001 的介质材料层 202 进行刻蚀, 以形成贯穿介质材料层 202 至掺杂材料层 201 的栅区沟槽 203。栅区沟槽 203 位于栅极区域 1001, 用于形成栅极结构 250。

具体实施时, 可以在介质材料层 202 上旋涂光刻胶, 而后对光刻胶进行曝光以及显影等处理, 以暴露位于栅极区域 1001 的介质材料层 202, 之后对暴露的位于栅极区域 1001 的介质材料层 202 进行刻蚀, 得到贯穿介质材料层 202 的栅区沟槽 203, 最后去除光刻胶, 光刻胶可以利用干法刻蚀和湿法刻蚀去除, 也可以利用其他方式。

在实际应用中, 在垂直沟道层 220 的表面的方向上, 介质材料层 202 的尺寸小于 5 微米 (um), 例如小于 500nm, 即介质材料形成的膜层较薄, 对介质材料层 202 的刻蚀易于控制, 在刻蚀介质材料层 202 时减少对掺杂材料层 201 的表面的损伤, 避免由于刻蚀损伤形成的漏电流, 提高器件性能。由于介质材料层 202 较薄, 因此既可以采用干法刻蚀得到栅区沟槽 203, 也可以采用湿法腐蚀得到栅区沟槽 203, 采用湿法腐蚀介质材料层 202 时, 介质材料层 202 和其下的掺杂材料层 201 可以具有较高的选择比, 进一步减少对掺杂材料层 201 的刻蚀损伤。

S103, 沉积栅极材料 204, 以使栅极材料 204 填充栅区沟槽 203, 且覆盖介质材料层 202, 参考图 13 所示。

在本申请的实施例中, 在去除光刻胶之后, 可以继续沉积栅极材料 204, 使得栅极材料填充栅区沟槽 203 并且覆盖介质材料层 202。栅极材料可以具有良好的导电性, 其材料可以为 Ti、TiN、W、Ni、NiV、Ta、TaN、Pd、Pt、WSi₂、Au 中的至少一种。栅极材料 204 的沉积方式可以为物理气相沉积(Physical Vapor Deposition, PVD)。

S104, 对栅极材料 204、介质材料层 202、掺杂材料层 201 进行刻蚀, 以形成位于栅极区域 1001 的掺杂层 240, 以及掺杂层 240 上的栅极结构 250, 参考图 14-图 22 所示。

在本申请的实施例中, 在沉积栅极材料 204 之后, 对位于栅极区域 1001 以外的栅极材料 204、介质材料层 202、掺杂材料层 201 进行刻蚀, 最终形成位于栅极区域 1001 的掺杂层 240, 以及掺杂层 240 上的栅极结构 250。

其中, 在平行于沟道层 220 的表面的平面内, 掺杂层 240 的宽度大于栅区沟槽 203 的宽度, 即最终形成的栅极结构 250 的朝向掺杂层 240 的一侧侧壁 251 外围设置有介质结构 260, 使栅极结构 250 的背离掺杂层 240 的一侧侧壁 252 和介质结构 260 的侧壁齐平。

具体实施时, 可以在栅极材料 204 上旋涂光刻胶, 在平行于沟道层 220 的表面的平面内, 光刻胶的宽度大于栅区沟槽 203 的宽度, 而后对光刻胶进行曝光以及显影等处理, 以暴露位于栅极区域 1001 以外的栅极材料 204、介质材料层 202、掺杂材料层 201, 之后依次对暴露的位于栅极区域 1001 以外的栅极材料 204、介质材料层 202、掺杂材料层 201 进行干法刻蚀, 保留位于栅极区域 1001 的栅极材料 204、介质材料层 202、掺杂材料层 201, 最后去除光刻胶, 光刻胶可以利用干法刻蚀和湿法刻蚀去除, 也可以利用其他方式。

在本申请的实施例中, 通过控制在刻蚀介质材料层 202 时, 栅区沟槽 203 的侧壁与栅

区沟槽 203 的底面的夹角等于 90° ，可以形成图 2 所示的栅极结构 250 的朝向掺杂层 240 的一侧侧壁 251 与掺杂层 240 朝向栅极结构 250 并且未被栅极结构 250 覆盖的部分表面 241 之间的夹角等于 90° 的结构。通过控制在刻蚀介质材料层 202 时，栅区沟槽 203 的侧壁与栅区沟槽 203 的底面的夹角不等于 90° ，例如大于 90° ，可以形成图 3 所示的栅极结构 250 的朝向掺杂层 240 的一侧侧壁 251 与掺杂层 240 朝向栅极结构 250 并且未被栅极结构 250 覆盖的部分表面 241 之间的夹角不等于 90° 的结构，例如小于 90° 的结构。

在本申请的实施例中，可以通过控制对栅极材料 204、介质材料层 202、掺杂材料层 201 进行刻蚀的工艺参数，以得到图 4-图 7 所示的多种栅极结构 250 的侧壁与掺杂层 250 的侧壁不在同一平面内的叠层结构，以最终形成介质结构 260 的侧壁与掺杂层 240 的至少部分侧壁齐平；和/或，掺杂层 240 的至少部分侧壁与介质结构 260 的侧壁不平行的结构。

具体实施时，可以在利用光刻胶依次对暴露的位于栅极区域 1001 以外的栅极材料 204、介质材料层 202、掺杂材料层 201 进行干法刻蚀后，对光刻胶进行修剪，而后利用修剪后的光刻胶继续依次对暴露的位于栅极区域 1001 以外的栅极材料 204、介质材料层 202、部分掺杂材料层 201 进行干法刻蚀，以最终得到图 5 或图 7 所示的掺杂层 240 的至少部分侧壁与介质结构 260 的侧壁平行的结构。

在实际应用中，可以在利用光刻胶刻蚀栅极材料 204、介质材料层 202、掺杂材料层 201 时，设置光刻胶覆盖的位于栅区沟槽 203 左侧的介质材料层 202 的宽度大于位于栅区沟槽 203 右侧的介质材料层 202 的宽度，可以获得图 8 所示的位于栅极结构 250 左侧的介质结构 260 的第一部分 261 的宽度大于位于栅极结构 250 右侧的介质结构 260 的第二部分 262 的宽度的介质结构。

在实际应用中，在形成栅极结构 250 的朝向掺杂层 240 的一侧侧壁 251 的回缩结构之后，还可以继续对栅极结构 250 的朝向掺杂层 240 的一侧侧壁 251 进行横向刻蚀，使得栅极结构 250 的侧壁齐平，即栅极结构 250 的朝向掺杂层 240 的一侧侧壁 251 和栅极结构 250 的背离掺杂层 240 的一侧侧壁 252 齐平，此时栅极结构 250 和掺杂层 240 之间形成阶梯形结构。

具体实施时，可以在沉积栅极材料 204 之后，对栅极材料 204、介质材料层 202、掺杂材料层 201 进行刻蚀之前，在栅极材料 204 上形成硬掩模层 270，硬掩模层 270 的形成方式可以为物理气相沉积(Physical Vapor Deposition, PVD)，参考图 15 所示。之后在对栅极材料 204、介质材料层 202、掺杂材料层 201 进行刻蚀时，同时也对硬掩模层 270 进行刻蚀，参考图 16 所示。在经过刻蚀得到栅极结构 250 的朝向掺杂层 240 的一侧侧壁 251 的回缩结构之后，可以以硬掩模层 270 为掩蔽，通过湿法腐蚀对栅极结构 250 进行横向刻蚀，使得栅极结构 250 的至少一侧侧壁齐平，参考图 17 所示。由于在利用湿法腐蚀对栅极结构 250 进行横向刻蚀时，栅极结构 250 的朝向掺杂层 240 的一侧侧壁 251 周围存在介质结构 260，因此能够较好的控制湿法腐蚀的距离，且湿法腐蚀仅针对未被介质结构 260 覆盖的部分侧壁，相较于采用湿法横向腐蚀栅极结构的整个侧壁而言，能够提高工艺制程的稳定性和提高栅极结构 250 侧壁的造型。

在本申请的实施例中，在对栅极结构 250 横向刻蚀完毕后，去除硬掩模层 270，当然

硬掩模 270 也可以不去除而作为栅极结构 250 的保护层。介质结构 260 可以去除，也可以不去除。可以在利用湿法腐蚀去除硬掩模层 270 的同时去除介质结构 260，也可以分为两步工艺分别去除硬掩模层 270 和介质结构 260，本申请对去除硬掩模层 270 和介质结构 260 的工艺顺序不做具体限定，只要最终形成栅极结构 250 和掺杂层 240 之间的阶梯形结构即可，参考图 18 所示。

在本申请的实施例中，图 4-图 8 所示的栅极结构 250 和掺杂层 240 形成的叠层结构，都可以执行对栅极结构 250 进行横向刻蚀的步骤，以获得栅极结构 250 和掺杂层 240 之间的阶梯形结构，如图 19-图 22 所示。

具体实施时，在利用湿法腐蚀对栅极结构 250 进行横向刻蚀时，位于不同方向的栅极结构 250 的侧壁去除厚度相同，对于图 8 所示的非对称结构的栅极结构 250 而言，在横向刻蚀完毕后，可以存在栅极结构 250 的至少一侧侧壁不齐平的情况，如图 22 所示。

由此可见，经过上述工艺后制备得到的栅极结构 250 和掺杂层 240 之间的阶梯形结构，形貌较好，栅极结构 250 的侧壁和未被栅极结构 250 覆盖的掺杂层 240 表面刻蚀损伤较少，减少了器件的漏电流，提高器件性能。

本申请实施例中，参考图 9 所示，还可以在势垒层 230 上的非栅区域 1002 形成源极 253 和漏极 254，源极 253 和漏极 254 分别位于栅极区域 1001 的两侧。源极 253 和漏极 254 均采用导电性较好的材料，源极 253 和漏极 254 的材料为：Ti、TiN、W、Ni、NiV、Ta、Ta₂N、Pd、Pt、WSi₂、Au 中的至少一种。

本申请实施例提供了一种半导体器件的制造方法，在沟道层上依次形成势垒层、掺杂材料层和介质材料层，沟道层和势垒层由 III 族氮化物材料构成，势垒层具有栅极区域，掺杂材料层的材料为包含受体型掺杂元素的 III-V 族化合物，对位于栅极区域的掺杂材料层上的介质材料层进行刻蚀，以形成贯穿介质材料层的栅区沟槽，沉积栅极材料，以使栅极材料填充栅区沟槽，且覆盖介质材料层，对栅极材料、介质材料层、掺杂材料层进行刻蚀，以形成位于栅极区域的掺杂层，以及掺杂层上的栅极结构，栅极结构的朝向掺杂层的一侧侧壁外围设置有介质结构，使栅极结构的背离掺杂层的一侧侧壁和介质结构的侧壁齐平，使栅极结构和掺杂层的侧壁不在同一平面内，栅极结构的朝向掺杂层的一侧侧壁的介质结构隔断了栅极结构背离掺杂层的一侧侧壁和掺杂层侧壁的接触，相当于隔断了栅极结构和掺杂层之间的漏电通道，因此减少了器件的漏电流，提高器件性能。

本说明书中的各个实施例均采用递进的方式描述，各个实施例之间相同相似的部分互相参见即可，每个实施例重点说明的都是与其他实施例的不同之处。

以上为本申请的具体实现方式。应当理解，以上所述实施例仅用以说明本申请的技术方案，而非对其限制；尽管参照前述实施例对本申请进行了详细的说明，本领域的普通技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本申请各实施例技术方案的范围。

权 利 要 求

1.一种半导体器件，其特征在于，包括：

依次层叠的沟道层和势垒层；所述沟道层由Ⅲ族氮化物材料构成，所述势垒层由Ⅲ族氮化物材料构成，所述势垒层具有栅极区域；

5 掺杂层，所述掺杂层位于所述势垒层的背离所述沟道层的一侧，且所述掺杂层位于所述栅极区域；所述掺杂层的材料为包含受体型掺杂元素的Ⅲ-V族化合物；

栅极结构，所述栅极结构位于所述掺杂层的背离所述沟道层的一侧；所述栅极结构的朝向所述掺杂层的一侧侧壁相对于所述掺杂层的侧壁有回缩，且所述栅极结构的朝向所述掺杂层的一侧侧壁相对于所述栅极结构的背离所述掺杂层的一侧侧壁有回缩，使所述栅极
10 结构和所述掺杂层的侧壁不在同一平面内。

2.根据权利要求1所述的器件，其特征在于，所述沟道层的材料为氮化镓，所述势垒层的材料为氮化铝镓，所述掺杂层的材料为包含受体型掺杂元素的氮化镓或氮化铝镓。

3.根据权利要求1或2所述的器件，其特征在于，所述栅极结构的朝向所述掺杂层的一侧侧壁外围设置有介质结构，使所述栅极结构的背离所述掺杂层的一侧侧壁、所述介质结构的侧壁和所述掺杂层的至少部分侧壁齐平。
15

4.根据权利要求1或2所述的器件，其特征在于，所述栅极结构的朝向所述掺杂层的一侧侧壁外围设置有介质结构，使所述栅极结构的背离所述掺杂层的一侧侧壁和所述介质结构的侧壁齐平；所述掺杂层的至少部分侧壁与所述介质结构的侧壁不平行。

5.根据权利要求3或4所述的器件，其特征在于，所述介质结构的材料包括以下材料的至少一种：SiO₂、SiON、SiN_x、AlO_x、AlN_x、GaO_x、TiO_x。
20

6.根据权利要求3-5任一项所述的器件，其特征在于，在平行所述沟道层的表面的平面内，所述介质结构包围所述栅极结构，且位于所述栅极结构不同侧的介质结构的多个部分的宽度不完全相同。

7.根据权利要求3-6任一项所述的器件，其特征在于，所述介质结构在垂直所述沟道层的表面的方向上的尺寸小于5微米。
25

8.根据权利要求1-7任一项所述的器件，其特征在于，所述栅极结构的材料包含以下材料的至少一种：Ti、TiN、W、Ni、NiV、Ta、TaN、Pd、Pt、WSi₂、Au。

9.根据权利要求1-8任一项所述的器件，其特征在于，还包括：

源极和漏极；所述源极和所述漏极位于所述势垒层的背离所述沟道层的一侧，且所述
30 源极和所述漏极分别位于所述栅极区域的两侧。

10.根据权利要求1-9任一项所述的器件，其特征在于，还包括：

基底，所述基底位于所述沟道层背离所述势垒层的一侧。

11.根据权利要求10所述的器件，其特征在于，还包括：

位于所述基底和所述沟道层之间的缓冲层。

35 12.一种半导体器件的制造方法，其特征在于，包括：

在沟道层上依次形成势垒层、掺杂材料层和介质材料层；所述沟道层由Ⅲ族氮化物材料构成，所述势垒层由Ⅲ族氮化物材料构成，所述势垒层具有栅极区域；所述掺杂材料层

的材料为包含受体型掺杂元素的III-V族化合物；

对位于所述栅极区域的掺杂材料层上的介质材料层进行刻蚀，以形成贯穿所述介质材料层的栅区沟槽；

沉积栅极材料，以使所述栅极材料填充所述栅区沟槽，且覆盖所述介质材料层；

5 对所述栅极材料、介质材料层、掺杂材料层进行刻蚀，以形成位于所述栅极区域的掺杂层，以及所述掺杂层上的栅极结构；其中，所述栅极结构的朝向所述掺杂层的一侧侧壁外围设置有介质结构，使所述栅极结构的背离所述掺杂层的一侧侧壁和所述介质结构的侧壁齐平。

10 13.根据权利要求12所述的方法，其特征在于，所述沟道层的材料为氮化镓，所述势垒层的材料为氮化铝镓，所述掺杂层的材料为包含受体型掺杂元素的氮化镓或氮化铝镓。

14.根据权利要求12或13所述的方法，其特征在于，所述介质结构的侧壁与所述掺杂层的至少部分侧壁齐平；和/或，所述掺杂层的至少部分侧壁与所述介质结构的侧壁不平行。

15.根据权利要求12-14任一项所述的方法，其特征在于，对所述栅极材料、介质材料层、掺杂材料层进行刻蚀之前，所述方法还包括：

15 在所述栅极材料上形成硬掩模层；则对所述栅极材料、介质材料层、掺杂材料层进行刻蚀的同时，还对所述硬掩模层进行刻蚀；

在对所述栅极材料、介质材料层、掺杂材料层进行刻蚀之后，还包括：

以所述硬掩模层为掩蔽，通过湿法腐蚀对所述栅极结构进行刻蚀，以使所述栅极结构的至少一侧侧壁齐平。

20 16.根据权利要求15所述的方法，其特征在于，在通过湿法腐蚀对所述栅极结构进行刻蚀后，还包括：

去除所述硬掩模层，和/或，去除所述介质结构。

17.根据权利要求12-16任一项所述的方法，其特征在于，所述介质结构的材料包括以下材料的至少一种：SiO₂、SiON、SiN_x、AlO_x、AlN_x、GaO_x、TiO_x。

25 18.根据权利要求12-17任一项所述的方法，其特征在于，在平行所述沟道层的表面的平面内，所述介质结构包围所述栅极结构，且位于所述栅极结构不同侧的介质结构的多个部分的宽度不完全相同。

19.根据权利要求12-18任一项所述的方法，其特征在于，所述介质结构在垂直所述沟道层的表面的方向上的尺寸小于5微米。

30 20.根据权利要求12-19任一项所述的方法，其特征在于，对位于所述栅极区域的掺杂材料层上的介质材料层进行刻蚀，通过干法刻蚀或湿法腐蚀的方式实现。

21.根据权利要求12-20任一项所述的方法，其特征在于，所述栅极结构的材料包含以下材料的至少一种：Ti、TiN、W、Ni、NiV、Ta、TaN、Pd、Pt、WSi₂、Au。

22.根据权利要求12-21任一项所述的方法，其特征在于，还包括：

35 在所述势垒层上形成源极和漏极；所述源极和所述漏极分别位于所述栅极区域的两侧。

23.根据权利要求12-22任一项所述的方法，其特征在于，所述沟道层背离所述势垒层的一侧设置有基底。

24. 根据权利要求 23 所述的方法，其特征在于，所述沟道层和所述基底之间设置有缓冲层。

25. 一种电子设备，其特征在于，包括电路板，以及与所述电路板连接的、如权利要求 1-11 任意一项所述的半导体器件。

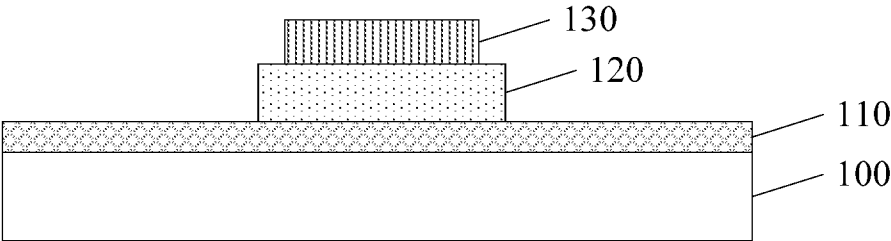


图 1

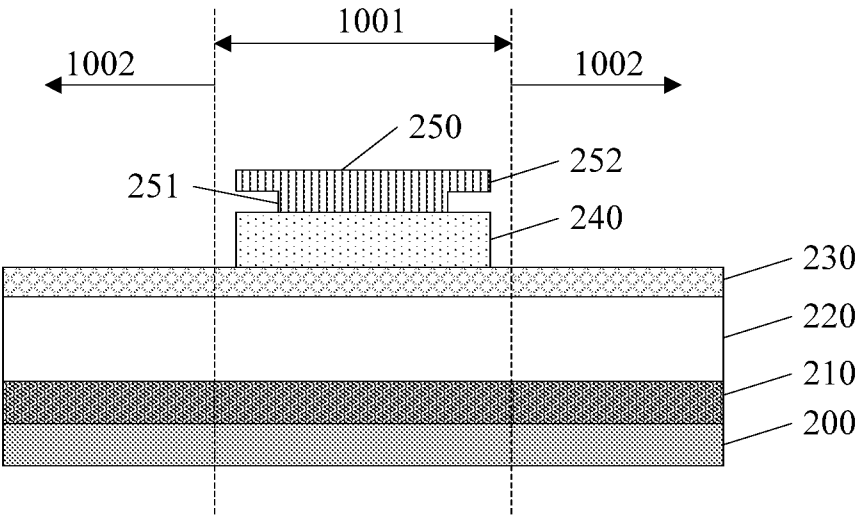


图 2

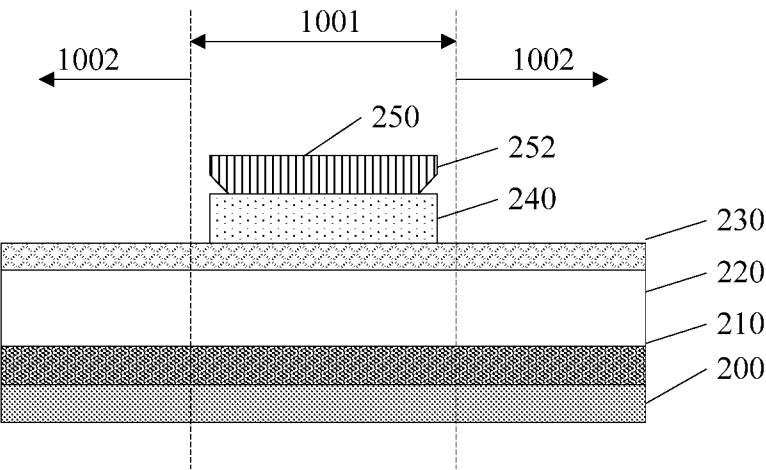


图 3

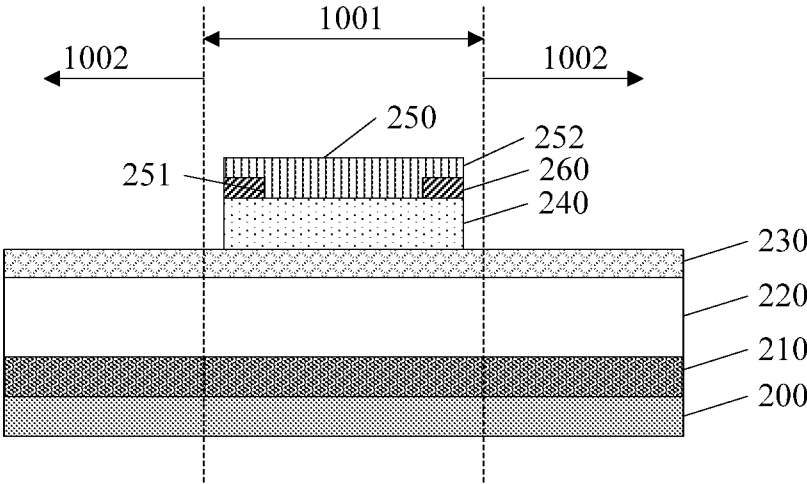


图 4

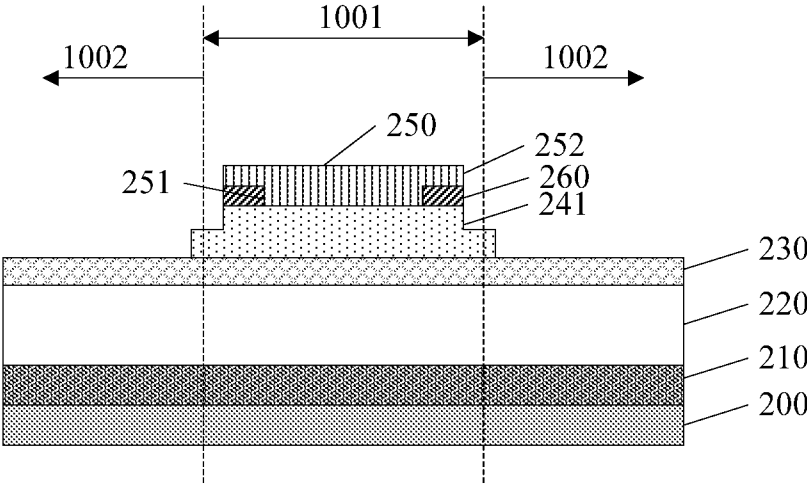


图 5

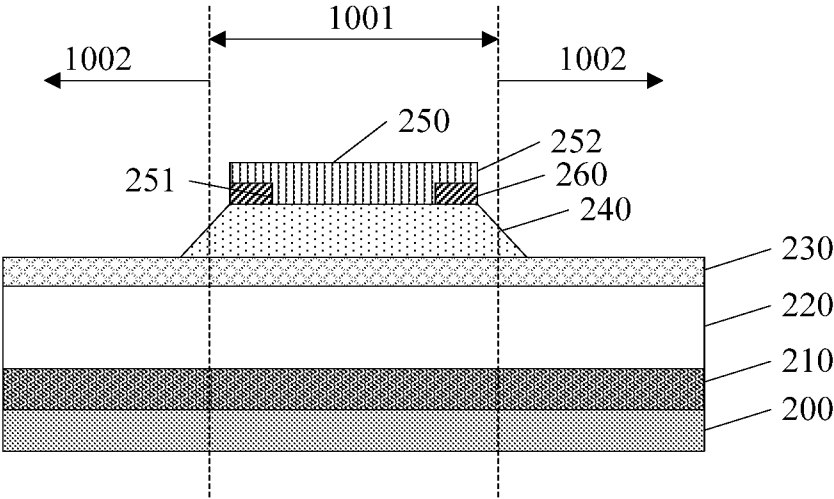


图 6

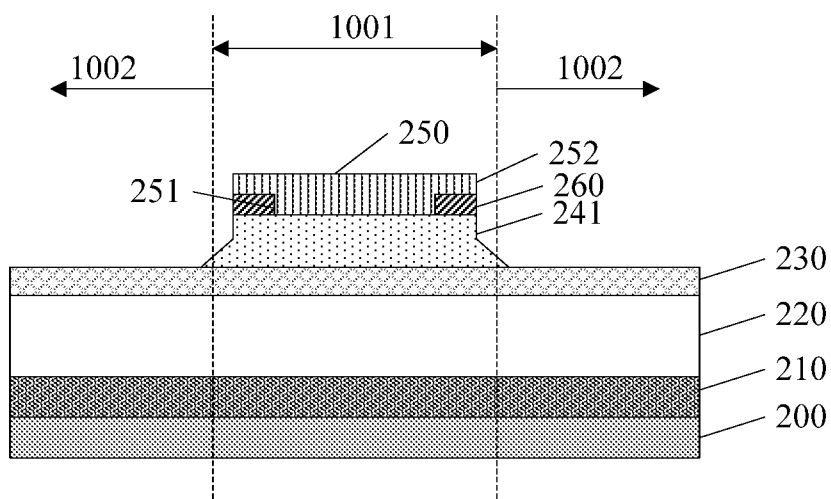


图 7

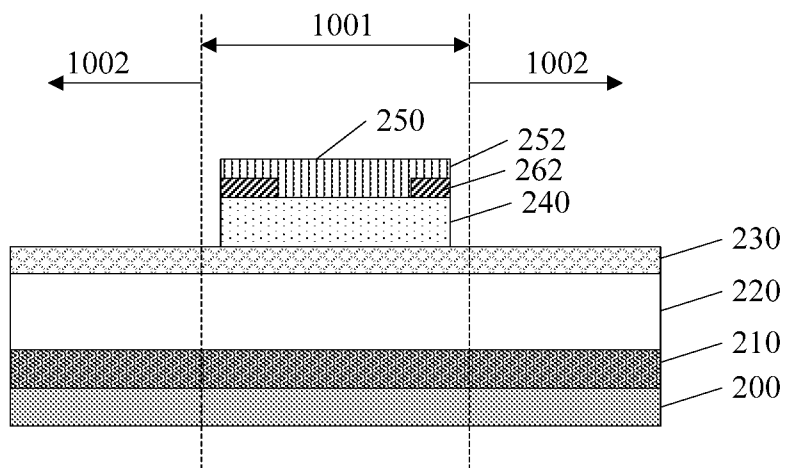


图 8

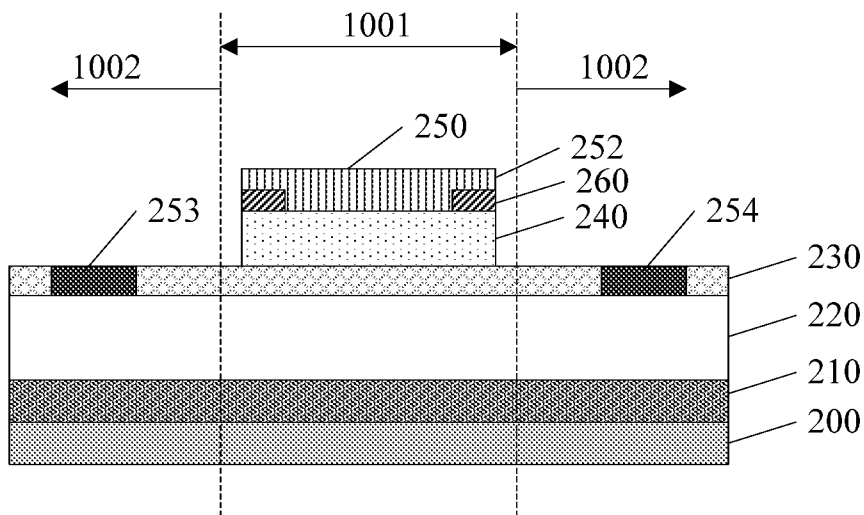


图 9

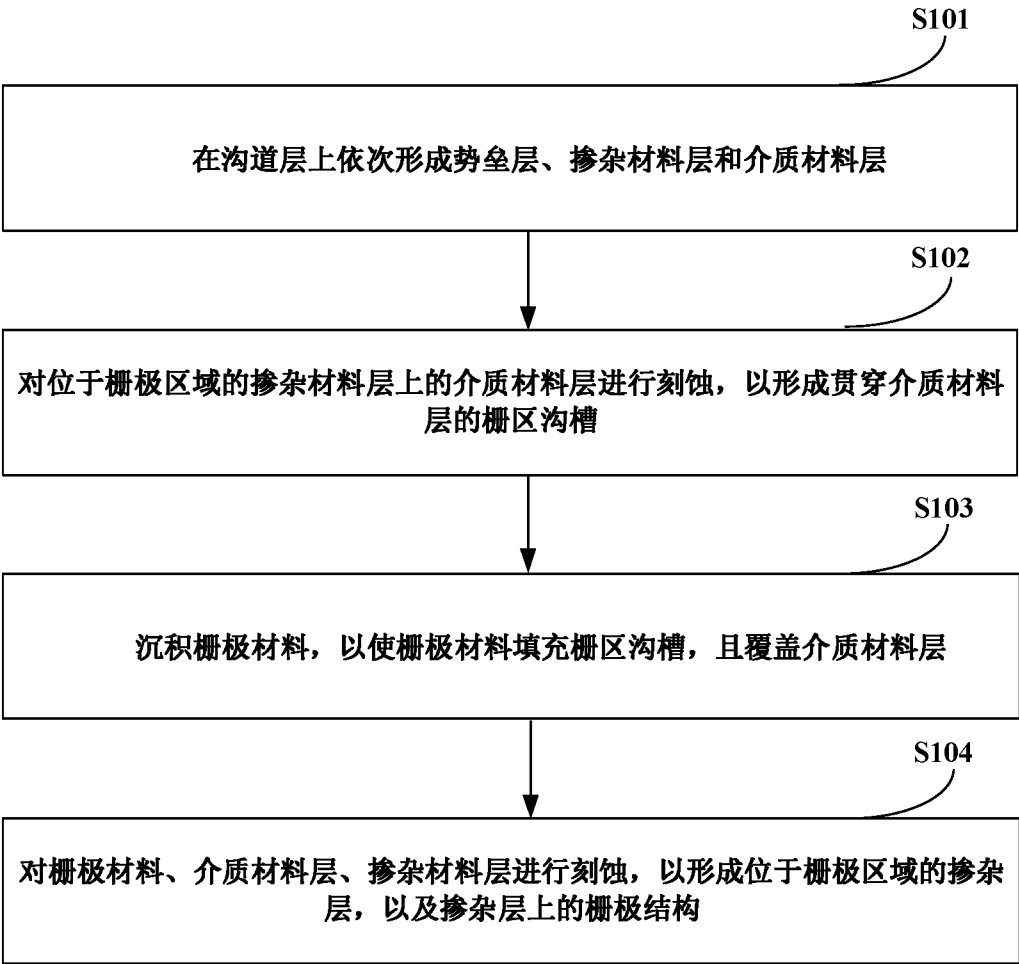


图 10

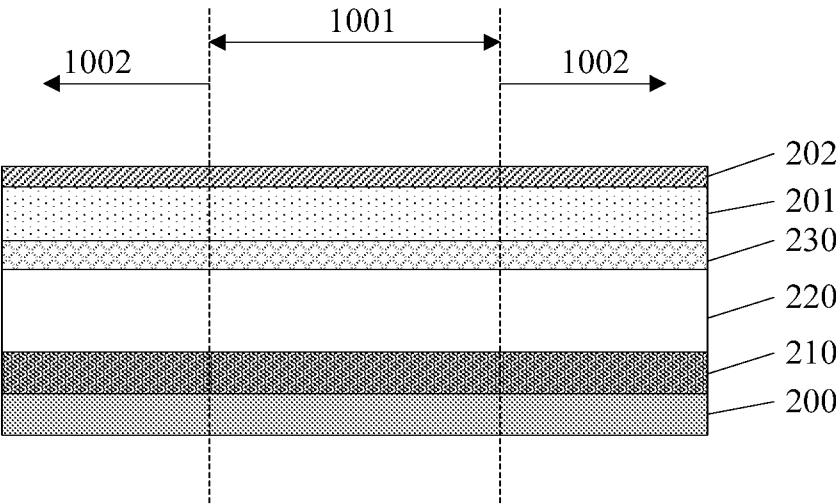


图 11

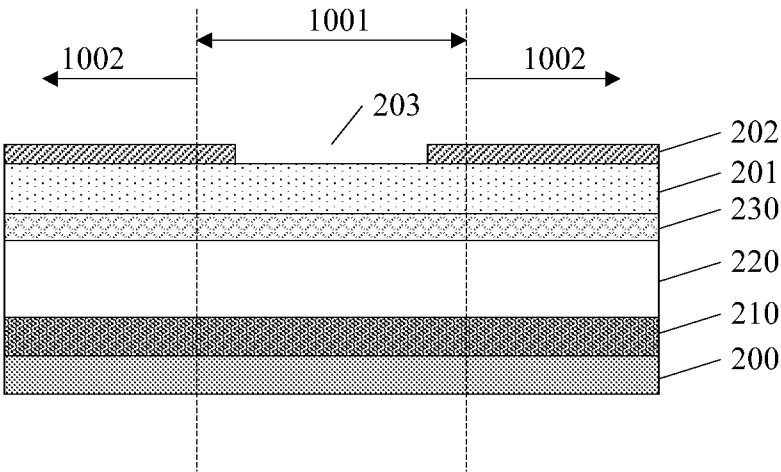


图 12

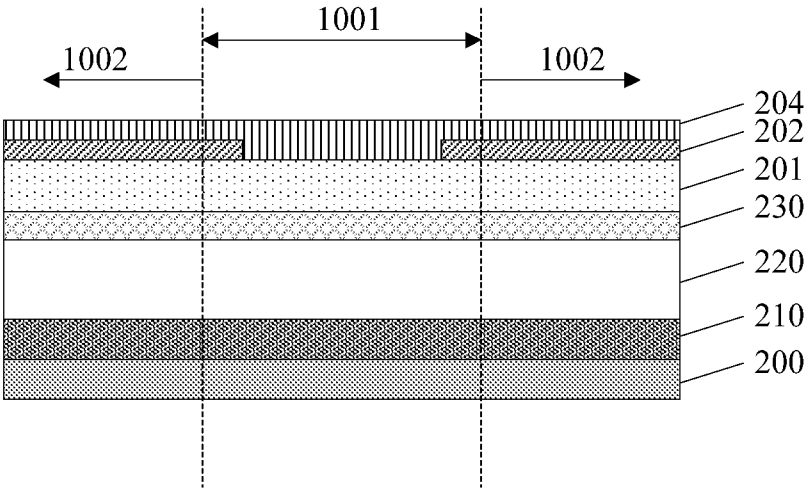


图 13

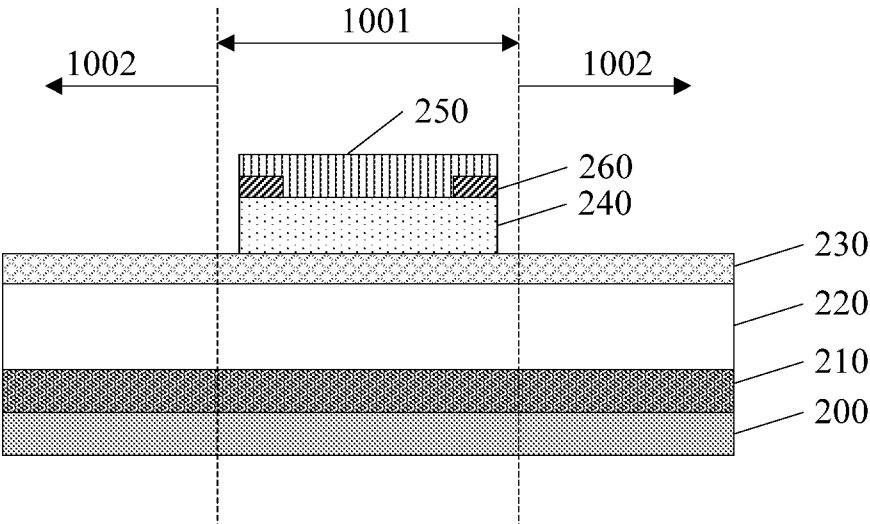


图 14

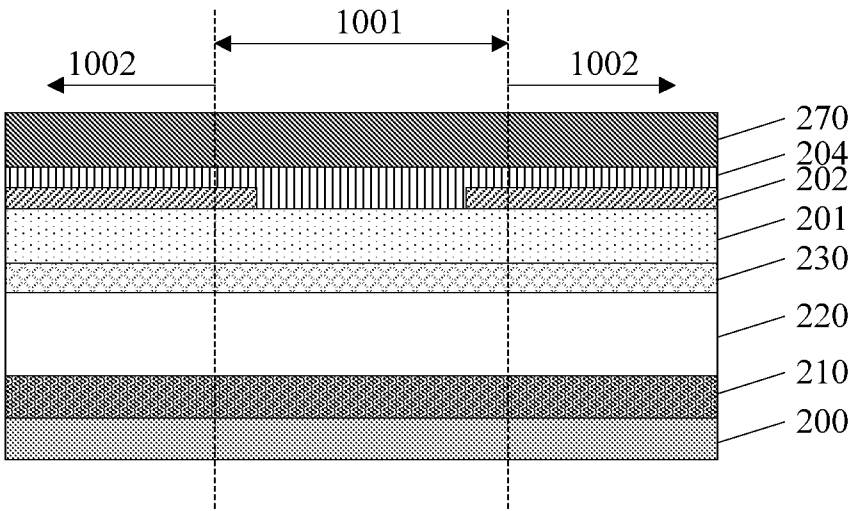


图 15

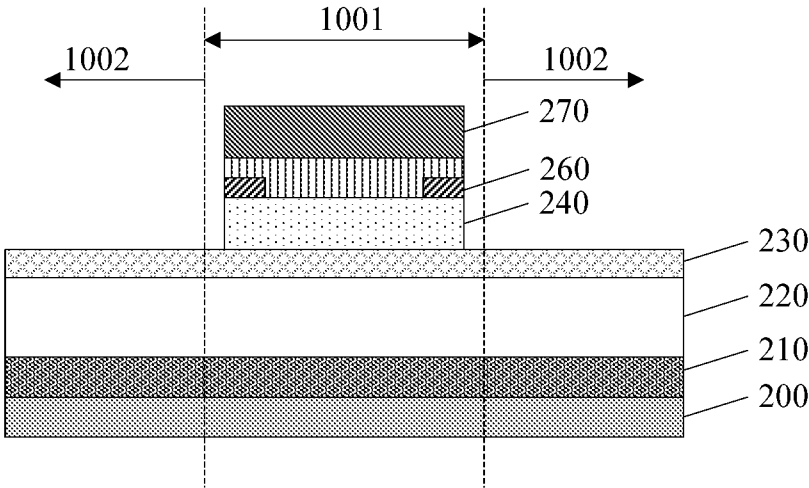


图 16

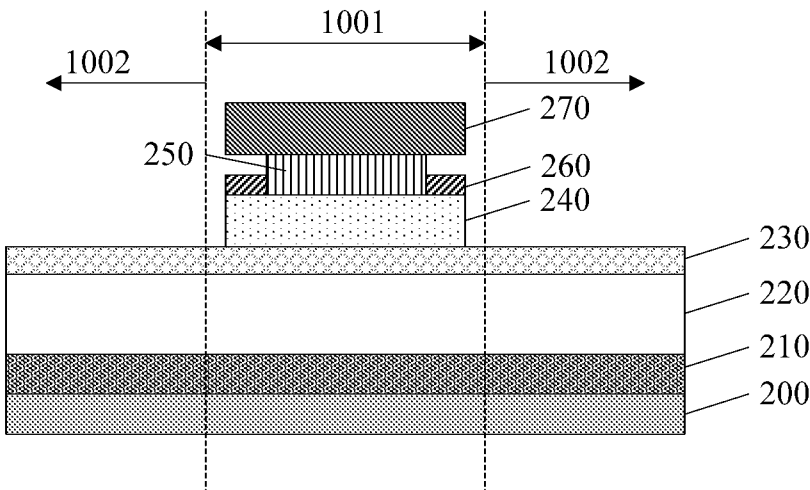


图 17

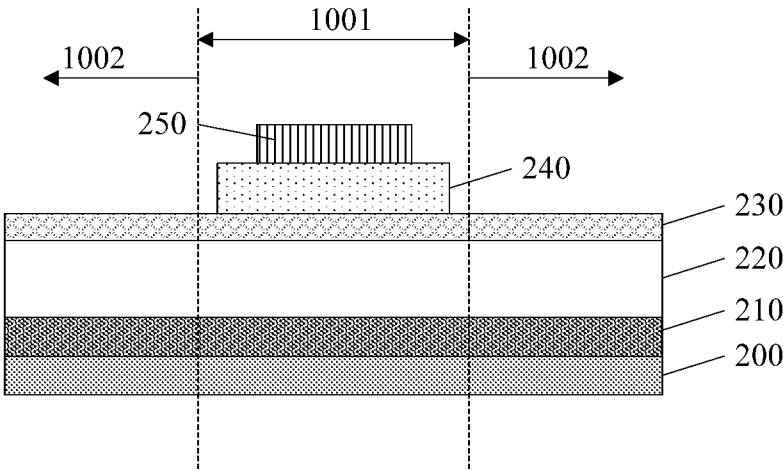


图 18

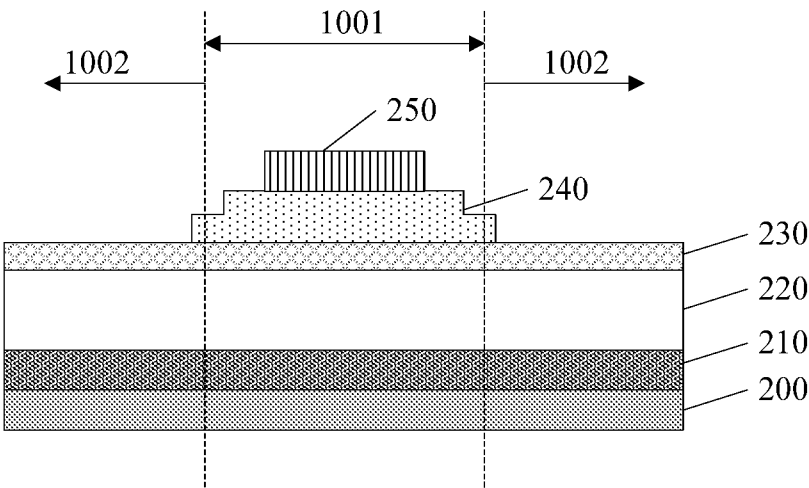


图 19

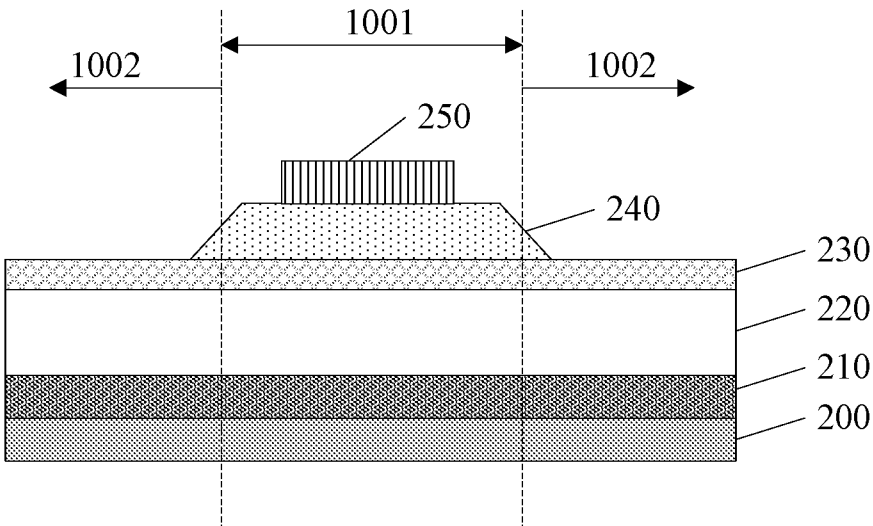


图 20

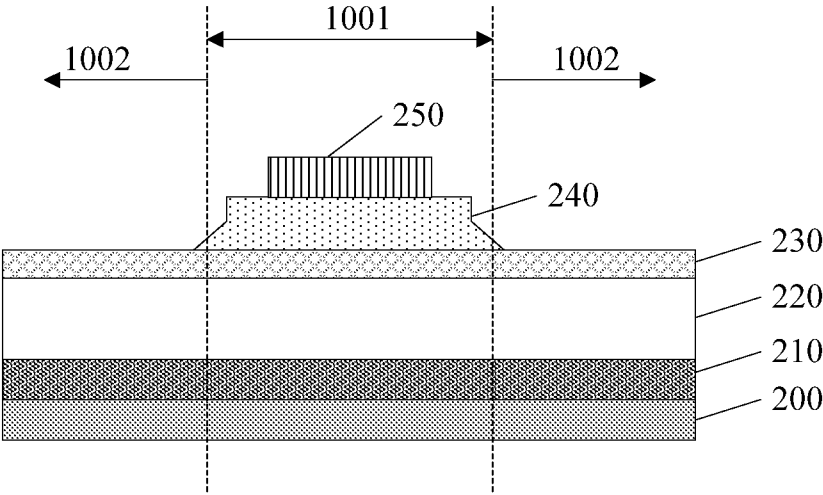


图 21

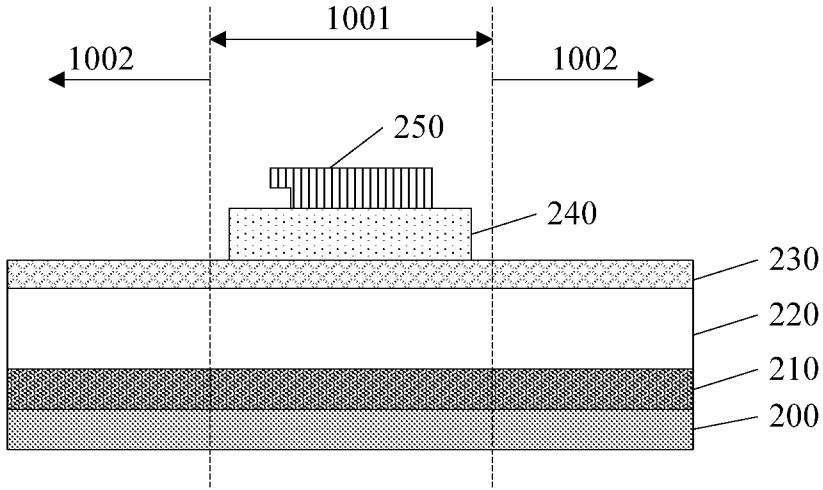


图 22

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/099667

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/778(2006.01)i; H01L 21/336(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/-; H01L29/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; VEN; USTXT; EPTXT; WOTXT; CNKI: 沟道层, 势垒层, III族氮化物, 栅, 掺杂, 侧壁, 平面, channel layer, barrier layer, III nitride, gate, dope, sidewall, plane

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2020176595 A1 (ROHM CO., LTD.) 04 June 2020 (2020-06-04) description, paragraphs 48-80, and figures 1-4	1-25
X	CN 111370471 A (EXCELLIANCE MOS CORP.) 03 July 2020 (2020-07-03) description, paragraphs 40-49, and figures 1A-3	1-11, 25
X	CN 107768439 A (ALPHA & OMEGA SEMICONDUCTOR CAYMAN INC.) 06 March 2018 (2018-03-06) description, paragraphs 19-30, and figures 2-10H	1-11, 25
X	CN 111370300 A (EXCELLIANCE MOS CORP.) 03 July 2020 (2020-07-03) description, paragraphs 34-48, and figures 1A-2D	1-25
A	CN 112750700 A (UNITED MICROELECTRONICS CORP.) 04 May 2021 (2021-05-04) entire document	1-25

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

18 August 2022

Date of mailing of the international search report

31 August 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/099667

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2020176595	A1	04 June 2020	JP	2020088344	A	04 June 2020
CN	111370471	A	03 July 2020	US	2020212173	A1	02 July 2020
				TW	202025488	A	01 July 2020
				US	10784336	B2	22 September 2020
				TW	I679770	B	11 December 2019
CN	107768439	A	06 March 2018	US	2019355844	A1	21 November 2019
				US	2018076310	A1	15 March 2018
				TW	201826534	A	16 July 2018
				US	10777673	B2	15 September 2020
				CN	107768439	B	15 June 2021
				TW	I644429	B	11 December 2018
CN	111370300	A	03 July 2020	TW	I680503	B	21 December 2019
				US	2020212197	A1	02 July 2020
				TW	202025258	A	01 July 2020
				US	10720506	B1	21 July 2020
CN	112750700	A	04 May 2021	US	2021134993	A1	06 May 2021
				US	11088271	B2	10 August 2021

国际检索报告

国际申请号

PCT/CN2022/099667

A. 主题的分类

H01L 29/778(2006.01)i; H01L 21/336(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L21/-; H01L29/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS;CNTXT;VEN;USTXT;EPTXT;WOTXT;CNKI:沟道层, 势垒层, III族氮化物, 栅, 掺杂, 侧壁, 平面, channel layer, barrier layer, III nitride, gate, dope, sidewall, plane

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	US 2020176595 A1 (ROHM CO LTD) 2020年6月4日 (2020 - 06 - 04) 说明书第48-80段, 图1-4	1-25
X	CN 111370471 A (杰力科技股份有限公司) 2020年7月3日 (2020 - 07 - 03) 说明书第40-49段, 图1A-3	1-11、25
X	CN 107768439 A (万国半导体开曼股份有限公司) 2018年3月6日 (2018 - 03 - 06) 说明书第19-30段, 图2-10H	1-11、25
X	CN 111370300 A (杰力科技股份有限公司) 2020年7月3日 (2020 - 07 - 03) 说明书第34-48段, 图1A-2D	1-25
A	CN 112750700 A (联华电子股份有限公司) 2021年5月4日 (2021 - 05 - 04) 全文	1-25

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2022年8月18日

国际检索报告邮寄日期

2022年8月31日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

黄宝莹

电话号码 86-(20)-28958381

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/099667

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	2020176595	A1	2020年6月4日	JP	2020088344	A	2020年6月4日
CN	111370471	A	2020年7月3日	US	2020212173	A1	2020年7月2日
				TW	202025488	A	2020年7月1日
				US	10784336	B2	2020年9月22日
				TW	I679770	B	2019年12月11日
CN	107768439	A	2018年3月6日	US	2019355844	A1	2019年11月21日
				US	2018076310	A1	2018年3月15日
				TW	201826534	A	2018年7月16日
				US	10777673	B2	2020年9月15日
				CN	107768439	B	2021年6月15日
				TW	I644429	B	2018年12月11日
CN	111370300	A	2020年7月3日	TW	I680503	B	2019年12月21日
				US	2020212197	A1	2020年7月2日
				TW	202025258	A	2020年7月1日
				US	10720506	B1	2020年7月21日
CN	112750700	A	2021年5月4日	US	2021134993	A1	2021年5月6日
				US	11088271	B2	2021年8月10日