

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G05F 1/56 (2006.01)

H03F 3/45 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200610105520.4

[43] 公开日 2007年2月7日

[11] 公开号 CN 1908840A

[22] 申请日 2006.7.14

[21] 申请号 200610105520.4

[30] 优先权

[32] 2005.8.5 [33] JP [31] 2005-228701

[71] 申请人 三洋电机株式会社

地址 日本国大阪府

[72] 发明人 长谷川和男

[74] 专利代理机构 中科专利商标代理有限责任公司
代理人 李香兰

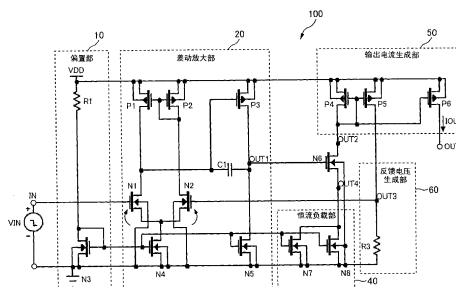
权利要求书1页 说明书9页 附图5页

[54] 发明名称

恒流电路

[57] 摘要

一种恒流电路，具有：差动放大部，被施加输入电压和作为其比较对象的反馈电压，输出输入电压和反馈电压之间的差动电压；一个第一晶体管，对第一控制电极施加差动电压；一个第一二极管元件，与第一晶体管的电源侧电极连接；一个或多个第二晶体管，通过第一晶体管的驱动，将在第一二极管元件中流过二极管电流的结果所生成的第一二极管元件的压降施加到第二控制电极，生成复制了二极管电流的输出电流；反馈电压生成部，将流入第二晶体管的二极管电流的复制电流变换为反馈电压并反馈到差动放大部；和恒流负载部，与第一晶体管的接地侧电极连接，使接地电极侧的电压变化跟踪第一控制电极的电压变化，并成为第一晶体管接地侧的恒流负载。



1、一种恒流电路，生成与输入电压对应的一定的输出电流，具有：
差动放大部，其被施加所述输入电压和作为其比较对象的反馈电压，输出所述输入电压和所述反馈电压之间的差动电压；
一个第一晶体管，对第一控制电极施加所述差动电压；
一个第一二极管元件，与所述第一晶体管的电源侧电极连接；
一个或多个第二晶体管，其通过所述第一晶体管的驱动，将在所述第一二极管元件中流过二极管电流的结果所生成的所述第一二极管元件的压降施加到第二控制电极，生成复制了所述二极管电流的所述输出电流；
反馈电压生成部，其将流入所述第二晶体管的所述二极管电流的复制电流变换为所述反馈电压并反馈到所述差动放大部；和
恒流负载部，其与所述第一晶体管的接地侧电极连接，使所述接地电极侧的电压变化跟踪所述第一控制电极的电压变化，并且，成为所述第一晶体管的接地侧的恒流负载。

2、根据权利要求1所述的恒流电路，其特征在于，
所述恒流负载部，通过将在一个第二二极管元件中流过二极管电流后的结果所产生的压降施加给第三控制电极，将流过所述第二二极管元件的二极管电流的复制电流的一个或多个第三晶体管，作为所述恒流负载。

3、根据权利要求1或2所述的恒流电路，其特征在于，
所述差动放大部，包括：
差动晶体管对，其对一方晶体的控制电极施加所述输入电压，对另一方晶体的控制电极施加所述反馈电压，所述一方和所述另一方晶体的接地侧电极共通连接，将施加给所述一方或所述另一方晶体的电压作为所述差动电压输出；及
恒流源，其与所述差动晶体管对的接地侧电极直接连接、流过所述差动晶体管对的合成电流。

恒流电路

技术领域

本发明涉及一种恒流电路。

背景技术

图3表示现有恒流电路的一个例子(例如,参照以下所示的专利文献1的图1)。另外,恒流电路应用于例如生成增益可变放大器(例如,参照以下所示专利文献2)的基准电流的电路等中。

首先,节点OUT1是运算放大器13的输出和N型MOS晶体管N6的栅电极之间的节点,节点OUT2是电阻元件R2和N型MOS晶体管N6的漏电极之间的节点,节点OUT3是P型MOS晶体管P5的漏电极和电阻元件R3之间的节点。

自输入端子IN对运算放大器13的非反相输入端子(+)施加输入电压VIN,对其反相输入端子(-)施加节点OUT3中的节点电压VOUT3。运算放大器13的输出电压,换言之,节点OUT1中的节点电压VOUT1施加在N型MOS晶体管N6的栅电极。对P型MOS晶体管P5、P6的源电极施加电源电压VDD,对其栅电极施加节点OUT2中的节点电压VOUT2。对P型MOS晶体管P5的漏电极施加节点电压VOUT3。对电阻元件R2的一方端子供给电源电压VDD,另一方端子施加节点电压VOUT2。对N型MOS晶体管N6的漏电极施加节点电压VOUT2,其源电极施加接地电压VSS。

在所述构成中,运算放大器13将输入电压VIN和节点电压VOUT3进行比较,并且将对应于该差值的输出电压(节点电压VOUT1)施加在N型MOS晶体管N6的栅电极。N型MOS晶体管N6,通过在电阻元件R2中流过对应于栅漏极间电压Vgs的漏极电流Id,使在电子元件R2上产生压降(=R2×Id)。结果,在节点OUT2处产生节点电压VOUT2。

另外,该节点电压VOUT2被施加到P型MOS晶体管P5的栅电极。

因此, P 型 MOS 晶体管 P5 通过在电阻元件 R3 中流过与栅源极间电压 V_{gs} 对应的漏极电流 I_d , 使在电阻元件 R3 上产生压降 ($=R3 \times I_d$)。结果, 在节点 OUT3 产生节点电压 V_{OUT3} , 并反馈到运算放大器 13 的反相输入端子 (一)。

图 3 所示的现有恒流电路, 通过所述一系列的动作, 进行调整以使输入电压 V_{IN} 和节点电压 V_{OUT3} 为相同电平。另外, 在 P 型 MOS 晶体管 P5 中, 因为其栅电极和其漏电极可以独立地控制, 所以, 其漏极电流或进一步说, 电阻元件 R3 的压降不受限制。因此, 如图 4 所示, 表示了输入电压 V_{IN} 的电平上升, 同时由电阻元件 R2 的压降而决定的节点电压 V_{OUT2} 的电平将持续下降, 相反, 由电阻元件 R3 的压降所决定的节点电压 V_{OUT3} 的电平将持续上升的特性。这样, 输入电压 V_{IN} 的电压设定范围与运算放大器 13 的可动作范围相等, 能够确保很宽的输入电压设定范围。

但是, 本发明者实施了用于验证图 3 所示的现有恒流电路所对应的图 5 所示的恒流电路 200 的动作用的电路模拟。另外, 图 6 是表示该模拟结果的图。

图 5 所示的恒流电路 200 中的差动放大部 20, 与图 3 所示的运算放大器 13 对应, 偏置部 10 生成用于驱动差动放大部 20 等的后级电路的各个晶体管的偏置。另外, 输出电流生成部 30 由与 N 型 MOS 晶体管 N6 的漏电极侧连接的电阻元件 R2、电阻元件 R2 的压降施加给栅电极的 P 型 MOS 晶体管 P5、P6 构成, 其生成输出电流 I_{out} 作为 P 型 MOS 晶体管 P6 的漏极电流。并且, 反馈电压生成部 60 将电阻元件 R3 与 P 型 MOS 晶体管 P5 的漏电极侧连接, 将作为其连接部的节点 OUT3 中的节点电压 V_{OUT3} (反馈电压), 反馈到与运算放大器 13 的反相输入端子对应的 N 型 MOS 晶体管 N2 的栅电极。

图 6 (a) 表示各个节点电压 $V_{IN1} \sim 3$ 相对输入电压 V_{IN} 的响应波形, 图 6 (b) 是表示相对于输入电压 V_{IN} 由输出端子 OUT 输出的输出电流 I_{OUT} 的响应波形的图。

如图 6 (a) 所示, 表示了节点电压 V_{OUT2} 、 V_{OUT3} 在输入电压 V_{IN} 超过规定阈值 (在图 6 的状态下, 输入电压 V_{IN} 为 0.90V 左右) 时, 电位

急剧变化特性，可确认没有如图 4 所示那样，相对输入电压 V_{IN} 表现出线性的控制响应。并且，可确认节点电压 V_{OUT1} 也同样是非线性控制响应。结果，如图 6 (b) 所示，对于输出电流 I_{OUT} 也是非线性的控制响应。

这里，N 型 MOS 晶体管 N6 和 P 型 MOS 晶体管 P5 将节点电压 V_{OUT1} 作为输入电压，将节点电压 V_{OUT3} 作为输出电压，构成所谓的 2 级放大电路。即，意味着差动放大部 20 的反馈路径中包括高增益的 2 级放大电路。这里，众所周知，在所谓波特图上，随着增益升高，相应地相位余度（增益为 0dB 时、相位达到 -180° 之前存在多少余度的指标）越不足，因此如果不进行适当的相位补偿，则差动放大部 20 的输出可能振荡。

因此，为了避免差动放大部 20 的输出振荡，想到了降低 N 型 MOS 晶体管 N6 与 P 型 MOS 晶体管 P5 的各自增益，即降低各互导（mutual conductance） g_m （表示输出电流相对于输入电压的关系的传递特性）的对策。这里，互导 g_m 一般用下面的式 (1) 表示。因此，为了降低 N 型 MOS 晶体管 N6 和 P 型晶体管 MOS 晶体管 P5 的各 g_m ，必须减小各个晶体管尺寸比（ W/L ）。

$$g_m = \Delta I_d / \Delta V_{gs} = (W/L) \cdot \mu_n \cdot C_{ox} \cdot V_d \quad \dots\dots \text{式 (1)}$$

其中，L：沟道长度，W：沟道宽度， I_d ：漏极电流， μ_n ：迁移率， V_{gs} ：栅源极间电压， C_{ox} ：氧化膜的静电电容。

这里，为了降低 N 型 MOS 晶体管 N6 与 P 型 MOS 晶体管 P5 的晶体管尺寸比（ W/L ），例如，在增大各晶体管的沟道长度 L 时，作为其代价，必须升高应该对 N 型 MOS 晶体管 N6 和 P 型 MOS 晶体管 P5 的各栅电极所施加的栅极电压的电平。升高栅极电压的电平，相应地，也必须升高电源电压 V_{DD} 的电平。这样，在降低 N 型 MOS 晶体管 N6 与 P 型 MOS 晶体管 P5 的各 g_m 时，相应地对各晶体管需要施加高电平的动作电压，并且如果电源电压 V_{DD} 的电平不高，则可能产生不动作的问题。另外，并不局限于恒流电路，以低电压电源驱动安装在电子设备中的电路是时代的要求。

另外，为了避免差动放大部 20 的输出的振荡，首先，考虑的对策是降低差动放大部 20 自身的增益。在图 5 所示的恒流电路 200 中，差动放大部 20 的 N 型 MOS 晶体管对（N1、N2）的源电极侧分别设置有电阻元件 R3、R4。但是，伴随着设置电阻元件 R3、R4，由于电阻元件 R3、R4

的两端电压，增加了差动放大部 20 的输出偏置，使得对差动放大部 20 的两个输入的偏差的补偿能力降低。随着该偏置的增加，难以将最终得到的输出端子 OUT 的输出电流 IOUT 调整到规定的设定电流。进而，即使设置电阻元件 R3、R4 降低差动放大部 20 自身的增益，由于 N 型 MOS 晶体管 N6 和 P 型 MOS 晶体管 P5 的 2 级放大电路至少具有超过“1 (0dB)”的增益，所以还是存在相位余度不足。因此，如果在差动放大部 20 的输出和其反馈输入之间存在数飞托~数十飞托 (Femto) 左右的寄生电容，就可能存在导致振荡的问题。

专利文献 1：专利第 3423634 号公报

专利文献 2：特开 2004-120306 号公报

发明内容

本发明目的在于，提供一种抑制振荡动作的同时能够以低电压工作的恒流电路。

本发明主要解决所述问题，在生成与输入电压对应的一定输出电流的恒流电路中，具有：差动放大部，其被施加所述输入电压和作为其比较对象的反馈电压，输出所述输入电压和所述反馈电压之间的差动电压；对第一控制电极施加所述差动电压的一个第一晶体管；与所述第一晶体管的电源侧电极连接的一个第一二极管元件；一个或多个第二晶体管，通过所述第一晶体管的驱动，将在所述第一二极管元件中流过二极管电流的结果所生成的所述第一二极管元件的压降施加到第二控制电极，生成复制了所述二极管电流的所述输出电流；反馈电压生成部，将流过所述第二晶体管的所述二极管电流的复制电流变换成所述反馈电压并反馈到所述差动放大部；和恒流负载部，其与所述第一晶体管的接地侧电极连接，使所述接地电极侧的电压变化跟踪所述第一控制电极的电压变化，并且，成为所述第一晶体管的接地侧的恒流负载。

根据本发明，可以提供一种抑制振荡动作的同时能够以低电压工作的恒流电路。

附图说明

图 1 是表示本发明一实施方式所涉及的恒流电路的构成图。

图 2 是在本发明一实施方式所涉及的恒流电路中，（a）表示响应输入电压的各节点电压的模拟波形的图，（b）表示响应输入电压的输出电流的模拟波形的图。

图 3 是表示现有恒流电路的构成的图。

图 4 是表示响应现有恒流电路中的输入电压的各节点电压波形的图。

图 5 是表示现有恒流电路所涉及的模拟用的详细构成的图。

图 6 是现有恒流电路中，（a）表示响应输入电压的各节点电压的模拟波形的图，（b）是表示响应输入电压的输出电流的模拟波形的图。

图中：100、200—恒流电路，10—偏置部，20—差动放大部，30、50—输出电流生成部，60—反馈电压生成部。

具体实施方式

图 1 是表示本发明所涉及的恒流电路 100 的构成图。另外，对与图 5 所示的恒流电路 200 相同的构成要素赋予相同的符号。

偏置部 10，生成用于驱动构成差动放大部 20 等后级电路的各个晶体管的偏置电压。偏置部 10，通过在电源电压 VDD 和接地电压 VSS 之间，串联连接电阻元件 R1 和所谓被二极管连接（漏电极和栅电极短路）的 N 型 MOS 晶体管 N3 而构成。

电阻元件 R1 的电源电压 VDD 侧的一方端子，与差动放大部 20 所具有的 P 型 MOS 晶体管 P1~P3、构成输出电流生成部 50 的 P 型 MOS 晶体管 P4~P6 的各源电极连接，对后级的各 P 型 MOS 晶体管 P1~P6 施加电源电压 VDD。

另一方面，N 型 MOS 晶体管 N3 的源电极，与差动放大部 20 所具有的 N 型 MOS 晶体管 N4、N5，构成恒流负载部 40 的 N 型 MOS 晶体管 N7、N8 的各个源电极连接，对后级的各 N 型 MOS 晶体管 N4、N5、N7、N8 施加接地电压 VSS。另外，N 型 MOS 晶体管 N3 的栅电极，与后级的各 N 型 MOS 晶体管 N4、N5、N7、N8 的各栅电极共通连接，构成所谓电流反射镜电路。由此，N 型 MOS 晶体管 N3 的源极电流，与预先设定的基于晶体管尺寸比的电流反射比对应，被复制作为后级的各 N 型 MOS 晶

晶体管 N4、N5、N7、N8 的源极电流。

在差动放大部 20 中，对与非反相输入端子对应的 N 型 MOS 晶体管 N1 的栅电极（本发明所涉及的“一方晶体管的控制电极”）施加输入电压 V_{IN} ，并且，对与反相输入端子对应的 N 型 MOS 晶体管 N2 的栅电极（本发明所涉及的“另一方晶体管的控制电极”）施加作为输入电压 V_{IN} 的比较对象的节点电压 V_{OUT3} （本发明所涉及的“反馈电压”）。另外，差动放大部 20，将与输入电压 V_{IN} 和节点电压 V_{OUT3} 的差（ $=V_{IN}-V_{OUT3}$ ）成比例的电压作为节点电压 V_{OUT1} 输出。

另外，作为本实施方式中的差动放大部 20 的电路构成，首先，源电极被共通连接的 N 型 MOS 晶体管 N1、N2 构成差动晶体管对。N 型 MOS 晶体管 N1、N2 的各漏电极与构成电流反射镜电路的 P 型 MOS 晶体管 P1、P2 的各漏电极连接。由 P 型 MOS 晶体管 P1、P2 构成的电流反射镜电路起到 N 型 MOS 晶体管 N1、N2 的漏电极侧的各恒流源的作用。

另一方面，N 型 MOS 晶体管 N1、N2 的各源电极，直接与 N 型 MOS 晶体管 N4 的漏电极连接。另外，N 型 MOS 晶体管 N4 通过与被二极管连接的 N 型 MOS 晶体管 N3 之间的组合构成电流反射镜电路。因此，N 型 MOS 晶体管 N4 起到 N 型 MOS 晶体管 N1、N2 的源电极侧的恒流源的作用。

这里表示了如下的互补关系：N 型 MOS 晶体管 N1、N2 的源电极侧的合成电流，除通过 N 型 MOS 晶体管 N4 的恒流源决定之外，与输入电压 V_{IN} 和节点电压 V_{OUT3} 的电平差对应，流入 N 型 MOS 晶体管 N1、N2 的电流，如果一方增加则另一方减少。结果，与输入电压 V_{IN} 和节点电压 V_{OUT3} 的电平差对应，N 型 MOS 晶体管 N1 的漏极电压变化。

P 型 MOS 晶体管 P3 和 N 型 MOS 晶体管 N5 串联连接，构成差动放大部 20 的单向输出级电路。即，P 型 MOS 晶体管 P3 的栅电极，被施加 N 型 MOS 晶体管 N1 的漏极电压。结果，在 P 型 MOS 晶体管 P3 与 N 型 MOS 晶体管 N5 之间的信号线中所设定的节点 OUT1 中，生成作为差动放大部 20 的输出的节点电压 V_{OUT1} （本发明所涉及的“差动电压”）。另外，作为节点电压 V_{OUT1} 的相位补偿用，在节点 OUT1 和 P 型 MOS 晶体管 P3 的栅电极之间设置有电容器 C1。

对 N 型 MOS 晶体管 N6 的栅电极（本发明所涉及的“第一晶体管的栅电极”）施加作为差动放大部 20 的输出的节点电压 VOUT1。即，N 型 MOS 晶体管 N6 基于节点电压 VOUT1 与设定在源电极侧的节点 OUT4 中的节点电压 VOUT4 之间的电位差（ $=VOUT1 - VOUT4$ ），即栅源极间电压 V_{gs} 被驱动。另外，N 型 MOS 晶体管 N6 的漏电极侧（本发明所涉及的“第一晶体管的电源侧电极”）连接输出电流生成部 50，并且，其源电极侧（本发明所涉及的“第一晶体管的接地侧电极”）连接恒流负载部 40。这里，在 N 型 MOS 晶体管 N6 的漏电极侧设置节点 OUT2，并且，在其源电极侧设定节点 OUT4。

输出电流生成部 50，生成与输入电压 VIN 对应的一定输出电流 IOU。另外，反馈电压生成部 60，将与输出电流 IOU 对应的电压（后述的节点电压 VOUT3）反馈到差动放大部 20。

详细而言，在输出电流生成部 50 中，首先将图 5 所示的现有恒流电路 200 的输出电流生成部 30 中的电阻元件 R2 替换为二极管连接（栅电极和漏电极短路）的 P 型 MOS 晶体管 P4（本发明所涉及的“第一二极管元件”）。进而，在输出电流生成部 50 中，通过相对 P 型 MOS 晶体管 P4 的栅电极，将 P 型 MOS 晶体管 P5、P6 的各栅电极共通连接，构成所谓的电流反射镜电路。

即，P 型 MOS 晶体管 P4，通过 N 型 MOS 晶体管 N6 的驱动而改变漏极电压，并且，根据其漏极电压和源极电压（电源电压 VDD）之间的关系在自身流过二极管电流。通过将该结果所生成 P 型 MOS 晶体管 P4 的压降施加到 P 型 MOS 晶体管 P5、P6 的各栅电极，在 P 型 MOS 晶体管 P5、P6 中分别流过复制了 P 型 MOS 晶体管 P4 的二极管电流的复制电流。本实施方式中，从设置在 P 型 MOS 晶体管 P6 的漏电极侧的输出端子 OUT，得到作为其复制电流的一定的输出电流 IOU，但是也可以从 P 型 MOS 晶体管 P5 的漏电极侧取得输出电流 IOU。另外，并不局限于由 P 型 MOS 晶体管 P4、P5、P6 构成的 3 级电流反射镜电路结构，也可以采用 3 级以外的电流反射镜电路结构。

反馈电压生成部 60，串联连接 P 型 MOS 晶体管 P5 的漏电极和电阻元件 R3。通过流入 P 型 MOS 晶体管 P5 的电流也流入电阻元件 R3，生成

电阻元件 R3 的压降。因此，在 P 型 MOS 晶体管 P5 和电阻元件 R3 之间的信号线中所设置的节点 OUT3 中，生成与电阻元件 R3 的压降对应的节点电压 VOUT3。而且，该节点电压 VOUT3 反馈到差动放大部 20 中的 N 型 MOS 晶体管 N 的栅电极。

这里，如上所述，由于 P 型 MOS 晶体管 P4、P5、P6 构成电流反射镜电路，所以，流入 P 型 MOS 晶体管 P4 中的二极管电流被分别复制作为流入 P 型 MOS 晶体管 P5、P6 的电流。因此，输出电流生成部 50 的电流增益为“1 (0dB)”。另外，由于 P 型 MOS 晶体管 P4 起到一般的二极管元件的作用，所以，生成由该晶体管尺寸比确定的大致一定的压降（漏源极间电压）。因此，由于 P 型 MOS 晶体管 P5、P6 的栅电极被施加大致一定的栅极电压，所以，P 型 MOS 晶体管 P5、P6 的各互导 g_m 也为一定。

这样，输出电流生成部 50，不会如图 5 所示的现有恒流电路 200 那样，由 P 型 MOS 晶体管 P5 和 N 型 MOS 晶体管 N6 构成高增益的二级放大电路。因此，不会如图 5 所示的现有恒流电路 200 那样，对差动放大部 20 反馈高增益的节点电压 VOUT3，由此，抑制了差动放大部 20 的输出振荡。

另外，与图 5 所示的现有恒流电路 200 相比，由于采用了构成电流反射镜电路的输出电流生成部 50，所以，降低了差动放大部 20 的反馈路径间的电压与电流增益。因而，没有必要如图 5 所示的现有恒流电路 200 的差动放大部 20 那样，通过在差动晶体管对 (N1、N2) 和作为恒流源的 N 型 MOS 晶体管 N4 之间分别设置电阻元件 R1、R2，降低差动放大部 20 的自身增益。

恒流负载部 40，具有与 N 型 MOS 晶体管 N3 构成电流反射镜电路的 N 型 MOS 晶体管 N7、N8。恒流负载部 40 通过与 N 型 MOS 晶体管 N6 之间的组合，构成其源极电压的变化跟踪 N 型 MOS 晶体管 N6 的栅极电压的变化的、所谓源跟随型。因而，在相当于 N 型 MOS 晶体管 N6 的栅极电压的节点电压 VOUT1 和相当于其源极电压的节点电压 VOUT4 之间的关系中，用节点电压 VOUT4 对节点电压 VOUT1 之比（=节点电压 OUT4/节点电压 OUT1）表示的电压增益理想地为“1 (0dB)”。

这里，所述电压增益为“1”是指 N 型 MOS 晶体管 N6 的栅源极间电压 V_{gs} 一定。另外，N 型 MOS 晶体管 N6 的互导 g_m 一般的表示为“ ΔI_d

(漏极电流 I_d 的变化) / ΔV_{gs} (栅源极间电压 V_{gs} 的变化)”。根据该表示,可以导出由于 N 型 MOS 晶体管 N6 的 ΔV_{gs} 小,所以,可使 N 型 MOS 晶体管 N6 的互导 g_m 增大。即,可以使用于驱动 N 型 MOS 晶体管 N6 的栅极电压(节点电压 V_{OUT1})下降,进而,可以使恒流电路 100 整体以低电压工作。

另外,恒流负载部 40 除了本实施方式的电流反射镜电路构成以外,例如,还可以采用利用了结型电场降低晶体管 JFET 的漏源极间电流 I_{dss} 的恒流电路。但是,如本实施方式那样,当采用电流反射镜电路作为恒流负载部 40 时,使用原来作为差动放大部 20 用的偏置部 10 的 N 型 MOS 晶体管 N3,可以容易地构成。

图 2 (a) 是表示在恒流电路 100 中响应输入电压 V_{IN} 的各节点电压的模拟波形的图,图 2 (b) 表示响应输入电压 V_{IN} 的输出电流 I_{OUT} 的模拟波形的图。

如图 2 (a) 所示,可以确认节点电压 $V_{OUT1} \sim 3$ 相比于图 6 (a) 所示的现有情况,可以抑制对于输入电压 V_{IN} 的非线性响应,接近线性响应。结果,如图 6 (b) 所示,对于输出电压 I_{OUT} 也可以抑制相对于输入电压 V_{IN} 的非线性控制响应,接近线性响应。

以上,对本实施方式进行了说明,所述的实施例是为便于理解本发明的例子,并不是限定地解释本发明。本发明不脱离其宗旨可以得到各种改进/改良,这些等效方法均包含于本发明。

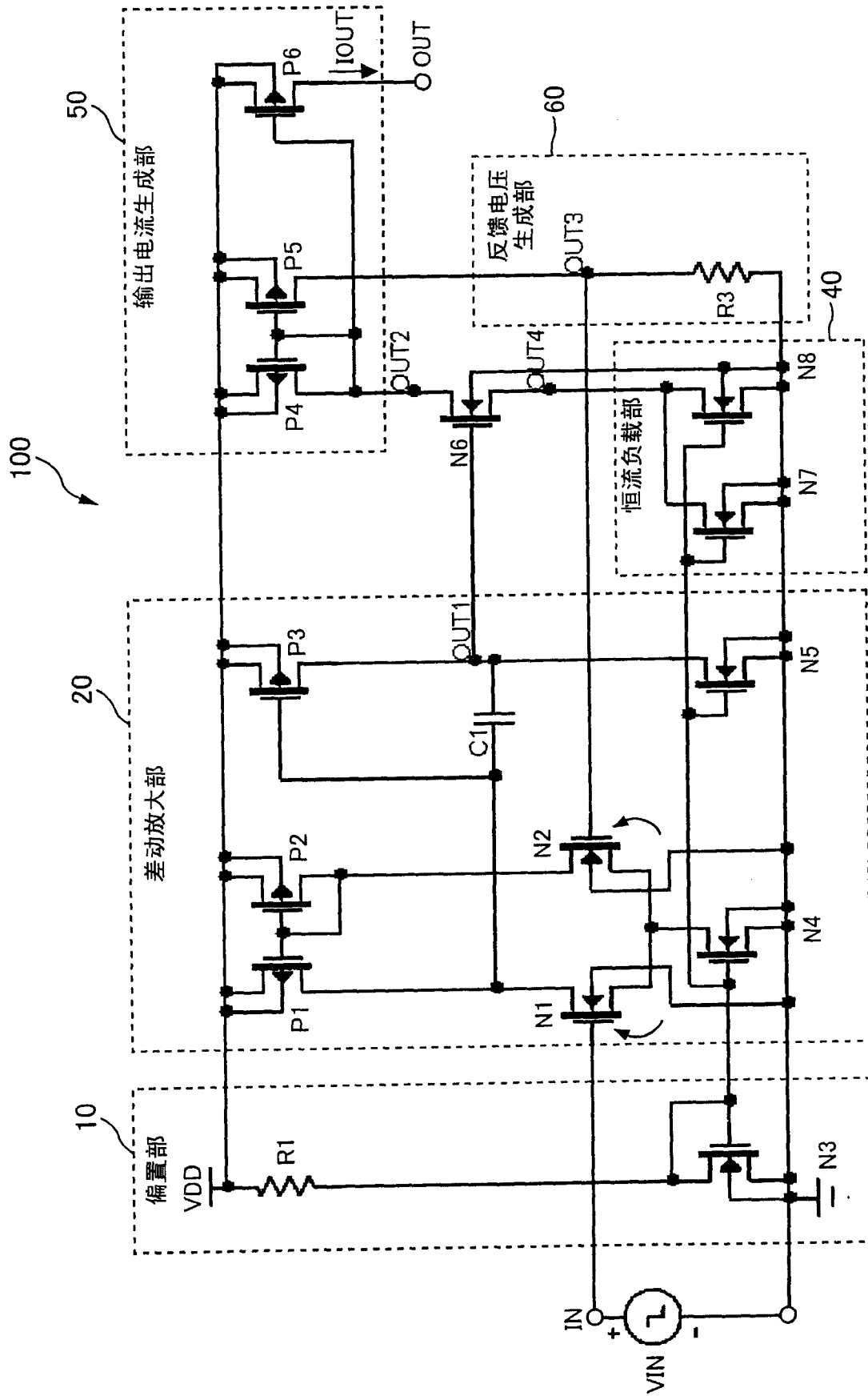
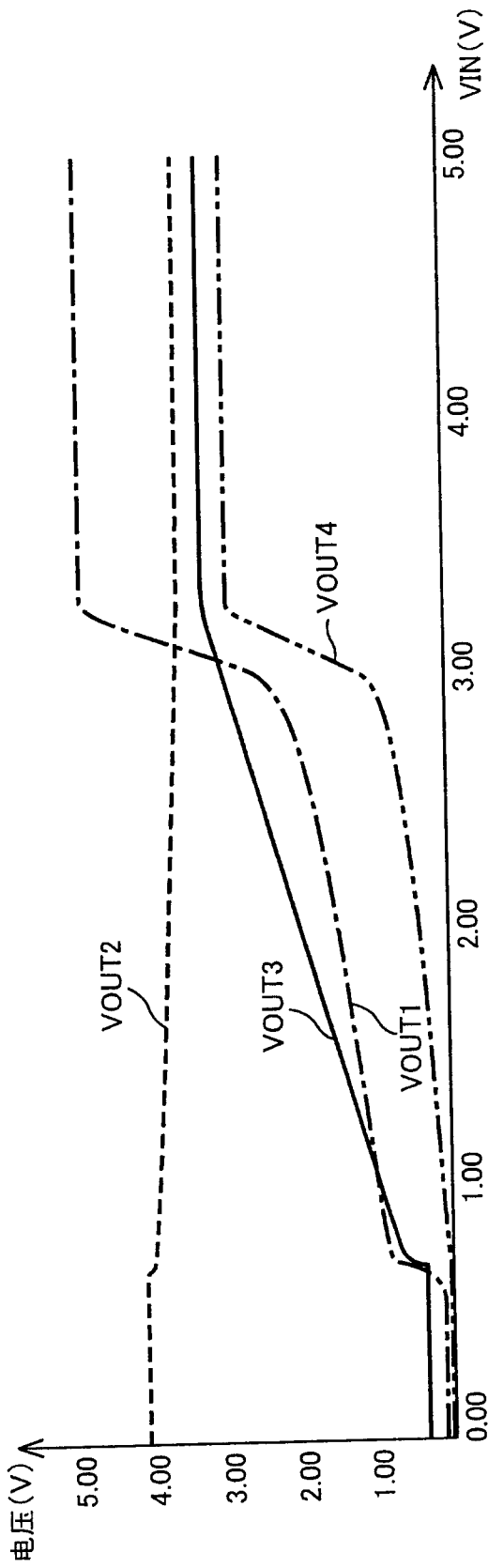
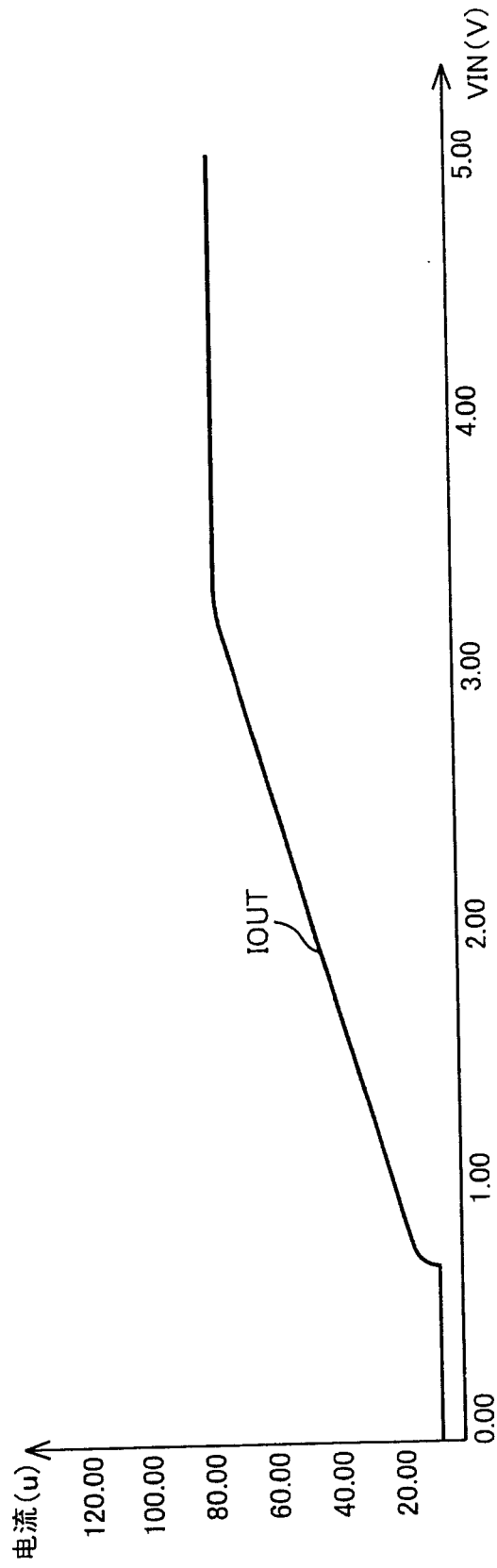


图 1



(a)



(b)

图 2

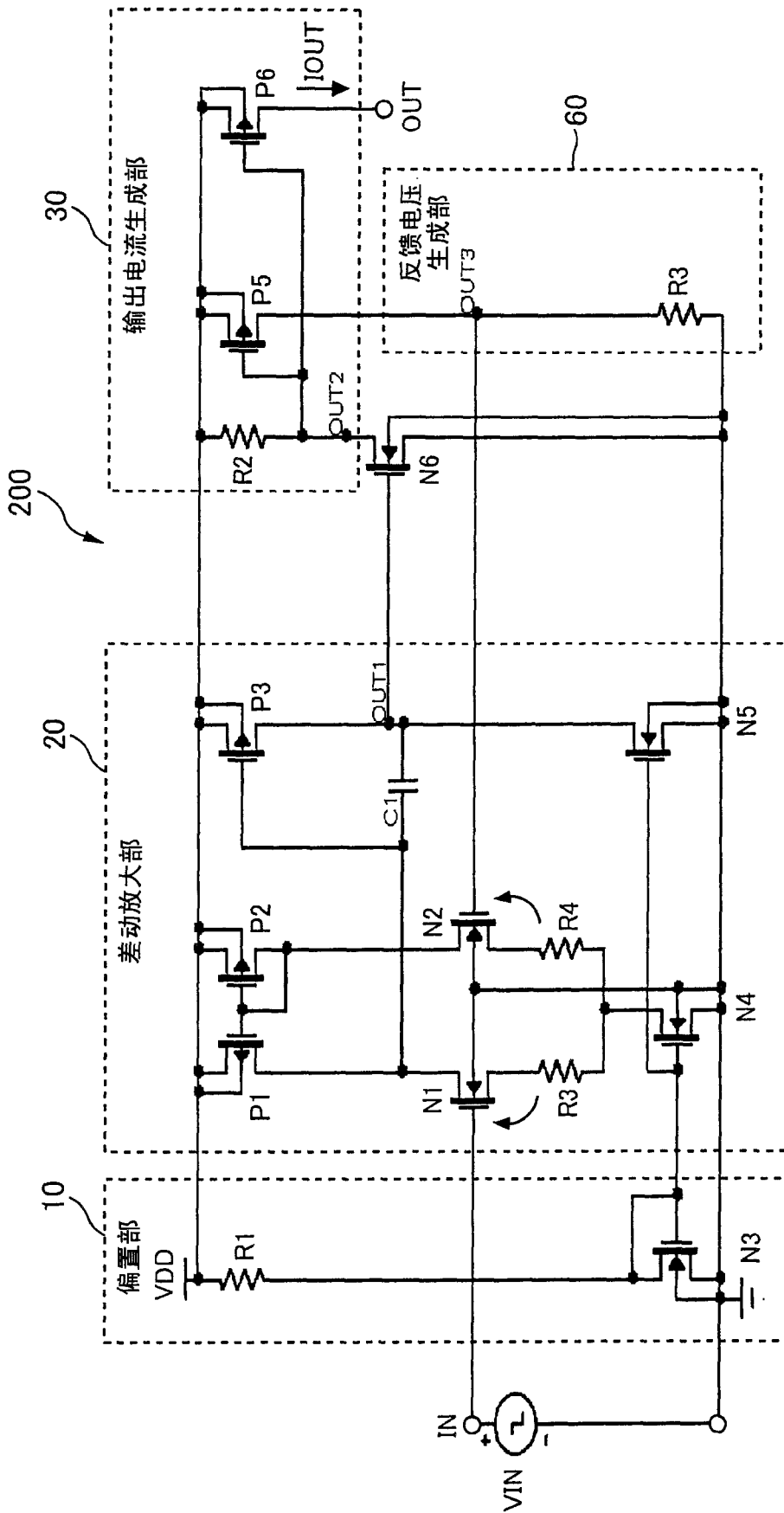
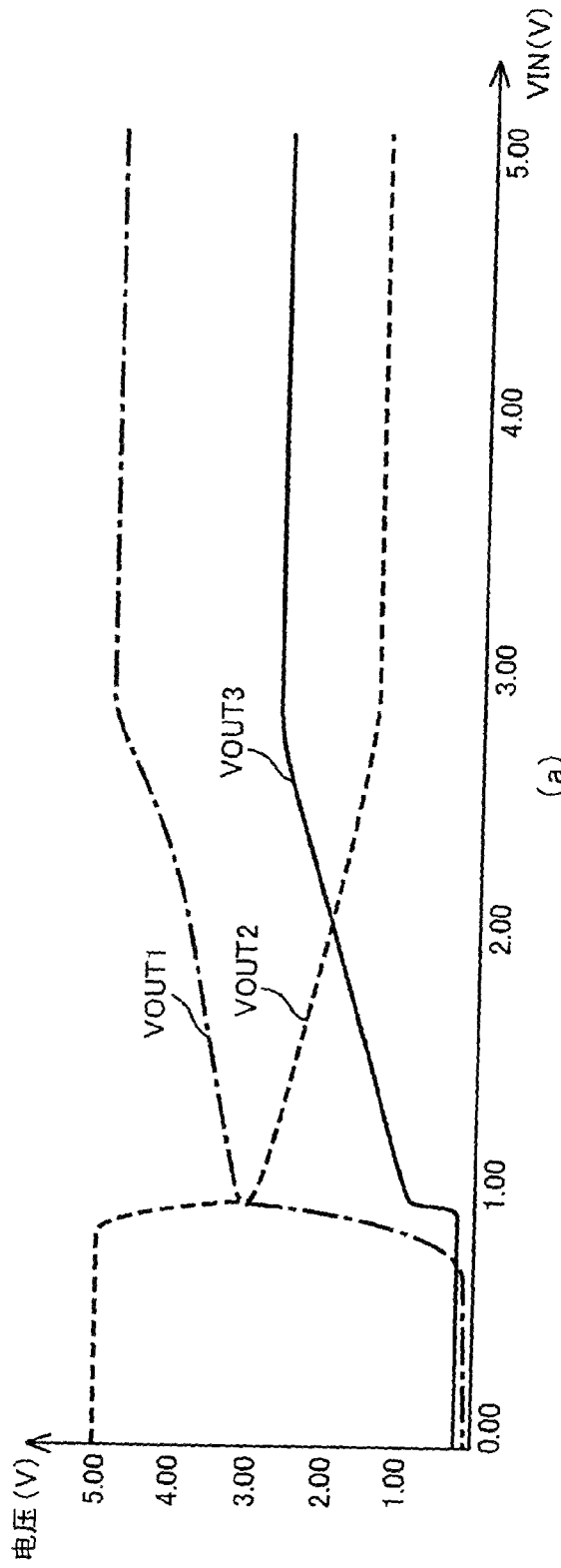
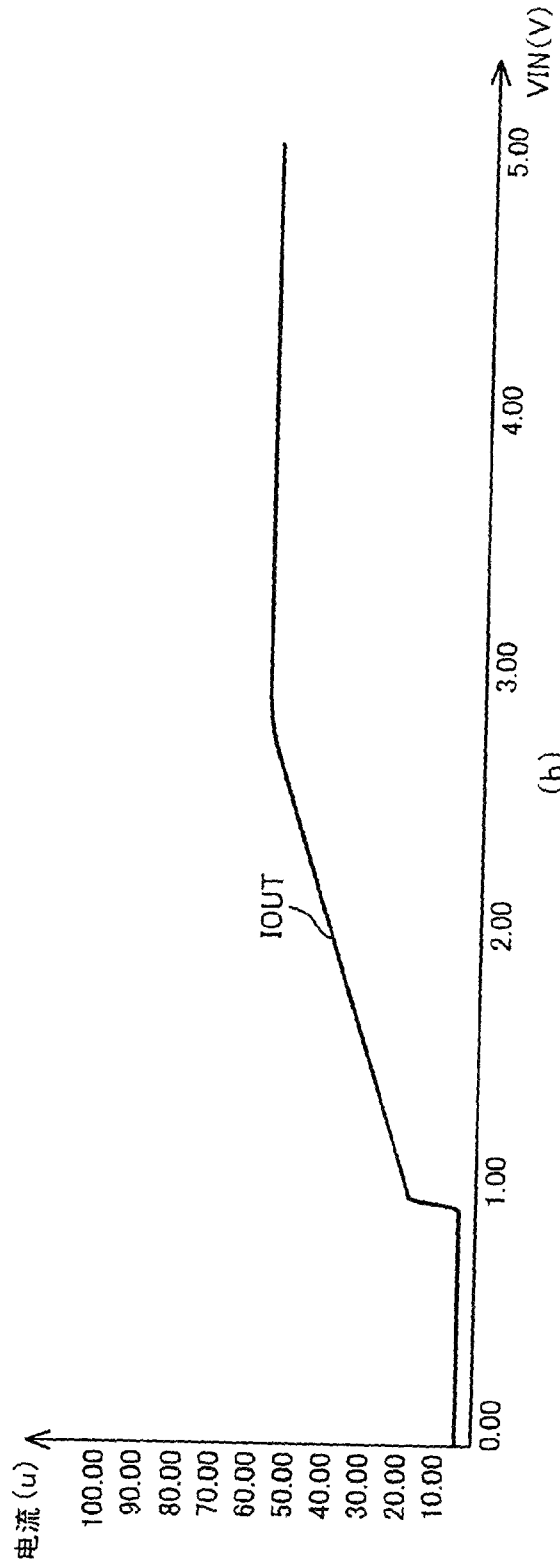


图 5



(a)



(b)

图 6