



(12) 发明专利

(10) 授权公告号 CN 102362336 B

(45) 授权公告日 2014. 03. 12

(21) 申请号 201080013387. 4
 (22) 申请日 2010. 03. 25
 (30) 优先权数据
 2009-076472 2009. 03. 26 JP
 (85) PCT国际申请进入国家阶段日
 2011. 09. 23
 (86) PCT国际申请的申请数据
 PCT/JP2010/002152 2010. 03. 25
 (87) PCT国际申请的公布数据
 W02010/109892 JA 2010. 09. 30
 (73) 专利权人 胜高股份有限公司
 地址 日本东京都
 专利权人 株式会社电装
 (72) 发明人 野上彰二 五东仁 柴田巧
 山本刚
 (74) 专利代理机构 中国专利代理(香港)有限公司
 72001
 代理人 毛立群 王忠忠

(51) Int. Cl.
 H01L 21/20(2006. 01)
 H01L 21/336(2006. 01)
 H01L 29/78(2006. 01)
 (56) 对比文件
 US 2007128836 A1, 2007. 06. 07,
 CN 1691284 A, 2005. 11. 02,
 CN 1971851 A, 2007. 05. 30,
 CN 1949461 A, 2007. 04. 18,
 CN 1949461 A, 2007. 04. 18,
 审查员 赵龙凤

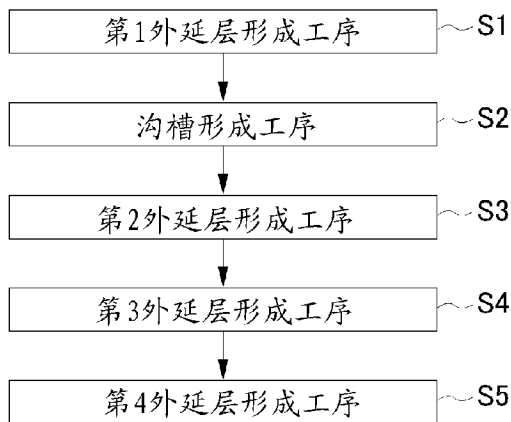
权利要求书1页 说明书10页 附图6页

(54) 发明名称

半导体衬底、半导体装置以及半导体衬底的制造方法

(57) 摘要

提供一种容易获得所希望的电特性的半导体衬底、半导体装置和半导体衬底的制造方法。半导体衬底的制造方法具备：形成第1外延层11的第1外延层形成工序(S1)；在第1外延层形成沟槽的沟槽形成工序(S2)；以及外延层形成工序(S3、S4、S5)，在第1外延层和沟槽内，使用包含不同的生长速度的多个生长条件，以掩埋沟槽内的方式形成外延层，使在多个生长条件的每一个中掺入到外延层中的掺杂物浓度为固定。



CN 102362336 B

1. 一种半导体衬底的制造方法,其特征在于,具备:

第 1 外延层形成工序,在第 1 导电型的半导体衬底导入所述第 1 导电型的掺杂物气体而形成第 1 外延层;

沟槽形成工序,在所述第 1 外延层形成沟槽;

第 2 外延层形成工序,在所述第 1 外延层和所述沟槽内,在规定的第 1 温度的气氛中,以规定的第 1 掺杂物气体流量导入与所述第 1 导电型不同的第 2 导电型的掺杂物气体,形成第 2 外延层;

第 3 外延层形成工序,在所述第 2 外延层,在与所述第 1 温度相比温度低的第 2 温度的气氛中,以比所述第 1 掺杂物气体流量多的第 2 掺杂物气体流量导入所述第 2 导电型的掺杂物气体并以掩埋所述沟槽内的方式形成第 3 外延层;以及

第 4 外延层形成工序,在所述第 2 外延层和所述第 3 外延层,在与所述第 2 温度相比温度高的第 3 温度的气氛中,以比所述第 2 掺杂物气体流量少的第 3 掺杂物气体流量导入所述第 2 导电型的掺杂物气体,形成第 4 外延层。

2. 一种半导体衬底的制造方法,其特征在于,具备:

第 1 外延层形成工序,在第 1 导电型的半导体衬底导入所述第 1 导电型的掺杂物气体而形成第 1 外延层;

沟槽形成工序,在所述第 1 外延层形成沟槽;

第 2 外延层形成工序,在所述第 1 外延层和所述沟槽内,在规定的第 1 温度的气氛中,以规定的第 1 掺杂物气体流量导入与所述第 1 导电型不同的第 2 导电型的掺杂物气体,形成第 2 外延层;以及

第 3 外延层形成工序,在所述第 2 外延层,在与所述第 1 温度相比温度高的第 2 温度的气氛中,以比所述第 1 掺杂物气体流量少的第 2 掺杂物气体流量导入所述第 2 导电型的掺杂物气体并以掩埋所述沟槽内的方式形成第 3 外延层。

3. 根据权利要求 1 所述的半导体衬底的制造方法,其特征在于,所述第 2 外延层、所述第 3 外延层以及所述第 4 外延层的掺杂物量通过使所述第 2 导电型的掺杂物气体的流量变动而进行变化。

4. 根据权利要求 1 所述的半导体衬底的制造方法,其特征在于,所述第 2 外延层、所述第 3 外延层以及所述第 4 外延层的掺杂物量通过使用所述第 2 导电型的掺杂物气体的浓度不同的多个气罐而进行变化。

5. 根据权利要求 1 所述的半导体衬底的制造方法,其特征在于,所述第 2 外延层、所述第 3 外延层以及所述第 4 外延层中的 1 个或多个通过在所述气氛中同时供给原料气体和卤化物气体而形成。

6. 根据权利要求 1 所述的半导体衬底的制造方法,其特征在于,所述第 2 外延层、所述第 3 外延层以及所述第 4 外延层的掺杂物量实质上是相同的。

7. 根据权利要求 1 所述的半导体衬底的制造方法,其特征在于,在所述第 3 外延层形成工序中,相对于所述第 2 外延层形成工序和所述第 4 外延层形成工序,所述气氛中的卤化物气体的流量多。

8. 一种半导体衬底,通过权利要求 1 所述的半导体衬底的制造方法而制造。

9. 一种半导体装置,使用权利要求 8 所述的半导体衬底。

半导体衬底、半导体装置以及半导体衬底的制造方法

技术领域

[0001] 本发明涉及半导体衬底、半导体装置以及半导体衬底的制造方法。

背景技术

[0002] 历来,在功率电子学领域中,功率 MOSFET (Metal Oxide Semiconductor Field Effect Transistor,金属氧化物半导体场效应晶体管)作为具有高速切换功能的切换元件而被使用。作为功率 MOSFET 的构造的一个例子,举出超级结(super junction)构造。

[0003] 超级结构是在连接源极和漏极的导电层中,交替地形成有 n 型层和 p 型层的构造。在超级结构中,在 n 型层和 p 型层的界面形成耗尽层。因此,源极和漏极之间的电场不仅在从源极朝向漏极的方向,而且也在从 n 型层朝向 p 型层的方向中形成,因此源极和漏极之间的电场不集中于导电层的特定的部分中。因此,超级结构能够获得高耐电压性能。

[0004] 作为在形成这样的超级结构时使用的半导体衬底的制造方法,提出了在外延层形成沟槽,在形成的沟槽内形成多个外延层的方法(例如,参照专利文献 1 和 2)。

[0005] 现有技术文献

[0006] 专利文献

[0007] 专利文献 1:日本特开 2005-294711 号公报;

[0008] 专利文献 2:日本特开 2005-317905 号公报。

发明内容

[0009] 发明要解决的问题

[0010] 可是,在专利文献 1 和 2 中记载的方法中,由于在形成外延层时的温度进行变化,所以形成的外延层各自的掺杂物浓度也变化,有时不能获得所希望的电特性(例如,电阻率)。

[0011] 本发明的目的在于提供一种容易获得所希望的电特性的半导体衬底、半导体装置和半导体衬底的制造方法。

[0012] 用于解决课题的方案

[0013] (1)本发明的半导体衬底的制造方法,其中,具备:第 1 外延层形成工序,在第 1 导电型的半导体衬底导入所述第 1 导电型的掺杂物气体而形成第 1 外延层;沟槽形成工序,在所述第 1 外延层形成沟槽;以及外延层形成工序,在所述第 1 外延层和所述沟槽内,使用包含不同的生长速度的多个生长条件,以掩埋所述沟槽内的方式形成与所述第 1 导电型不同的第 2 导电型的外延层,使在所述多个生长条件的每一个中掺入到所述外延层中的所述第 2 导电型的掺杂物浓度为固定。

[0014] (2)优选所述多个生长条件包含所述外延层的生长温度,所述生长速度通过使所述外延层的生长温度变动而进行变化。

[0015] (3)优选所述多个生长条件包含导入到所述外延层和所述沟槽内的所述第 2 导电型的掺杂物气体的流量,所述生长速度通过使原料气体的流量变动而进行变化。

[0016] (4)本发明的半导体衬底的制造方法,其中,具备:第1外延层形成工序,在第1导电型的半导体衬底导入所述第1导电型的掺杂物气体而形成第1外延层;沟槽形成工序,在所述第1外延层形成沟槽;第2外延层形成工序,在所述第1外延层和所述沟槽内,在规定的第1温度的气氛中,以规定的第1掺杂物气体流量导入与所述第1导电型不同的第2导电型的掺杂物气体,形成第2外延层;第3外延层形成工序,在所述第2外延层,在与所述第1温度相比温度低的第2温度的气氛中,以比所述第1掺杂物气体流量多的第2掺杂物气体流量导入所述第2导电型的掺杂物气体并以掩埋所述沟槽内的方式形成第3外延层;以及第4外延层形成工序,在所述第2外延层和所述第3外延层,在与所述第2温度相比温度高的第3温度的气氛中,以比所述第2掺杂物气体流量少的第3掺杂物气体流量导入所述第2导电型的掺杂物气体,形成第4外延层。

[0017] (5)本发明的半导体衬底的制造方法,其中,具备:第1外延层形成工序,在第1导电型的半导体衬底导入所述第1导电型的掺杂物气体而形成第1外延层;沟槽形成工序,在所述第1外延层形成沟槽;第2外延层形成工序,在所述第1外延层和所述沟槽内,在规定的第1温度的气氛中,以规定的第1掺杂物气体流量导入与所述第1导电型不同的第2导电型的掺杂物气体,形成第2外延层;以及第3外延层形成工序,在所述第2外延层,在与所述第1温度相比温度低的第2温度的气氛中,以比所述第1掺杂物气体流量多的第2掺杂物气体流量导入所述第2导电型的掺杂物气体并以掩埋所述沟槽内的方式形成第3外延层。

[0018] (6)本发明的半导体衬底的制造方法,其中,具备:第1外延层形成工序,在第1导电型的半导体衬底导入所述第1导电型的掺杂物气体而形成第1外延层;沟槽形成工序,在所述第1外延层形成沟槽;第2外延层形成工序,在所述第1外延层和所述沟槽内,在规定的第1温度的气氛中,以规定的第1掺杂物气体流量导入与所述第1导电型不同的第2导电型的掺杂物气体,形成第2外延层;以及第3外延层形成工序,在所述第2外延层,在与所述第1温度相比温度高的第2温度的气氛中,以比所述第1掺杂物气体流量少的第2掺杂物气体流量导入所述第2导电型的掺杂物气体并以掩埋所述沟槽内的方式形成第3外延层。

[0019] (7)优选所述第2外延层、所述第3外延层以及所述第4外延层的掺杂物量通过使所述第2导电型的掺杂物气体的流量变动而进行变化。

[0020] (8)优选所述第2外延层、所述第3外延层以及所述第4外延层的掺杂物量通过使用所述第2导电型的掺杂物气体的浓度不同的多个气罐而进行变化。

[0021] (9)优选所述第2外延层、所述第3外延层以及所述第4外延层中的1个或多个通过在所述气氛中同时供给原料气体和卤化物气体而形成。

[0022] (10)优选所述第2外延层、所述第3外延层以及所述第4外延层的掺杂物量实质上是相同的。

[0023] (11)优选在所述第3外延层形成工序中,相对于所述第2外延层形成工序和所述第4外延层形成工序,所述气氛中的卤化物气体的流量多。

[0024] (12)本发明的半导体衬底是通过上述半导体衬底的制造方法而制造的半导体衬底。

[0025] (13)本发明的半导体装置是使用上述半导体衬底的半导体装置。

[0026] 发明的效果

[0027] 根据本发明,能够提供一种容易获得所希望的电特性的半导体衬底、半导体装置

和半导体衬底的制造方法。

附图说明

[0028] 图 1 是示意地表示本发明的半导体衬底的一个实施方式的局部剖面图。

[0029] 图 2 是表示本发明的半导体衬底的制造方法的一个实施方式的流程图。

[0030] 图 3A 是依次表示在图 2 所示的半导体衬底的制造方法中半导体衬底 1 的剖面的变化的局部剖面图。

[0031] 图 3B 是依次表示在图 2 所示的半导体衬底的制造方法中半导体衬底 1 的剖面的变化的局部剖面图。

[0032] 图 3C 是依次表示在图 2 所示的半导体衬底的制造方法中半导体衬底 1 的剖面的变化的局部剖面图。

[0033] 图 3D 是依次表示在图 2 所示的半导体衬底的制造方法中半导体衬底 1 的剖面的变化的局部剖面图。

[0034] 图 3E 是依次表示在图 2 所示的半导体衬底的制造方法中半导体衬底 1 的剖面的变化的局部剖面图。

[0035] 图 4 是示意地表示本发明的半导体装置的一个实施方式的局部剖面图。

[0036] 图 5 是示意地表示本发明的半导体装置的另一个实施方式的局部剖面图。

具体实施方式

[0037] 针对本发明的半导体衬底,一边参照附图一边进行说明。图 1 是示意地表示本发明的半导体衬底的一个实施方式的局部剖面图。

[0038] 如图 1 所示,在本实施方式的半导体衬底 1 中,在硅衬底 10 上形成有第 1 外延层 11,在第 1 外延层 11 有形成多个沟槽 12。而且,在沟槽 12 内依次形成有第 2 外延层 13、第 3 外延层 14 和第 4 外延层 15。此外,第 4 外延层 15 也在第 1 外延层 11 上形成。

[0039] 硅衬底 10 是在单晶硅中导入有高浓度的 n 型掺杂物的 n⁺ 型的硅衬底。

[0040] 第 1 外延层 11 在硅衬底 10 上形成。第 1 外延层 11 是导入有比硅衬底 10 浓度低的 n 型掺杂物的 n 型硅的外延层。

[0041] 在第 1 外延层 11 形成有多个沟槽 12。沟槽 12 的底面是硅衬底 10 的主表面。此外,沟槽 12 是大致四角柱形状。此外,沟槽 12 的侧面是第 1 外延层 11 的内侧面。

[0042] 第 2 外延层 13 在第 1 外延层 11 的主表面和沟槽 12 内形成。此外,第 2 外延层 13 是导入有 p 型的掺杂物的 p 型硅的外延层。

[0043] 第 3 外延层 14 在第 2 外延层 13 上形成。此外,第 2 外延层 13 是导入有 p 型的掺杂物的 p 型硅的外延层。沟槽 12 的将一部分残留之外的大致整体通过第 2 外延层 13 和第 3 外延层 14 掩埋。

[0044] 第 4 外延层 15 在形成于第 1 外延层 11 的主表面的第 2 外延层 13 的主表面和第 3 外延层 14 的主表面、以及沟槽 12 的没有被掩埋的残留的一部分形成。此外,第 4 外延层 15 是导入有 p 型的掺杂物的 p 型硅的外延层。

[0045] 在这里,第 1 外延层 11 由导入有 P (磷)、As (砷)、Sb (锑) 等的掺杂物的 n 型外延层构成。此外,第 2 外延层 13、第 3 外延层 14 和第 4 外延层 15 由导入有 B (硼)、Ga (镓)、

In (铟) 等的掺杂物的 p 型的外延层构成。

[0046] 第 2 外延层 13、第 3 外延层 14 和第 4 外延层 15 的导电型是与第 1 外延层 11 不同的导电型。“不同的导电型”指的是相对于 n 型是 p 型,或相对于 p 型是 n 型。因此,如果例如第 1 外延层 11 是 n 型的话,第 2 外延层 13、第 3 外延层 14 和第 4 外延层 15 是 p 型。

[0047] 像这样,半导体衬底 1 具有在硅衬底 10 上交替地形成有 n 型的第 1 外延层 11、p 型的第 2 外延层 13、第 3 外延层 14 和第 4 外延层 15 的超级结构构造。

[0048] 在这里,当将第 1 外延层 11 的宽度设为 H_1 (μm)、将第 2 外延层 13、第 3 外延层 14 和第 4 外延层 15 的宽度设为 H_2 (μm)、将第 1 外延层 11 的载流子浓度设为 C_1 (cm^{-3})、将第 2 外延层 13、第 3 外延层 14 和第 4 外延层 15 的载流子浓度设为 C_2 (cm^{-3}) 时,第 1 外延层 11 的宽度 H_1 或第 2 外延层 13、第 3 外延层 14 以及第 4 外延层 15 的宽度 H_2 的任一方或双方以满足 $C_1 \times H_1 = C_2 \times H_2$ 的关系的方式形成。因此,在第 1 外延层 11 中包含的掺杂物量和在 2 外延层 13、第 3 外延层 14 以及第 4 外延层 15 中包含的掺杂物量变得大致相同。因此,从通过 n 型的第 1 外延层 11 和 p 型的第 2 外延层 13、第 3 外延层 14 以及第 4 外延层 15 形成的 pn 结生成耗尽层,漂移区域被完全耗尽化,能够维持耐电压性能。

[0049] 接着,针对本实施方式的半导体衬底的制造方法,一边参照图 2 和图 3 一边进行说明。图 2 是表示本发明的半导体衬底的制造方法的一个实施方式的流程图。图 3A~图 3E 是依次表示在图 2 所示的半导体衬底的制造方法中半导体衬底 1 的变化的局部剖面图。

[0050] 如图 2 所示,本实施方式的半导体衬底的制造方法具备:第 1 外延层形成工序 S1、沟槽形成工序 S2、第 2 外延层形成工序 S3、第 3 外延层形成工序 S4、第 4 外延层形成工序 S5。以下,针对各工序(S1~S5),适宜地参照图 3 进行说明。

[0051] (S1) 第 1 外延层形成工序

[0052] 如图 3A 所示,在 n^+ 型的硅衬底 10 上,一边供给原料气体,一边导入 n 型的掺杂物气体,在包含这些原料气体和掺杂物气体的气氛中,形成第 1 外延层 11。

[0053] 在这里,作为原料气体(硅气体源),例示 SiH_4 (单硅烷)、乙硅烷 (Si_2H_6)、 SiH_2Cl_2 (二氯甲硅烷)、 SiHCl_3 (三氯硅烷)、 SiCl_4 (四氯化硅) 等。

[0054] 作为掺杂物气体,在形成 n 型的外延层的情况下,例示含有作为 n 型的掺杂物的磷(P) 的磷化氢 (PH_3)、砷化氢 (AsH_3)。另一方面,在形成 p 型的外延层的情况下,例示含有作为 p 型的掺杂物的硼(B) 的乙硼烷 (B_2H_6)、三氯化硼 (BCl_3)。再有,关于原料气体和掺杂物气体,在后述的第 2 外延层形成工序 S3、第 3 外延层形成工序 S4 以及第 4 外延层形成工序 S5 中也是同样的。

[0055] 此外,作为形成第 1 外延层 11、第 2 外延层 13、第 3 外延层 14 和第 4 外延层 15 的方法,并不特别限定,例如优选使用化学气相沉积法(CVD)、物理气相沉积法(PVD)、分子束外延法(MBE) 等。

[0056] (S2) 沟槽形成工序

[0057] 如图 3B 所示,在通过第 1 外延层形成工序 S1 形成的第 1 外延层 11 上的规定位置,使用光刻法形成抗蚀剂图案。然后,将第 1 外延层 11 中的没有形成抗蚀剂图案的区域例如通过反应性离子蚀刻法进行蚀刻,形成沟槽 12。然后,通过除去抗蚀剂图案,从而获得图 3B 所示的沟槽 12。

[0058] (S3) 第 2 外延层形成工序

[0059] 如图 3C 所示,在经过沟槽形成工序 S2 之后,在第 1 外延层 11 和沟槽 12 内,一边供给原料气体和卤化物气体,一边导入 p 型的掺杂物气体,在包含这些原料气体、卤化物气体和掺杂物气体的气氛中,形成第 2 外延层 13。包含原料气体、卤化物气体和掺杂物气体的气氛中的温度优选是大约 $950\sim 1000^{\circ}\text{C}$ (规定的第 1 温度),掺杂物气体的流量(规定的第 1 掺杂物气体流量)优选是 $100\sim 300\text{sccm}$ (Standard Cubic Centimeter per Minute, 标况毫升每分钟)。进而,第 2 外延层 13 的掺杂物量(第 1 掺杂物量)优选是 $1\times 10^{15}\sim 1\times 10^{17}\text{ (cm}^{-3}\text{)}$ 。

[0060] 在本实施方式中,掺杂物量是在将掺杂物气体掺入外延层内之前,通过掺杂物气体的流量和掺杂物气体的浓度规定的值,是在将掺杂物气体掺入外延层之后,通过外延层的晶格中的掺杂物原子的密度规定的值。

[0061] 作为卤化物气体,例如例示 HCl (氯化氢)、 Cl_2 (氯气)、 F_2 (氟气)、 ClF_3 (三氟化氯)、 HF (氟化氢)、 HBr (溴化氢) 等。再有,关于卤化物气体,在后述的第 3 外延层形成工序 S4 以及第 4 外延层形成工序 S5 中也是同样的。

[0062] 而且,在供给原料气体和卤化物气体的情况下,卤化物气体作为沟槽 12 内的蚀刻气体而发挥功能。由于卤化物气体对沟槽 12 的底面部的蚀刻速度比沟槽 12 的开口部的蚀刻速度慢,所以对于外延层的形成速度来说,底面部比沟槽 12 的开口部快。因此,能够抑制在形成于沟槽 12 内的第 2 外延层 13 产生空洞。

[0063] (S4) 第 3 外延层形成工序

[0064] 如图 3D 所示,在经过第 2 沟槽形成工序 S3 之后,在第 2 外延层 13 上,一边供给原料气体和卤化物气体,一边导入 p 型的掺杂物气体,在包含这些原料气体、卤化物气体和掺杂物气体的气氛中,以掩埋沟槽 12 内的方式形成第 3 外延层 14。这时,第 3 外延层 14 也在第 2 外延层 13 上的沟槽 12 以外的部分中形成。包含原料气体、卤化物气体和掺杂物气体的气氛中的温度是与第 2 外延层形成工序 S3 中的气氛中的温度相比温度低的大约 $900\sim 950^{\circ}\text{C}$ (第 2 温度)。此外, p 型的掺杂物气体的流量(第 2 掺杂物气体流量)是与第 2 外延层形成工序 S3 中的 p 型掺杂物气体的流量相比流量多的 $110\sim 360\text{sccm}$ 。进而,第 3 外延层 14 的掺杂物量(第 2 掺杂物量)优选是 $1\times 10^{15}\sim 1\times 10^{17}\text{ (cm}^{-3}\text{)}$ 。

[0065] 再有,优选第 2 外延层形成工序 S3 中的气氛中的温度和第 3 外延层形成工序 S4 中的气氛中的温度的差是 10°C 以上,更优选是 50°C 以上。

[0066] 此外,优选第 2 外延层形成工序 S3 中的 p 型的掺杂物气体的流量和第 3 外延层形成工序 S4 中的 p 型的掺杂物气体的流量的差是 5sccm 以上,更优选 30sccm 以上。

[0067] 通过经过第 3 外延层形成工序 S4,沟槽 12 的将一部分残留之外的大致整体通过第 2 外延层 13 和第 3 外延层 14 掩埋。在这里,第 3 外延层形成工序 S4 中的气氛中的温度与第 2 外延层形成工序 S3 中的气氛中的温度相比温度低。因此,能够抑制在第 3 外延层 14 中产生空洞、结晶缺陷。

[0068] (S5) 第 4 外延层形成工序

[0069] 如图 3E 所示,在经过第 3 外延层形成工序 S4 之后,在第 2 外延层 13 和第 3 外延层 14 上,一边供给原料气体和卤化物气体,一边导入 p 型的掺杂物气体,在包含这些原料气体、卤化物气体和掺杂物气体的气氛中,形成第 4 外延层 15。包含原料气体、卤化物气体和掺杂物气体的气氛中的温度是与第 2 外延层形成工序 S3 中的气氛中的温度相比温度高的大约 $950\sim 1000^{\circ}\text{C}$ (第 3 温度)。此外, p 型的掺杂物气体的流量(第 3 掺杂物气体流量)是与

第 3 外延层形成工序 S4 中的 p 型掺杂物气体的流量相比流量少的 100~300sccm。进而,第 4 外延层 15 的掺杂物量(第 3 掺杂物量)优选是 $1 \times 10^{15} \sim 1 \times 10^{17}$ (cm^{-3})。

[0070] 再有,优选第 4 外延层形成工序 S5 中的气氛中的温度与第 3 外延层形成工序 S4 中的气氛中的温度的差是 10°C 以上,更优选是 50°C 以上。

[0071] 此外,优选第 4 外延层形成工序 S5 中的 p 型的掺杂物气体的流量与第 3 外延层形成工序 S4 中的 p 型的掺杂物气体的流量的差是 5sccm 以上,更优选 30sccm 以上。

[0072] 此外,在上述的实施方式中,硅衬底 10 和第 1 外延层 11 的导电型是 n 型,第 2 外延层 13、第 3 外延层 14 以及第 4 外延层 15 的导电型是 p 型,但本发明并不被限制于此。例如,硅衬底 10 和第 1 外延层 11 的导电型是 p 型,第 2 外延层 13、第 3 外延层 14 以及第 4 外延层 15 的导电型是 n 型也可。

[0073] 在该情况下,第 3 外延层形成工序 S4 中的 n 型掺杂物气体的流量与第 2 外延层形成工序 S3 中的 n 型掺杂物气体的流量相比变少。此外,第 4 外延层形成工序 S5 中的 n 型掺杂物气体的流量与第 3 外延层形成工序 S4 中的 n 型掺杂物气体的流量相比变多。

[0074] 如上所述,在本实施方式的半导体衬底的制造方法中,在第 1 外延层 11 和沟槽 12 内,使用包含不同的生长速度的多个生长条件,以掩埋沟槽 12 内的方式形成 p 型的第 2 外延层 13、第 3 外延层 14 以及第 4 外延层 15。在该情况下,在本实施方式的半导体衬底的制造方法中,使在多个生长条件的每一个中掺入到第 2 外延层 13、第 3 外延层 14 以及第 4 外延层 15 中的 p 型的掺杂物浓度为固定。

[0075] 在这里,多个生长条件包含第 2 外延层 13、第 3 外延层 14 以及第 4 外延层 15 的生长温度。上述的生长速度通过使第 2 外延层 13、第 3 外延层 14 以及第 4 外延层 15 的生长温度变动从而变化。

[0076] 此外,多个生长条件包含对沟槽 12 内、第 2 外延层 13、第 3 外延层 14 以及第 4 外延层 15 导入的 p 型掺杂物气体的流量也可。在该情况下,生长速度通过使原料气体(硅气体源)的流量变动从而变化。

[0077] 具体地,第 2 外延层形成工序 S3 和第 4 外延层形成工序 S5 中的温度(大约 $950 \sim 1000^\circ \text{C}$)是比第 3 外延层形成工序 S4 的温度(大约 $900 \sim 950^\circ \text{C}$)高的温度。因此,由于在第 2 外延层形成工序 S3 和第 4 外延层形成工序 S5 中,形成第 2 外延层 13 和第 4 外延层 15 的速度变快,所以能够使生产量提高。

[0078] 此外,由于第 2 外延层形成工序 S3 和第 4 外延层形成工序 S5 的气氛中的温度(大约 $950 \sim 1000^\circ \text{C}$)是比第 3 外延层形成工序 S4 的气氛中的温度(大约 $900 \sim 950^\circ \text{C}$)高的温度,所以有第 3 外延层 14 的掺杂物浓度比第 2 外延层 13 以及第 4 外延层 15 的掺杂物浓度变低的倾向。由此,为了抑制掺杂物浓度的变动,第 3 外延层形成工序 S4 中的掺杂物气体的流量与第 2 外延层形成工序 S3 和第 4 外延层形成工序 S5 中的掺杂物气体的流量相比变多。

[0079] 此外,优选第 2 外延层 13、第 3 外延层 14 以及第 4 外延层 15 中的 1 个或多个通过在气氛中同时供给原料气体和卤化物气体而形成。具体地,例如第 2 外延层 13 和第 3 外延层 14 通过第 2 外延层形成工序 S3 和第 3 外延层形成工序 S4 的气氛中同时供给原料气体和卤化物气体而形成。

[0080] 此外,更优选在第 3 外延层形成工序 S4 中,相对于第 2 外延层形成工序 S3 和第 4

外延层形成工序 S5, 气氛中的卤化物气体的流量多。

[0081] 而且, 优选第 2 外延层 13、第 3 外延层 14 和第 4 外延层 15 的掺杂物浓度或掺杂物量实质上相同。再有, 掺杂物浓度实质上相同, 指的是掺杂物浓度的差在 $\pm 5\%$ 以内。

[0082] 根据本实施方式的半导体衬底的制造方法, 例如获得以下的效果。

[0083] 本实施方式的半导体衬底的制造方法具备: 形成第 1 外延层 11 的第 1 外延层形成工序 S1; 在第 1 外延层形成沟槽的沟槽形成工序 S2; 在第 1 外延层 11 和沟槽 12 内形成第 2 外延层 13 的第 2 外延层形成工序 S3; 在第 2 外延层 13 形成第 3 外延层 14 的第 3 外延层形成工序 S4; 在第 2 外延层和第 3 外延层形成第 4 外延层的第 4 外延层形成工序 S5。

[0084] 而且, 第 2 外延层形成工序 S3 和第 4 外延层形成工序 S5 的气氛中的温度是比第 3 外延层形成工序 S4 的气氛中的温度高的温度, 第 3 外延层形成工序 S4 中的掺杂物气体的流量与第 2 外延层形成工序 S3 和第 4 外延层形成工序 S5 中的掺杂物气体的流量相比变多。

[0085] 由此, 能够使第 2 外延层 13、第 3 外延层 14 以及第 4 外延层 15 各自的掺杂物浓度实质上相同, 因此例如在进行半导体衬底 1 的电阻率测定的情况下, 第 2 外延层 13、第 3 外延层 14 以及第 4 外延层 15 各自的电阻率变得实质上相同。也就是说, 根据本实施方式的半导体衬底的制造方法, 能够获得所希望的电特性。因此, 例如使用本实施方式的具有第 2 外延层 13、第 3 外延层 14 以及第 4 外延层 15 的半导体衬底 1 制造的功率 MOSFET (参照图 4 或图 5) 能够获得耐电压性能、导通电阻等的所希望的电特性。

[0086] 再有, 半导体衬底的制造方法在使原料气体和 / 或卤化物气体的流量变化的情况下, 也能够获得与上述的效果同样的效果。

[0087] 此外, 在上述的实施方式中, 在第 2 外延层形成工序 S3、第 3 外延层形成工序 S4 和第 4 外延层形成工序 S5 中, 将生长温度以 3 个阶段进行变更, 但本发明并不被限制于此。

[0088] 例如, 本发明的半导体衬底的制造方法以 2 个阶段变更沟槽 12 内的外延层的生长温度也可。在以 2 个阶段变更生长温度的情况下, 例如能够将外延层的生长温度从大约 $950\sim 1000^{\circ}\text{C}$ 变更到大约 $900\sim 950^{\circ}\text{C}$, 或从大约 $900\sim 950^{\circ}\text{C}$ 变更到大约 $950\sim 1000^{\circ}\text{C}$ 。

[0089] 即, 本发明的半导体衬底的制造方法也可以具备: 第 1 外延层形成工序 S1、沟槽形成工序 S2、第 2 外延层形成工序 S3、第 3 外延层形成工序 S4。

[0090] 在该情况下, 在第 2 外延层形成工序 S3 中, p 型的第 2 外延层 13 通过在 n 型的第 1 外延层 11 和沟槽 12 内, 在大约 $950\sim 1000^{\circ}\text{C}$ 的气氛中, 以第 1 掺杂物气体流量导入 p 型的掺杂物气体而形成。

[0091] 此外, 在第 3 外延层形成工序 S4 中, p 型的第 3 外延层 14 通过第 2 外延层 13, 在大约 $900\sim 950^{\circ}\text{C}$ 的气氛中, 以比第 1 掺杂物气体流量多的第 2 掺杂物量导入 p 型的掺杂物气体并以掩埋沟槽 12 内的方式而形成。

[0092] 或者, 在第 1 外延层 11 是 p 型, 第 2 外延层 13 和第 3 外延层 14 是 n 型的情况下, 在第 2 外延层形成工序 S3 中, 第 2 外延层 13 通过第 1 外延层 11 和沟槽 12 内, 以第 1 掺杂物气体流量导入 n 型的掺杂物气体而形成。

[0093] 此外, 在第 3 外延层形成工序 S4 中, n 型的第 3 外延层 14 通过第 2 外延层 13, 在大约 $900\sim 950^{\circ}\text{C}$ 的气氛中, 以比第 1 掺杂物气体流量少的第 2 掺杂物量导入 n 型的掺杂物气体并以掩埋沟槽 12 内的方式而形成。

[0094] 像这样,在第 2 外延层形成工序 S3 中,第 2 外延层 3 在大约 950~1000° C 的气氛中形成。在第 3 外延层形成工序 S4 中,第 3 外延层 14 在与第 2 外延层 13 相比生长温度低的大约 900~950°C 的气氛中形成。在该情况下,不形成第 4 外延层 15,以掩埋沟槽 12 内的方式形成第 2 外延层 13 和第 3 外延层 14。

[0095] 进而,在第 2 外延层形成工序 S3 中,第 2 外延层 13 通过在第 1 外延层 11 和沟槽 12 内,在大约 900~950°C 的气氛中,以第 1 掺杂物气体流量导入 p 型的掺杂物气体而形成也可。

[0096] 此外,在第 3 外延层形成工序 S4 中,第 3 外延层 14 通过在第 2 外延层 13,在大约 950~1000°C 的气氛中,以比第 1 掺杂物气体流量多的第 2 掺杂物气体流量导入 p 型的掺杂物气体并以掩埋沟槽 12 内的方式而形成也可。在该情况下,也不形成第 4 外延层 15,以掩埋沟槽 12 内的方式形成第 2 外延层 13 和第 3 外延层 14。

[0097] 在第 1 外延层 11 是 p 型,第 2 外延层 13 和第 3 外延层 14 是 n 型的情况下,在第 2 外延层形成工序 S3 中,第 2 外延层 13 通过在大约 900~950°C 的气氛中,在第 1 外延层 11 和沟槽 12 内,以第 1 掺杂物气体流量导入 n 型的掺杂物气体而形成也可。

[0098] 此外,在第 3 外延层形成工序 S4 中,第 3 外延层 14 通过在大约 950~1000°C 的气氛中,在第 2 外延层 13,以比第 1 掺杂物气体流量少的第 2 掺杂物气体流量导入 n 型的掺杂物气体并以掩埋沟槽 12 内的方式而形成也可。在该情况下,也不形成第 4 外延层 15,以掩埋沟槽 12 内的方式形成第 2 外延层 13 和第 3 外延层 14。

[0099] 在这里,上述的第 2 外延层 13 的第 1 掺杂物量、第 3 外延层 14 的第 2 掺杂物量以及第 4 外延层 15 的第 3 掺杂物量通过使 p 型或 n 型的掺杂物气体的流量变动而进行变化。进而,第 1 掺杂物量、第 2 掺杂物量以及第 3 掺杂物量通过使用 p 型或 n 型的掺杂物气体的浓度不同的多个气罐而进行变化。

[0100] 此外,如上述那样,本发明的半导体衬底的制造方法不以 2 个阶段或 3 个阶段使生长温度进行变更,而以 4 个阶段以上进行变更也可,进而,一边使生长温度连续地变化一边在沟槽 12 内形成外延层也可。

[0101] 此外,在上述的实施方式的半导体衬底的制造方法中,仅使生长温度变化,但本发明并不被限制于此。例如,在半导体衬底的制造方法中,使原料气体和 / 或卤化物气体的流量变化也可。

[0102] 接着,针对作为使用本实施方式的半导体衬底 1 而制造的半导体装置的功率 MOSFET2 的结构,一边参照图 4 和图 5 一边进行说明。

[0103] 图 4 是示意地表示本发明的半导体装置的一个实施方式的局部剖面图。图 5 是示意地表示本发明的半导体装置的另一个实施方式的局部剖面图。

[0104] 如图 4 所示, N 沟道的功率 MOSFET2 具备:硅衬底 10、第 1 外延层 11、第 2 外延层 13、第 3 外延层 14、第 4 外延层 15、第 5 外延层 16、源极区域 17、欧姆接触区域 18、以及沟槽绝缘栅电极 19。

[0105] 硅衬底 10 是漏极区域。第 1 外延层 11 如上述那样,是在硅衬底 10 上形成的 n 型的外延层。

[0106] 第 2 外延层 13、第 3 外延层 14 和第 4 外延层 15 是 p 型的外延层。第 2 外延层 13、第 3 外延层 14 和第 4 外延层 15 在第 1 外延层 11 上和在第 1 外延层 11 以规定间隔形成的

沟槽 12 内,与第 1 外延层 11 相互邻接而交替地形成。

[0107] 第 5 外延层 16 是在第 4 外延层 15 上形成的 p 型的外延层。第 5 外延层 16 作为沟道形成层而发挥功能。

[0108] 第 5 外延层 16 是在第 4 外延层 15 上形成的 p 型的外延层。第 5 外延层 16 作为沟道形成层而发挥功能。例如,第 5 外延层 16 是在将第 4 外延层的表面平坦化研磨之后,在第 4 外延层 15 上形成。

[0109] n 型的源极区域 17 和 p 型的欧姆接触区域 18 在第 4 外延层 15 上形成。n 型的源极区域 17 例如在 p 型的外延层通过离子注入 n 型的掺杂物而形成。此外,p 型的欧姆接触区域 18 例如以 p 型的掺杂物的离子注入而形成。

[0110] 沟槽绝缘栅电极 19 贯通源极区域 17、第 5 外延层 16、第 4 外延层 15、第 3 外延层 14 和第 2 外延层 13 的一部分而形成。例如,在形成沟槽绝缘栅电极 19 的工序中,形成贯通源极区域 17、第 5 外延层 16、第 4 外延层 15、第 3 外延层 14 和第 2 外延层 13 的一部分的沟槽 20。在形成的沟槽 20 的底面和侧面,使用热氧化法、CVD 法等形成绝缘膜 21。而且,沟槽绝缘栅电极 19 由多晶硅 22 构成,在绝缘膜 21 上以掩埋沟槽 20 的方式形成。

[0111] 这样获得的功率 MOSFET2 中,第 2 外延层 13、第 3 外延层 14 和第 4 外延层 15 中的掺杂物量在第 2 外延层 13、第 3 外延层 14 和第 4 外延层 15 的整体中是固定的。

[0112] 此外,图 5 所示的功率 MOSFET2 能够通过使图 4 所示的功率 MOSFET2 中的各结构要素的导电型反转来获得。

[0113] 以上,针对本发明的半导体衬底及其制造方法进行了说明,但本发明并不被上述的实施方式限制。

[0114] 例如,硅衬底 10 和第 1 外延层 11 的导电型是 n 型,第 2 外延层 13、第 3 外延层 14 以及第 4 外延层 15 的导电型是 p 型,但本发明并不被限制于此。例如,硅衬底 10 和第 1 外延层 11 的导电型是 p 型,第 2 外延层 13、第 3 外延层 14 以及第 4 外延层 15 的导电型是 n 型也可。

[0115] 此外,在上述的本实施方式中,针对使用硅的半导体衬底进行了说明,但本发明并不被限制于此。例如,使用碳化硅(SiC)、砷化镓(GaAs)、氮化镓(GaN)等的化合物半导体也可。

[0116] [实施例]

[0117] 接着,针对本发明,使用实施例更详细地进行说明。再有,该实施例并不限定本发明的范围。

[0118] [实施例 1]

[0119] 进行在上述的实施方式中所示的 S1~S5 的各工序,制造图 1 所示的半导体衬底 1。以下,针对在形成第 2 外延层、第 3 外延层以及第 4 外延层时的气氛中的温度和掺杂物的流量进行表示。掺杂物使用其浓度为 100ppm 的乙硼烷(B_2H_6) 气体。

[0120] 形成第 2 外延层时的气氛中的温度是 $970^{\circ}C$,掺杂物气体的流量是 220sccm。此外,形成第 3 外延层时的气氛中的温度是 $950^{\circ}C$,掺杂物气体的流量是 250sccm。此外,形成第 4 外延层时的气氛中的温度是 $980^{\circ}C$,掺杂物气体的流量是 210sccm。

[0121] 而且,通过 S1~S5 的各工序获得的半导体衬底 1 通过扩展电阻测定装置进行电阻率的测定,评价了电特性。在实施例 1 中,电阻率的厚度方向的分布的变动(例如最大值 - 最

小值) 是 $\pm 2\%$ 以下。

[0122] [比较例 1]

[0123] 与实施例 1 相比, 将第 3 外延层形成工序 S4 中的气氛中的掺杂物气体的流量设为 220sccm。除此之外与实施例 1 相同。

[0124] 在比较例 1 中, 电阻率的厚度方向的分布的变动是 $\pm 11\%$ 。

[0125] 根据实施例 1 和比较例 1 的结果, 例如可知以下内容。

[0126] 与比较例 1 相比, 在实施例 1 中, 电阻率的厚度方向的分布均匀。也就是说, 第 2 外延层、第 3 外延层和第 4 外延层各自的掺杂物浓度的变化少, 实质上相同。因此, 可知实施例 1 能够获得适于具有超级结构造的 MOSFET 的制造的电特性。

[0127] 附图标记说明

[0128] 1 半导体衬底;

[0129] 10 硅衬底;

[0130] 11 第 1 外延层;

[0131] 12 沟槽;

[0132] 13 第 2 外延层(外延层);

[0133] 14 第 3 外延层(外延层);

[0134] 15 第 4 外延层(外延层);

[0135] S1 第 1 外延层形成工序;

[0136] S2 沟槽形成工序;

[0137] S3 第 2 外延层形成工序(外延层形成工序);

[0138] S4 第 3 外延层形成工序(外延层形成工序);

[0139] S5 第 4 外延层形成工序(外延层形成工序)。

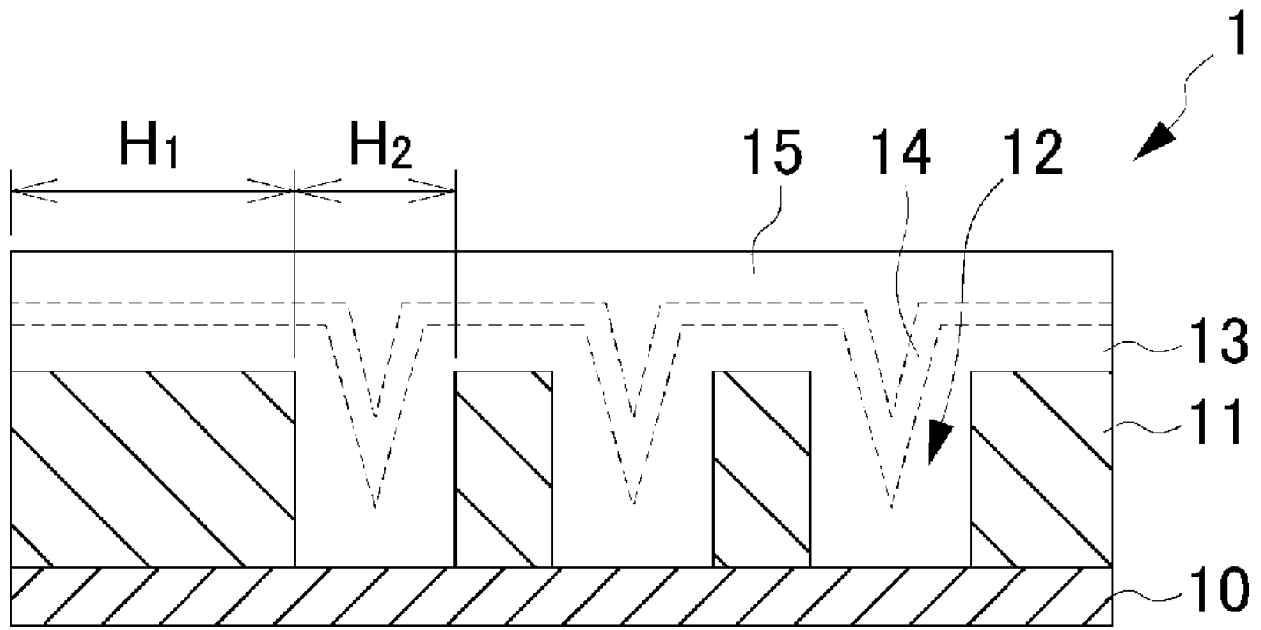


图 1

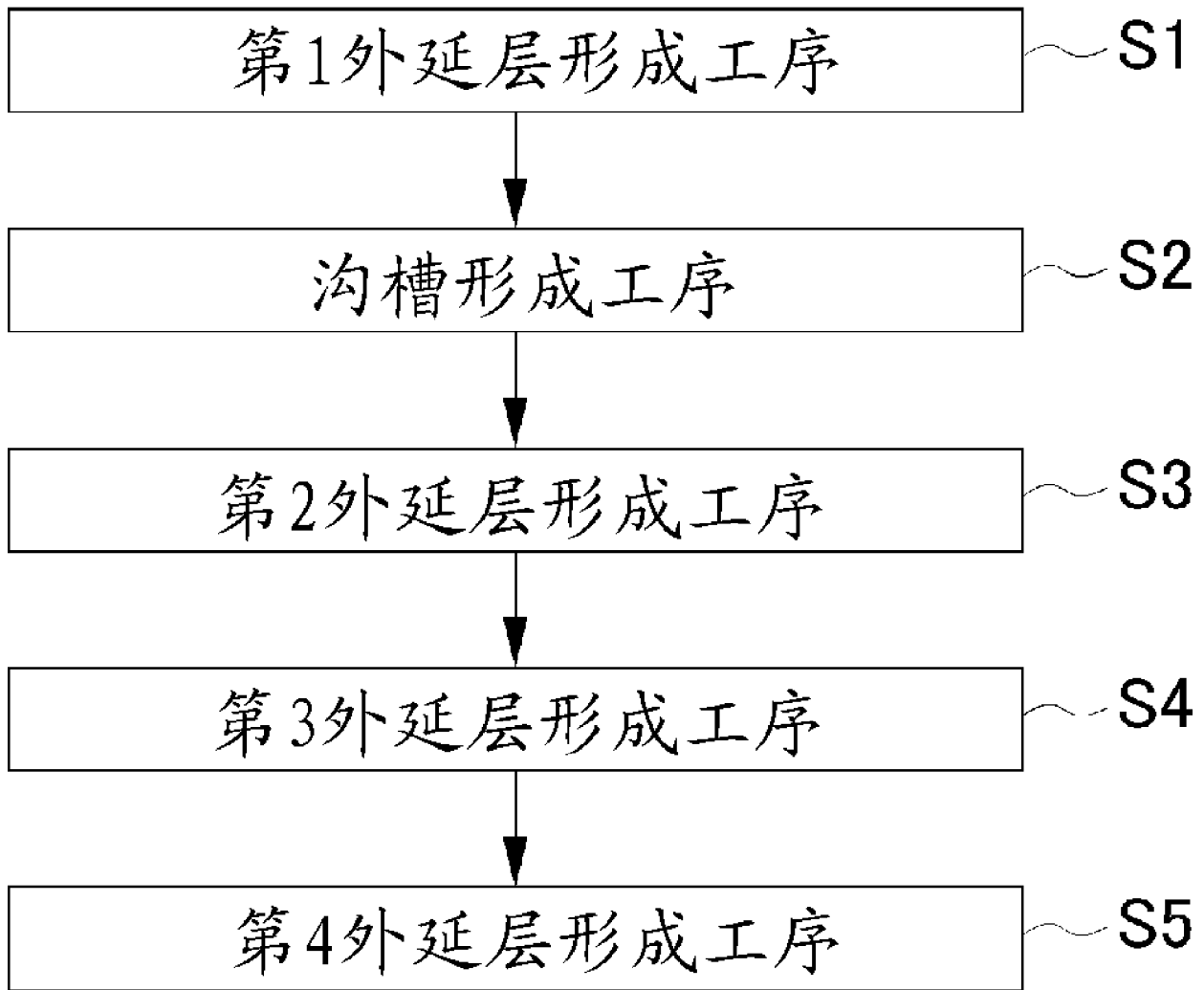


图 2

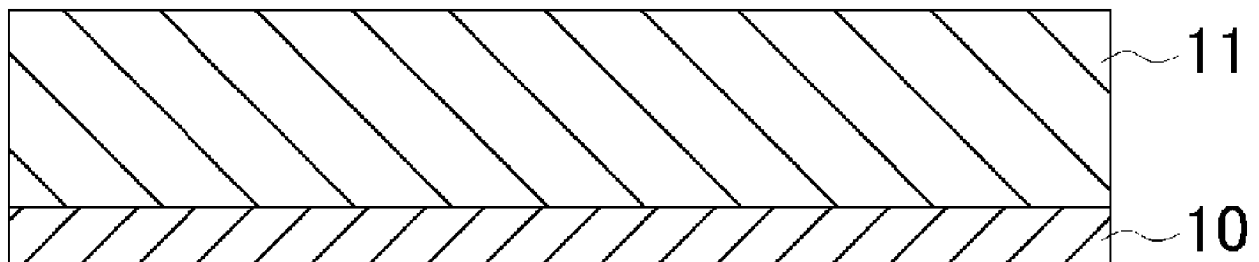


图 3A

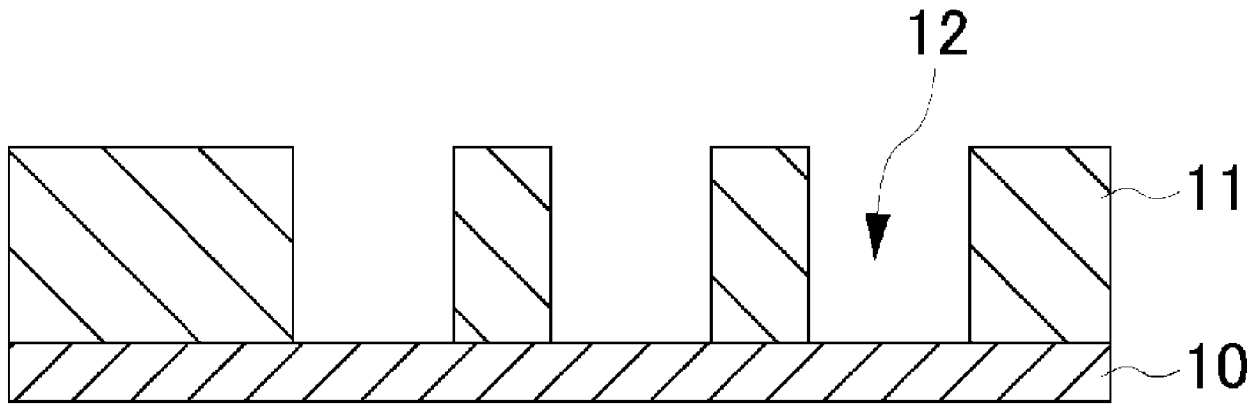


图 3B

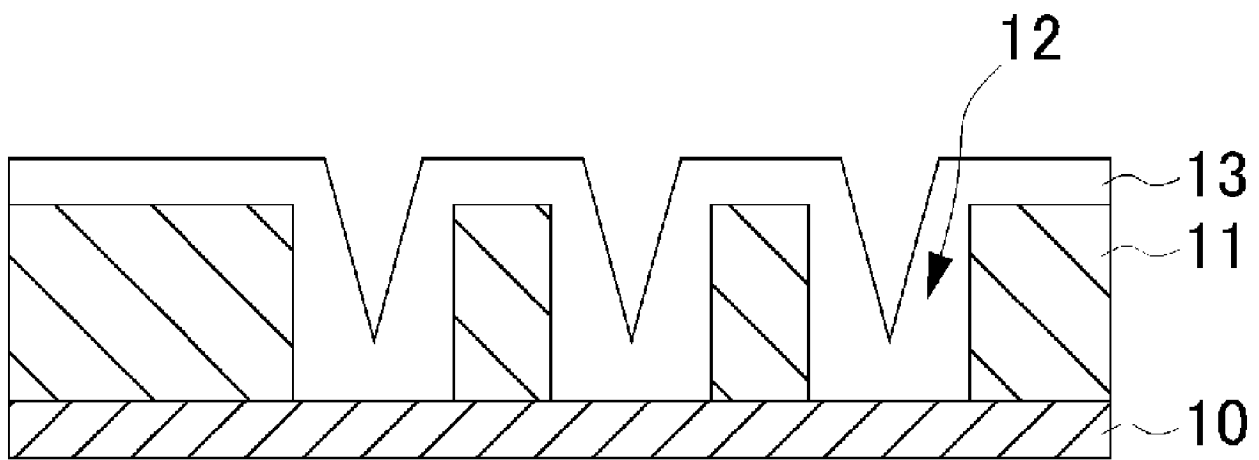


图 3C

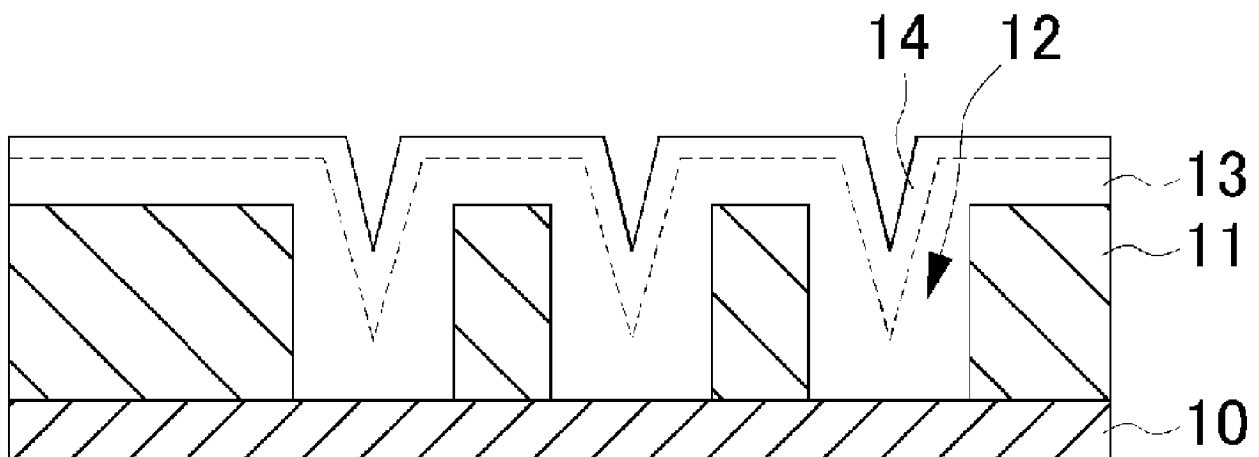


图 3D

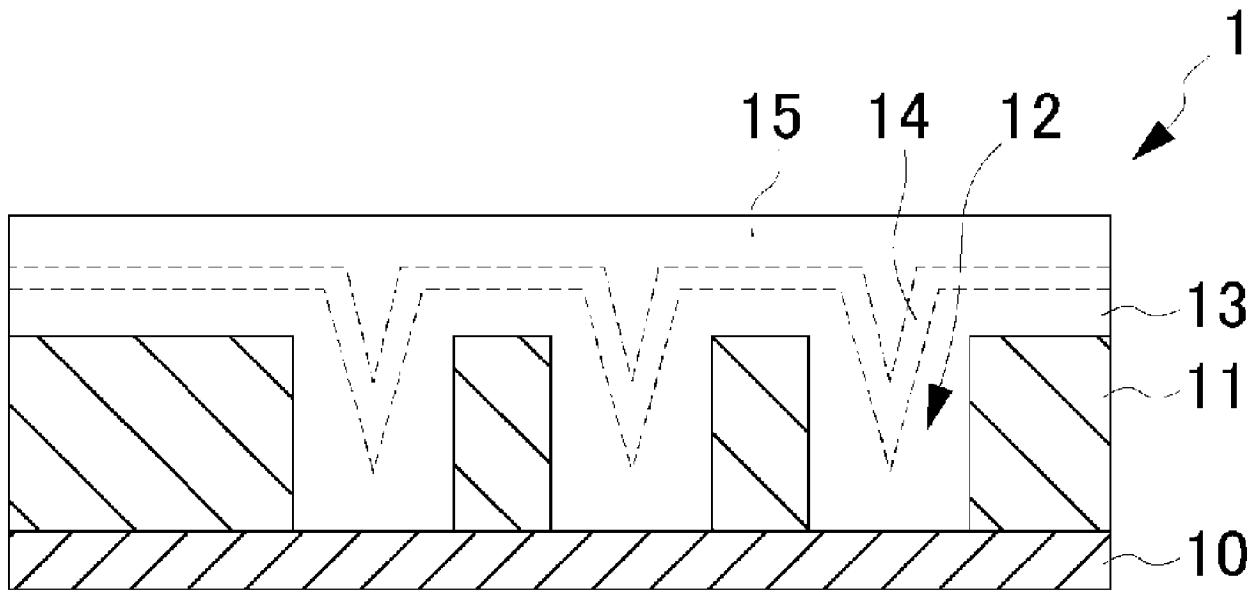


图 3E

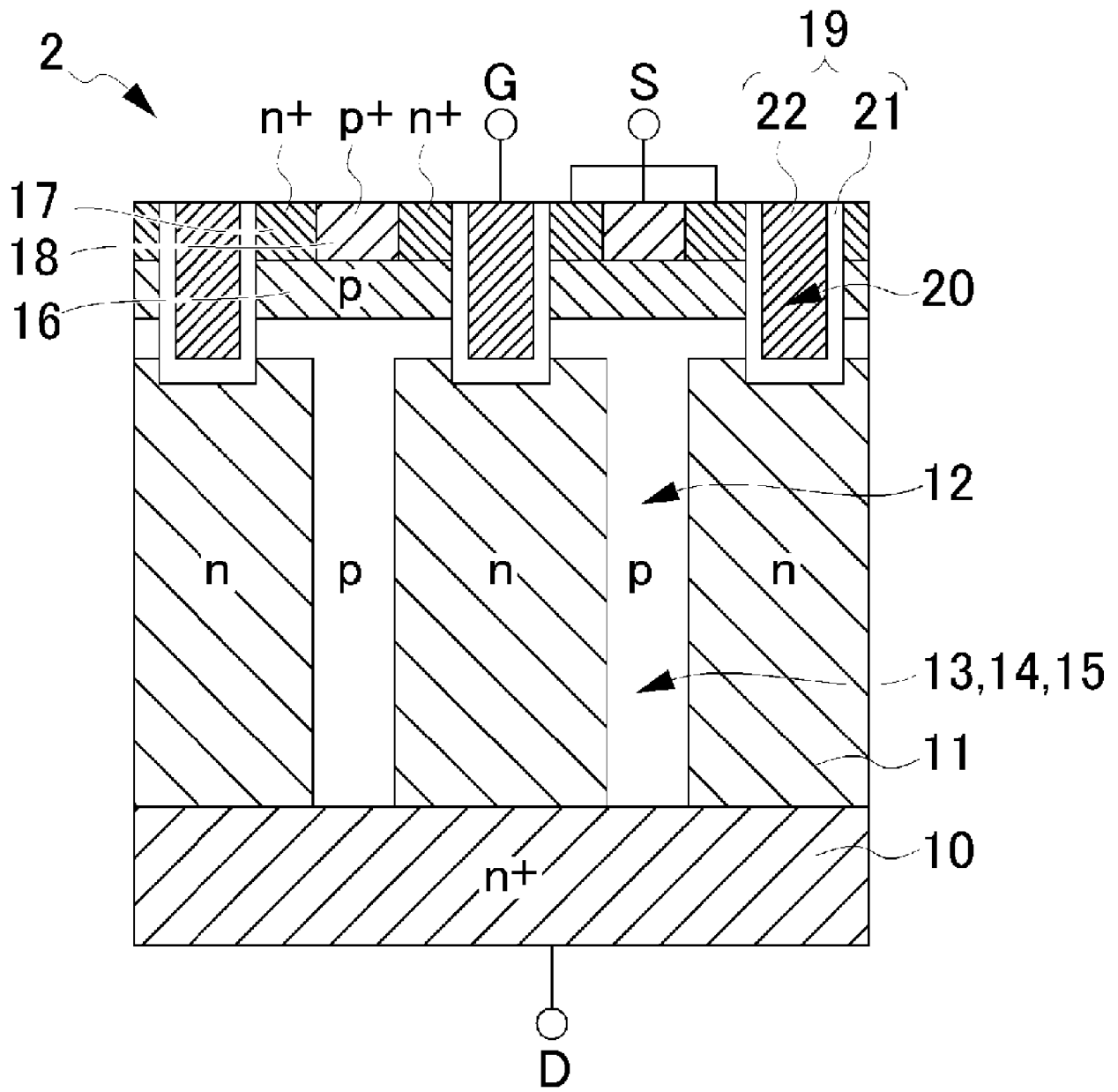


图 4

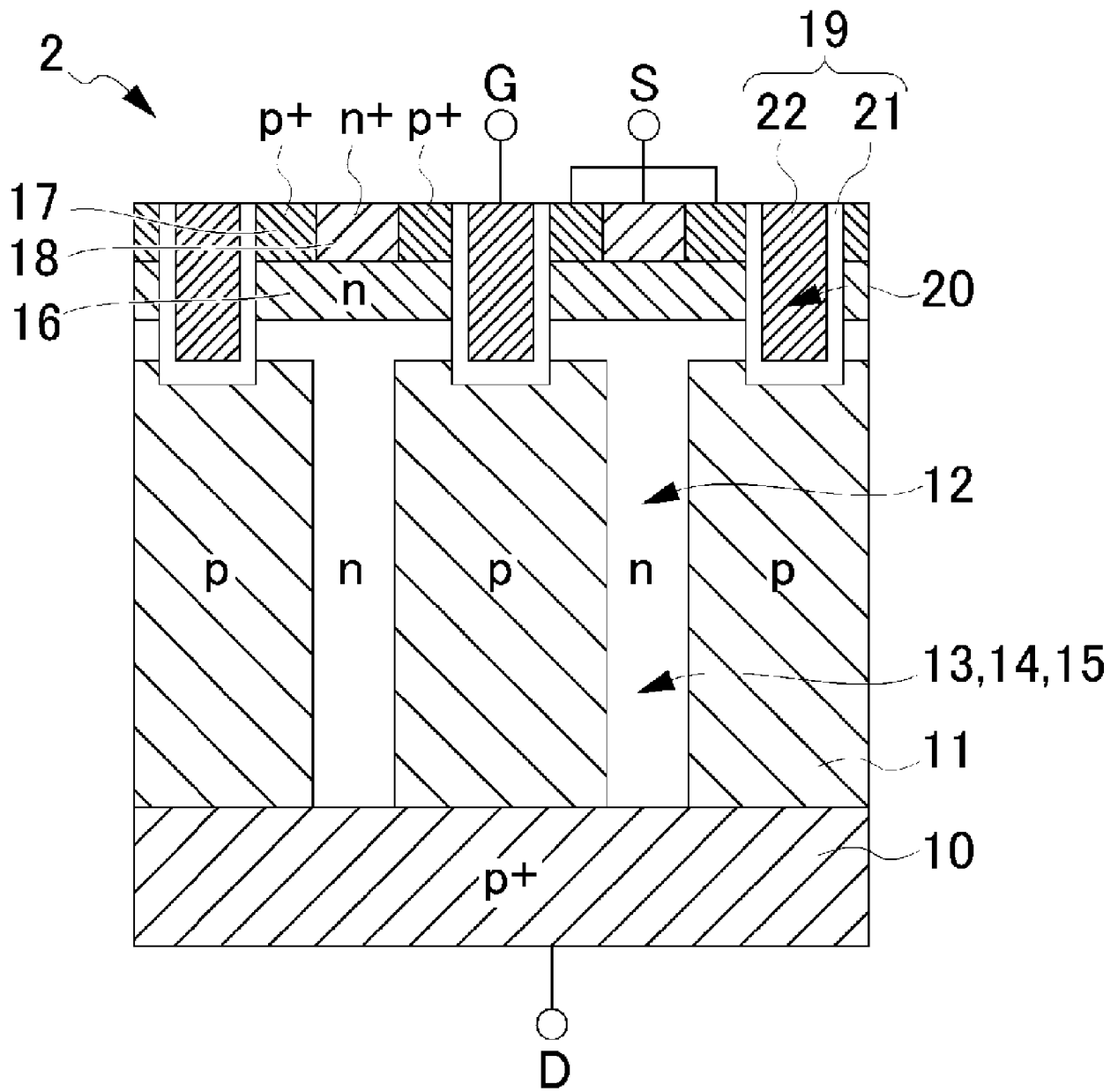


图 5