



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. H01L 29/772 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년05월17일 10-0719152 2007년05월10일
--	-------------------------------------	--

(21) 출원번호	10-2003-7016973	(65) 공개번호	10-2004-0006041
(22) 출원일자	2003년12월26일	(43) 공개일자	2004년01월16일
심사청구일자	2003년12월26일		
번역문 제출일자	2003년12월26일		
(86) 국제출원번호	PCT/EP2002/006803	(87) 국제공개번호	WO 2003/003470
국제출원일자	2002년06월19일	국제공개일자	2003년01월09일

(30) 우선권주장 10131237.7 2001년06월28일 독일(DE)

(73) 특허권자 인피네온 테크놀로지스 아게
독일, 뮌헨 데-81669, 세인트-마틴-슈트라세 53

(72) 발명자 포프마르틴
독일01109드레스덴켈리너스트라세17

리히터프랑크
독일01108드레스덴알테모리츠부르거스트라세59

템플러디에트마
독일01109드레스덴푸트부저베크14

비치-글라센안드레아스
독일01465랑게브뤼크아.-리히터-스트라세12

(74) 대리인 특허법인화우

(56) 선행기술조사문헌
KR20010008504

심사관 : 배진용

전체 청구항 수 : 총 22 항

(54) 전계-효과 트랜지스터 및 그 제조 방법

(57) 요약

본 발명은 종래의 트랜지스터에서 트랜지스터간의 절연을 위해 제공된 표면 부분을 바람직하게 이용하는 트랜지스터에 관한 것이다. 이것은 단락의 위험 없이 셀프 얼라인 방식으로 채널 폭의 확대를 가능하게 한다. 본 발명에 따른 전계-효과 트

랜지스터는, 얻어질 수 있는 집적 밀도가 감소될 필요 없이, 순방향 전류(I_{ON})에 작용하는 채널 폭이 지금까지 사용된 종래의 트랜지스터 구조에 비해 현저히 증가될 수 있다는 장점을 갖는다. 따라서, 활성 영역 또는 트렌치 절연체의 배치가 변경될 필요 없이, 예컨대 순방향 전류가 50% 까지 증가될 수 있다.

대표도

도 7

특허청구의 범위

청구항 1.

전계-효과 트랜지스터, 특히 MIS 전계-효과트랜지스터에 있어서,

- a) 소오스 영역 및 드레인 영역,
- b) 상기 소오스 영역과 드레인 영역 사이에 배치되는 채널 영역(8),
- c) 상기 채널 영역으로부터 전기적으로 절연되어 상기 채널 영역 위에 배치되는 게이트 전극(11),
- d) 상기 채널 영역(8)을 횡방향으로 한정하는 트렌치 절연체(3), 및
- e) 상기 트렌치 절연체(3)의 부분(6)을 커버하는 상기 채널 영역(8)의 하나 이상의 부분 영역(8a, 8b)을 구비하며, 상기 채널 영역(8)이 에피택시 형성된 반도체 영역인 것을 특징으로 하는 전계-효과 트랜지스터.

청구항 2.

삭제

청구항 3.

제 1항에 있어서,

상기 트렌치 절연체의 상부 에지를 따라 홈 형상의 리세스가 형성되는 것을 특징으로 하는 전계-효과 트랜지스터.

청구항 4.

제 1항에 있어서,

상기 트렌치 절연체(3)의 부분(6)을 커버하는 채널 영역(8)의 부분 영역(8a, 8b)은 상기 채널 영역의 10% 이상을 차지하는 것을 특징으로 하는 전계-효과 트랜지스터.

청구항 5.

제 1항에 있어서,

상기 채널 영역(8)의 폭이 트랜지스터의 제조에 사용된 리소그래피에 의해 제조될 수 있는 최소 피처 크기(F)의 1.2배 보다 큰 것을 특징으로 하는 전계-효과 트랜지스터.

청구항 6.

제 1항에 있어서,

상기 채널 영역(8)의 표면이 상기 트렌치 절연체(3)의 표면(3a) 하부에 배치되는 것을 특징으로 하는 전계-효과 트랜지스터.

청구항 7.

제 1항에 있어서,

상기 채널 영역(8)의 표면이 상기 트렌치 절연체(3)의 표면(3a) 상부에 배치되고, 상기 채널 영역(8)이 수평 영역과 수직 영역(8c, 8d)을 갖는 것을 특징으로 하는 전계-효과 트랜지스터.

청구항 8.

전계-효과 트랜지스터, 특히 MIS 전계-효과 트랜지스터의 제조 방법에 있어서,

- a) 하나 이상의 활성 영역(2)과 이미 완성된 트렌치 절연체(3)를 가진 반도체 기판(1)을 제공하는 단계,
- b) 선택적 에피택시를 수행하여, 상기 활성 영역(2) 위에 그리고 상기 트렌치 절연체(3)의 부분(6) 위에 본질적으로 단결정의 반도체 재료(7)가 형성되고, 트렌치 절연체(3)의 일부를 커버하는 채널 영역(8)을 형성하는 단계,
- c) 상기 채널 영역(8) 상에 게이트 산화물(10)을 형성하고, 상기 게이트 산화물(10) 상에 게이트 전극(11)을 형성하는 단계, 및
- d) 소오스 영역 및 드레인 영역을 형성하는 단계를 구비하는 것을 특징으로 하는 전계-효과 트랜지스터의 제조 방법.

청구항 9.

제 8항에 있어서,

단계 b)에서 상기 선택적 에피택시 전에 에칭이 수행되고, 상기 활성 영역(2)에 인접한 상기 트렌치 절연체(3)의 하나 이상의 부분(6)이 에칭되어, 상기 트렌치 절연체(3)의 상부 에지를 따라 홈 형상의 리세스가 형성되는 것을 특징으로 하는 전계-효과 트랜지스터의 제조 방법.

청구항 10.

제 9항에 있어서,

상기 활성 영역(2)에 인접한 상기 트렌치 절연체(3)의 부분(6)이 등방성 에칭되는 것을 특징으로 하는 전계-효과 트랜지스터의 제조 방법.

청구항 11.

제 8항에 있어서,

단계 a)에서, 상기 활성 영역(2) 위에 산화물 층(4)이 배치되며, 상기 트렌치 절연체의 에칭에 의해 상기 활성 영역(2) 상의 산화물 층(4)이 제거되어, 상기 트렌치 절연체(3)의 상부 에지를 따라 홈 형상의 리세스가 형성되는 것을 특징으로 하는 전계-효과 트랜지스터의 제조 방법.

청구항 12.

제 11항에 있어서,

상기 트렌치 절연체(3)의 에칭은 산화물 층(4)의 제거에 의해 종료되는 것을 특징으로 하는 전계-효과 트랜지스터의 제조 방법.

청구항 13.

제 11항에 있어서,

상기 트렌치 절연체(3)의 에칭이 상기 산화물 층(4)의 제거 후에도 계속되는 것을 특징으로 하는 전계-효과 트랜지스터의 제조 방법.

청구항 14.

제 11항에 있어서,

상기 산화물 층(4)과 트렌치 절연체(3)의 에칭이 상기 활성 영역(2)의 재료에 따라 선택적으로 이루어지는 것을 특징으로 하는 전계-효과 트랜지스터의 제조 방법.

청구항 15.

제 8항에 있어서,

단계 b)에서 상기 선택적 에피택시는, 상기 채널 영역(8)의 표면이 상기 트렌치 절연체(3)의 표면(3a) 하부에 배치되도록 수행되는 것을 특징으로 하는 전계-효과 트랜지스터의 제조 방법.

청구항 16.

제 15항에 있어서,

상기 선택적 에피택시 후에, 상기 에피택시 표면의 평탄화를 위해 열처리가 수행되는 것을 특징으로 하는 전계-효과 트랜지스터의 제조 방법.

청구항 17.

제 8항 내지 제 14항 중 어느 한 항에 있어서,

단계 b)에서 상기 선택적 에피택시는, 상기 채널 영역(8)의 표면이 상기 트렌치 절연체(3)의 표면(3a) 상부에 배치되고 수평 영역 및 수직 영역(8c, 8d)을 가진 채널 영역(8)이 형성되도록 수행되는 것을 특징으로 하는 전계-효과 트랜지스터의 제조 방법.

청구항 18.

제 8항 내지 제 16항 중 어느 한 항에 있어서,

상기 선택적 에피택시에 의해 단결정 실리콘이 형성되는 것을 특징으로 하는 전계-효과 트랜지스터의 제조 방법.

청구항 19.

제 8항 내지 제 16항 중 어느 한 항에 있어서,

상기 선택적 에피택시 전에, 적어도 상기 활성 영역(1)과 상기 트렌치 절연체(3)의 에칭된 부분(6)이 주사 힘 현미경(scanning force microscope)에 의해 측정되는 것을 특징으로 하는 전계-효과 트랜지스터의 제조 방법.

청구항 20.

제 8항 내지 제 16항 중 어느 한 항에 있어서,

상기 활성 영역(2)에 인접한 상기 트렌치 절연체(3)의 부분(6)의 에칭이 습식-화학적 에칭에 의해 이루어지는 것을 특징으로 하는 전계-효과 트랜지스터의 제조 방법.

청구항 21.

제 8항 내지 제 16항 중 어느 한 항에 있어서,

상기 게이트 산화물(10)의 형성 전에, 희생 산화물이 제공되고 다시 제거되는 것을 특징으로 하는 전계-효과 트랜지스터의 제조 방법.

청구항 22.

제 1항에 있어서,

상기 트렌치 절연체(3)의 부분(6)을 커버하는 채널 영역(8)의 부분 영역(8a, 8b)은 상기 채널 영역의 20% 이상을 차지하는 것을 특징으로 하는 전계-효과 트랜지스터.

청구항 23.

제 1항에 있어서,

상기 채널 영역(8)의 폭이 트랜지스터의 제조에 사용된 리소그래피에 의해 제조될 수 있는 최소 피처 크기(F)의 1.4배 보다 큰 것을 특징으로 하는 전계-효과 트랜지스터.

명세서

기술분야

본 발명은 전계-효과 트랜지스터와 그 제조 방법에 관한 것이다.

배경기술

종래의 전계-효과 트랜지스터, 특히 플레이너 MIS 전계-효과 트랜지스터(MISFET)의 특성 파라미터는 집적 회로의 구조 축소(스케일링) 및 패킹 밀도 증가에 따라 저하된다. 예컨대, 트랜지스터의 채널 길이가 감소됨에 따라 트랜지스터의 항복 전압(V_T)이 감소된다. 동시에, 채널 길이 감소에 따라 채널 영역 내의 전계 강도 및 역방향 전류(I_{OFF})(SCE: short channel effect; roll-off)가 증가된다. 또한, 채널 폭 감소에 따라 순방향 전류(I_{ON})가 비선형적으로 변동된다. 추가로 절연체에 대한 채널 전이부에서 전계-효과 트랜지스터의 구조 및 도핑이 변경된다. 일반적으로, 스케일링 시에 채널 중앙 영역에 비해 채널 경계가 상대적으로 중요해진다(NCE: narrow channel effect, INCE: inverse narrow channel effect).

상기 어려움에도 불구하고 구조 축소(스케일링) 증가 시에 전계-효과 트랜지스터의 성능을 개선/유지시키기 위해, 일련의 조치들이 취해진다. 예컨대, MISFET 스케일링과 동시에 내부 동작 전압 레벨의 적합한 스케일링이 이루어진다. 또한, 일반적으로 웰 영역 및 채널 영역 그리고 소오스 영역 및 드레인 영역의 도핑 프로파일의 최적화가 이루어진다. 동시에, 통상적으로 게이트 절연체의 스케일링이 두께 및 재료에 있어 실시된다.

또 다른 개선은 살리사이드(salicide) 소오스 영역 및 드레인 영역(S/D) 그리고 살리사이드 게이트 전극의 사용에 의해 얻어진다. 접촉 금속층의 기생 저항 또는 커패시턴스의 최소화에 의해, 예컨대 구리 와이어링 및 중간 절연체의 사용에 의해, 예컨대 소위 "낮은-k" 재료의 사용에 의해, 부가의 개선이 얻어질 수 있다. DRAM 메모리 셀의 경우, 각각의 어레이 트랜지스터의, "슈링크"에 의해 감소(예컨대, 게이트 트랙의 저항 감소)되는 "온(ON)" 전류에 대한 관독 로직의 조정이 이루어질 수 있다.

전계-효과 트랜지스터의 성능을 유지 또는 개선시키기 위한 또 다른 가능성은, 예컨대 상승된 소오스/드레인 영역("elevated S/D")을 가지거나 또는 소위 SOI(silicon on insulator) 기술을 기초로 하거나 또는 채널 영역에 높은 캐리어 이동성을 가진 재료, 예컨대 SiGe를 포함하는, 변형된 트랜지스터 장치의 사용에 있다. 동작 온도의 감소 시에 주어지는 부가의 가능성은 여기에 나타나 있지 않다.

종래의 LOCOS 필드 절연체 대신 트렌치 필드 절연체(STI:shallow trench isolation)의 도입도 상기 상태의 개선에 기여한다. 트렌치 필드 절연체(STI: shallow trench isolation)가 종래의 LOCOS 필드 절연체 대신에 사용되면, 일반적으로 소위 "역 협 채널 효과(inverse narrow channel effect)"(INCE)의 최소화를 위한 부가의 조치가 취해져야 한다. 따라서, 소위 "랩어라운드 게이트(wraparound gate)를 피하기 위해, 예컨대 반도체 표면 위의 STI 상부 에지의 포지티브 단 높이가 설정된다. 또한, 필드 절연체, 소위 "코너 영역"에 대한 전이부에서 트랜지스터 채널의 국부적 도핑이 정상 채널 도핑에 부가해서 제공될 수 있다.

STI 프로세싱 동안 STI 측벽의 산화에 의해, 트렌치 절연체에 대한 전이부에 활성 영역의 에지 라운딩 및 소위 "새부리(bird's beak) 지오메트리"가 형성될 수 있다. 상기 프로세스에서 "코너 라운딩", "미니 LOCOS" 또는 "포스트(post) CMP 산화"가 다루어진다. 이러한 조치들은 "역 협 채널 효과"(INCE)를 저지하기 위해서도 사용된다. 이러한 효과는 패드 산화물의 이전 횡방향 에칭-백(etching-back)에 의해서 강화될 수 있다. 활성 영역의 에지 라운딩은 열 표면 변형에 의해서도 형성될 수 있다. 또한, 질화물 스페이서 가드 링("guard ring")이 제공될 수 있다. 코너 영역 위의 게이트 중첩을 피하기 위해, 필드 절연체 경계 앞에서 게이트 에지의 셀프 얼라인 중단이 제공될 수 있다. 이것은 예컨대 STI 패터닝에서 폴리 게이트와 활성 영역의 공동 패터닝에 의해 이루어질 수 있다.

그러나, 이러한 모든 조치에도 불구하고 터널의 위험 또는 MISFET의 게이트 산화물의 안정성 저하의 위험 없이, 100 nm 정도의 구조물 크기부터 충분한 순방향 전류(I_{ON})를 보장하는 것이 점점 더 어려워진다. 따라서, 일련의 대안적 트랜지스터 장치가 제공되었다.

미국 공보 제4,979,014호는 반도체 기판 상에 웨브형 상승부를 가진 MOS 트랜지스터를 개시한다. 상기 트랜지스터의 채널은 웨브형 상승부를 따라 배치되고 웨브형 상승부의 상부 표면에 있는 채널 영역 이외에 상기 웨브형 상승부의 측벽에 2개의 다른 채널 영역을 갖는다. 미국 공보 제4,979,014호에 따른 트랜지스터는 탁월한 "코너 효과(corner effect)"를 갖는데, 상기 효과는 큰 공핍 구역을 형성하는데 사용된다.

Huang 등 저, "Sub 50nm FinFET; PMOS" IEDM 1999년 간행물에는 웨브형 상승부("Fin")의 측벽에 2중 게이트 구조를 갖는 소위 "FinFET" 트랜지스터가 공지되어 있다. 상기 FinFET는 좁은 Fin 커버면 상의 보다 두꺼운 절연층에 의해 INCE를 피한다.

유감스럽게도 상기 모든 조치는 제한된 효과만을 갖거나 또는 고비용의 프로세스 엔지니어링을 필요로 한다.

발명의 상세한 설명

따라서, 본 발명의 목적은 상기 문제점들을 감소시키거나 또는 피하는 전계-효과 트랜지스터 및 그 제조 방법을 제공하는 것이다. 특히, 본 발명의 목적은 충분한 순방향 전류(I_{ON})을 제공하며 적은 비용으로 플레이너 MOSFET의 종래 집적 프로세스와 호환되어 제조될 수 있는 전계-효과 트랜지스터를 제공하는 것이다.

상기 목적은 독립 청구항 제 1항에 따른 전계-효과 트랜지스터 및 독립 청구항 제 8항에 따른 전계-효과 트랜지스터의 제조 방법에 의해 달성된다. 본 발명의 또 다른 바람직한 실시예는 종속 청구항, 이하의 설명 및 첨부된 도면에 제시된다.

본 발명은,

- a) 소오스 영역 및 드레인 영역,
- b) 상기 소오스 영역과 드레인 영역 사이에 배치되는 채널 영역,
- c) 상기 채널 영역으로부터 전기 절연되어 상기 채널 영역 위에 배치되는 게이트 전극, 및
- d) 상기 채널 영역과 횡방향으로 한정(bound)되는 트렌치 절연체를 포함하고,
- e) 상기 채널 영역의 하나 이상의 부분 영역이 상기 트렌치 절연체의 부분을 커버하는 것을 특징으로 하는 전계-효과 트랜지스터를 제공한다.

또한, 본 발명은,

- a) 하나 이상의 활성 영역과 이미 완성된 트렌치 절연체를 가진 반도체 기판을 제공하는 단계,
- b) 상기 활성 영역 위에 그리고 상기 트렌치 절연체의 부분 위에 본질적으로 단결정의 반도체 재료가 형성됨으로써 채널 영역이 형성되도록, 선택적 에피택시를 수행하는 단계,
- c) 상기 채널 영역 상에 게이트 산화물을 그리고 상기 게이트 산화물 상에 게이트 전극을 형성하는 단계, 및
- d) 소오스 영역 및 드레인 영역을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 전계-효과 트랜지스터의 제조 방법을 제공한다.

본 발명에 따른 전계-효과 트랜지스터는, 얻어질 수 있는 집적 밀도의 감소 없이, 순방향 전류(I_{ON})에 작용하는 채널 폭이 지금까지 사용된 종래의 트랜지스터 구조에 비해 현저히 증가될 수 있다는 장점을 갖는다. 따라서, 활성 영역 또는 트렌치 절연체의 배치가 변경될 필요 없이, 예컨대 순방향 전류(I_{ON})가 50% 까지 증가될 수 있다. 본 발명에 따른 트랜지스터는 바람직하게는 종래의 트랜지스터에서 트랜지스터들 간의 절연을 위해 제공된 표면의 부분을 이용한다. 이 경우, 채널 폭의 확대는 단락의 위험 없이 셀프 얼라인 방식으로 이루어질 수 있다.

본 발명에 따른 전계-효과 트랜지스터 또는 본 발명에 따른 방법은 패터닝된, 활성 영역의 패킹 밀도를 증가시킬 수 있는데, 그 이유는 사용된 리소그래피의 가능성이 소위 "그라운드 룰(ground rule)" 보다 작은 구조물의 노광을 사용해서 거의 완전히 이용될 수 있기 때문이다. 따라서, 예컨대 웨이퍼 상에 구조물을 최적으로 코팅할 때(웹 폭 및 웹들 간의 간격에 있어서 동일한 치수, 소위 "equal space-equal line"), 보다 작은 활성 영역을 형성하고 실제 트랜지스터를 요구되는 설계 크기로(특히 채널 폭) 처리하는 것이 가능해진다.

예컨대, 트랜지스터가 110 nm 기술(채널 폭 \approx 110 nm)로 제조되어야 하면, 노광 또는 패터닝이 90 nm(활성 영역의 폭: 90 nm, 트렌치 절연체의 폭: 90 nm)로 이루어질 수 있다. 따라서, 현저히 증가된 집적 밀도가 주어진다. 그리고 나서, 채널 영역의 부분 영역이 트렌치 절연체의 일부를 커버한다는 사실을 이용해서, 110 nm의 채널 폭을 가진(설계에서 요구되는 바와 같은) 트랜지스터가 형성될 수 있다. 따라서, 웨이퍼 표면에서 트렌치 절연체의 횡방향 크기는 70 nm로 감소된다.

또한, 본 발명에 따른 전계-효과 트랜지스터는 종래의 트랜지스터에서 구조적으로 나타나는 "코너" 효과, 즉 필드 유도된 국부적 전자 축적으로 인한 코너 효과가 피해질 수 있다는 장점을 갖는다. 또한, 본 발명에 따른 전계-효과 트랜지스터에서는 트랜치 절연체와 채널 영역 사이의 지금까지의 토폴로지가 필요 없게 된다. 또한, 본 발명에 따른 전계-효과 트랜지스터 또는 본 발명에 따른 방법은 많은 비용 없이 상이한 반도체 기술(예컨대 로직 또는 메모리)로 통합될 수 있다는 장점을 갖는다.

본 발명에 따른 전계-효과 트랜지스터의 바람직한 실시예에 따라, 채널 영역은 에피택시로 형성된 반도체 영역이다. 따라서, 전계-효과 트랜지스터는 게이트 산화물에 대한 매우 양호한 표면을 갖는데, 그 이유는 에피택시 성장된 표면이 일반적으로 종래의 반도체 표면 보다 훨씬 더 적은 결함을 갖기 때문이다. 본 발명에 따른 전계-효과 트랜지스터의 또 다른 바람직한 실시예에 따라, 트랜치 절연체의 상부 에지를 따라 홈 형상의 리세스가 제공된다.

또 다른 바람직한 실시예에 따라, 트랜치 절연체의 일부를 커버하는 채널 영역의 부분 영역이 채널 영역의 10% 이상, 바람직하게는 20% 이상을 차지한다. 또한, 채널 영역의 폭이 트랜지스터의 제조를 위해 사용되는 리소그래피에 의해 제조될 수 있는 최소 피처 크기(F)의 1.2 배, 바람직하게는 1.4 배 보다 큰 것이 바람직하다.

본 발명에 따른 전계-효과 트랜지스터의 또 다른 바람직한 실시예에 따라 채널 영역의 표면이 트랜치 절연체의 표면 하부에 배치된다.

본 발명에 따른 전계-효과 트랜지스터의 또 다른 실시예에 따라, 채널 영역의 표면이 트랜치 절연체의 표면 상부에 배치됨으로써, 채널 영역은 수평 및 수직 영역을 갖는다.

본 발명에 따른 방법의 바람직한 실시예에 따라, 선택적 에피택시 전에 단계 b)에서 에칭이 수행된다. 활성 영역에 인접한 트랜치 절연체의 적어도 일부가 에칭됨으로써, 트랜치 절연체의 상부 에지를 따라 홈 형상의 리세스가 형성된다. 이 경우, 활성 영역에 인접한 트랜치 절연체의 부분이 등방성 에칭되는 것이 특히 바람직하다. 또한, 단계 a)에서 활성 영역의 표면이 트랜치 절연체의 표면 하부에 배치되는 것이 바람직하다.

본 발명에 따른 방법의 또 다른 바람직한 실시예에 따라, 게이트 산화물을 형성하기 전에 희생 산화물이 제공된 다음, 다시 제거된다. 희생 산화물의 사용에 의해, 트랜치 절연체를 커버하는 채널 영역 부분과 바람직하게는 산화물로 충전된 트랜치 절연체 사이의 경계면의 매우 양호한 산화가 이루어진다.

본 발명에 따른 방법의 또 다른 바람직한 실시예에 따라, 단계 a)에서 활성 영역 위에 산화물 층이 배치되고, 트랜치 절연체의 에칭에 의해 상기 산화물 층이 활성 영역에서 제거됨으로써, 트랜치 절연체의 상부 에지를 따라 홈 형상의 리세스가 형성된다. 이 경우, 상기 산화물 층 및 트랜치 절연체의 에칭이 활성 영역의 재료에 대해 선택적으로 이루어지는 것이 특히 바람직하다.

본 발명에 따른 방법의 바람직한 실시예에 따라 트랜치 절연체의 에칭이 산화물 층의 제거에 의해 종료된다. 본 발명에 따른 방법의 또 다른 바람직한 실시예에 따라, 트랜치 절연체의 에칭이 산화물 층의 제거 후에도 계속됨으로써, 확대된 홈 형상의 리세스가 형성된다.

본 발명에 따른 방법의 또 다른 바람직한 실시예에 따라, 선택적 에피택시가 단계 b)에서 수행됨으로써, 채널 영역(8)의 표면이 트랜치 절연체(3)의 표면(3a) 하부에 배치된다. 또한, 선택적 에피택시 후에 에피택시 표면의 평탄화를 위한 열 처리가 수행되는 것이 바람직하다.

본 발명에 따른 방법의 또 다른 바람직한 실시예에 따라, 선택적 에피택시가 단계 b)에서 수행됨으로써, 채널 영역의 표면이 트랜치 절연체의 표면 상부에 배치되고, 수평 및 수직 영역을 가진 채널 영역이 형성된다.

본 발명에 따른 방법의 바람직한 실시예에 따라 선택적 에피택시에 의해 단결정 실리콘이 형성된다.

본 발명에 따른 방법의 또 다른 바람직한 실시예에 따라 선택적 에피택시 전에 활성 영역 및 트랜치 절연체의 에칭된 부분이 주사 힘 현미경(scanning force microscope)에 의해 측정된다. 또한, 활성 영역에 인접한 트랜치 절연체 부분의 에칭이 습식 화학적 에칭에 의해 이루어지는 것이 바람직하다.

이하, 본 발명을 첨부한 도면을 참고로 구체적으로 설명한다.

실시예

도 1 내지 도 3은 전계-효과 트랜지스터를 제조하기 위한 본 발명에 따른 방법의 제 1 실시예를 도시한다. 본 발명에 따른 방법의 출발점은 반도체 기판(1), 예컨대 실리콘 기판, 활성 영역(2) 및 상기 활성 영역(2) 사이에 이미 제조된 트랜치 절연체(3)를 포함한다. 편의상, 반도체 기판(1)에 있는 많은 활성 영역 중 단 하나의 활성 영역만이 도시되어 있다. 후속해서, 활성 영역에 전계-효과 트랜지스터가 형성된다.

활성 영역 위에 패드 산화물 층(4) 및 패드 질화물 층(5)이 배치된다. 상기 층들은 특히 트랜치 절연체(3)를 형성하기 위해 사용되었다. 트랜치 절연체(3)는 예컨대 반도체 기판(1)에 에칭된 트랜치를 HDP("high density plasma") 방법에 의해 실리콘 산화물로 채움으로써 얻어진다. 이 경우, 반도체 기판(1)과 산화물 충전물 사이에 소위 "라이너(liner)", 예컨대 질화물 라이너(도시되지 않음)가 제공될 수 있다. 실리콘 산화물의 적층 후에, CMP("chemical mechanical polishing") 단계가 수행됨으로써, 패드 질화물 층(5)이 노출된다. 이로부터 얻어진 상태가 도 1에 도시되어 있다.

본 발명에 따른 방법에서는, 종래의 방법과는 달리, CMP 단계가 트랜치 절연체(3)의 표면(3a)과 활성 영역(2)의 하부에 놓인 표면(2a) 사이의 단차 높이를 최종적으로 설정하기 위해 사용될 필요가 없기 때문에, 상기 CMP 단계가 본 발명에 따른 방법의 범주에서 현저히 커진 프로세스 윈도우를 가지며, 이것은 프로세스 안정성에 긍정적으로 작용한다. 종래의 방법에서 필요한, 패드 질화물 층(5)의 소위 "질화물 풀백(nitride pullback)"이 본 발명에 따른 방법에서는 생략될 수 있다.

패드 질화물 층(5)이 질화물 에칭에 의해 제거된 후에, 트랜치 절연체(3)의 산화물 및 특히 활성 영역(2)에 인접한 트랜치 절연체(3) 부분을 에칭하는 산화물 에칭이 수행된다. 동시에, 상기 에칭에 의해 패드 산화물 층(4)이 제거된다. 상기 에칭 시에, 트랜치 절연체의 상부 에지를 따라 홈 형상의 리세스(6)가 형성된다.

상기 에칭을 위해서는, 트랜치 절연체(3)의 패드 산화물 층(4) 또는 산화물을 활성 영역(2)에 대해 선택적으로 에칭하는 습식 화학적 에칭이 사용되는 것이 바람직하다. 이러한 에칭은 예컨대 완충된 HF 산(BHF)에 의해 수행될 수 있다. 본 실시예에서, 트랜치 절연체(3)의 에칭은 패드 산화물 층(4)의 제거에 의해 종료된다. 이로부터 얻어진 상태가 도 2에 도시되어 있다.

후속해서 수행되는 선택적 에피택시에 대해 최상의 프로세스 파라미터를 설정하기 위해, 도 2에 도시된 구조물이 선택적 에피택시 전에 주사 힘 현미경에 의해 측정될 수 있다. 그리고 나서, 선택적 실리콘 에피택시가 수행된다. 활성 영역(2) 위에 그리고 트랜치 절연체(3)의 홈 형상의 리세스(6) 위에 단결정 실리콘(7)이 형성된다. 이 경우, 선택적 실리콘 에피택시 동안 단결정 실리콘(7)의 도핑이 이루어질 수 있다. 그러나, 단결정 실리콘(7)의 도핑은 선택적 실리콘 에피택시 후에도 수행될 수 있다. 상기 선택적 실리콘 에피택시에 의해, 후속해서 트랜지스터의 소오스/드레인 영역 및 특히 채널 영역(8)이 형성될 영역이 형성된다.

상기 트랜치 절연체(3)의 홈 형상의 리세스(6)는 선택적 에피택시에서 실리콘으로 완전히 채워질 필요가 없다. 상기 단결정 실리콘(7)과 트랜치 절연체의 표면(3a) 사이에 여전히 포지티브 단차 높이가 남아 있을 수 있다. 따라서, 채널 영역(8)의 표면은 트랜치 절연체(3)의 표면(3a) 하부에 배치된다. 종래의 방법에 비해, 본 발명에 따른 방법은 지금까지의 심한 토폴로지 차이가 거의 또는 완전히 없어질 수 있다는 장점을 갖는다.

단결정 실리콘(7)의 형성 후에, 게이트 산화물 층(도시되지 않음) 및 게이트 전극(도시되지 않음)이 형성된다. 게이트 전극의 패터닝 후에, 도핑에 의해 소오스 및 드레인 영역(도시되지 않음)이 제조된다.

트랜치 절연체(3)의 홈 형상의 리세스(6)를 커버하는 채널 영역(8)의 부분 영역(8a 및 8b)에 의해, 채널 영역(8)의 폭이 현저히 증가된다. 따라서, 본 발명에 따른 방법은, 얻어질 수 있는 집적 밀도가 감소될 필요 없이, 순방향 전류(I_{ON})에 작용하는 채널 폭이 지금까지 사용된 종래의 트랜지스터 구조에 비해 현저히 증가될 수 있다는 장점을 갖는다. 따라서, 활성 영역 또는 트랜치 절연체의 배치가 변경될 필요 없이, 예컨대 순방향 전류(I_{ON})가 50% 까지 증가될 수 있다. 본 발명에 따른 트랜지스터는 종래의 트랜지스터에서 트랜지스터들 간의 절연을 위해 제공된 표면 부분을 이용한다. 이 경우, 채널 폭의 확대는 단락의 위험 없이 셀프 얼라인 방식으로 이루어진다.

도 4 내지 도 7은 전계-효과 트랜지스터를 제조하기 위한 본 발명에 따른 방법의 다른 실시예를 도시한다. 본 발명에 따른 방법의 출발점은 반도체 기판(1), 예컨대 실리콘 기판, 활성 영역(2) 및 상기 활성 영역(2) 사이에 이미 제조된 트랜치 절연체(3)를 포함한다. 상기 활성 영역 위에 패드 산화물 층(4) 및 패드 질화물 층(5)이 배치된다. 상기 층들은 특히 트랜치 절

연체(3)를 형성하기 위해 사용되었다. 상기 트렌치 절연체(3)는 예컨대 반도체 기판(1)에 에칭된 트렌치를 HDP("high density plasma") 방법에 의해 실리콘 산화물로 채움으로써 얻어진다. 도 4는 HDP 방법 후에 CMP 단계 전에 주어지는 구조물을 개략적으로 도시한다.

상기 트렌치 산화물의 적층 후에, CMP("chemical mechanical polishing") 단계가 수행됨으로써, 패드 질화물 층(5)이 노출된다. 이로부터 얻어진 상태가 도 5에 도시되어 있다. 상기 패드 질화물 층(5)이 질화물 에칭에 의해 제거된 후에, 적어도 활성 영역(2)에 인접한 트렌치 절연체(3) 부분을 제거하는 에칭이 수행된다. 동시에, 상기 에칭에 의해 패드 산화물 층(4)이 제거된다. 상기 에칭을 위해서는, 트렌치 절연체(3)의 패드 산화물 층(4) 또는 산화물을 활성 영역(2)에 대해 선택적으로 에칭하는 습식 화학적 에칭이 사용되는 것이 바람직하다. 본 실시예에서, 트렌치 절연체(3)의 에칭이 패드 산화물 층(4)의 제거 후에도 계속됨으로써, 홈 형상의 리세스(6)의 큰 횡방향 폭이 얻어진다. 이로부터 얻어진 상태가 도 6에 도시되어 있다.

그리고 나서, 선택적 실리콘 에피택시가 수행된다. 활성 영역(2) 위에 그리고 트렌치 절연체(3)의 홈 형상의 리세스(6) 위에 단결정 실리콘(7)이 형성된다. 선택적 에피택시 후에, 단결정 실리콘(7)을 평탄화시키는 열처리가 선택적으로 수행될 수 있다.

그리고 나서, 게이트 산화물(10)의 형성 전에, 희생 산화물(도시되지 않음)이 제공된 다음, 다시 제거된다. 상기 희생 산화물의 사용에 의해, 트렌치 절연체(3)를 커버하는 채널 영역(8)의 부분(8a 및 8b)과 트렌치 절연체(3)의 산화물 사이의 경계면의 매우 양호한 산화가 이루어진다. 그리고 나서, 통상의 방식으로 게이트 산화물 층(10)이 형성되고, 상기 게이트 산화물 층상에 게이트 전극(11)이 예컨대 폴리실리콘 층의 형태로 또는 폴리시드 층의 형태로 적층된다(도 7).

그리고 나서, 게이트 전극 또는 게이트 스택(11)이 에칭에 의해 패터닝된다. 본 발명에 따른 방법은 지금까지 통상의 오버 에칭이 필요 없다는 장점을 갖는다. 종래의 방법에서는 게이트 전극의 패터닝 시에 오버에칭이 필요했는데, 그 이유는 큰 토폴로지 차이로 인해 게이트 스택의 상이한 두께 영역이 있을 수 있기 때문이다. 그러나, 오버에칭은 종종 그 아래 놓인 게이트 산화물의 손상을 일으킨다. 본 발명에 따른 방법에서는 상응하는 오버에칭이 피해될 수 있기 때문에, 게이트 산화물의 높은 품질이 보장될 수 있다. 게이트 전극의 패터닝 후에, 도핑에 의해 소오스 및 드레인 영역(도시되지 않음)이 제조된다.

도 7에 나타나는 바와 같이, 트렌치 절연체(3)의 부분(6)을 커버하는 채널 영역(8)의 부분 영역(8a 및 8b)은 채널 영역(8)의 20% 이상을 차지한다. 따라서, 채널 영역의 폭이 40% 이상 확대된다. 본 실시예에서 활성 영역(2)의 폭이, 트랜지스터의 제조에 사용되는 리소그래피에 의해 제조될 수 있는 최소 피처 크기(F)에 근사적으로 상응하기 때문에, 채널 영역(8)의 폭은 최소 피처 크기(F)의 1.4배 보다 크다. 따라서, 활성 영역 또는 트렌치 절연체의 배치가 변경될 필요 없이, 순방향 전류(I_{ON})가 50% 까지 증가될 수 있다. 또한, 본 발명에 따른 방법은 양호한 제어 가능성을 갖는데, 그 이유는 채널 영역의 프로파일이 CMP 단계, 패드 질화물 두께 및 습식-화학적 에칭에 의해 설계에 따라 설정될 수 있기 때문이다.

도 8 내지 도 13은 전계-효과 트랜지스터를 제조하기 위한 본 발명에 따른 방법의 또 다른 실시예를 나타낸다. 이 실시예에서도 다소 심하게 새겨진 홈 형상의 리세스가 편의상 도시되어 있지 않다. 에피택시 형성된 활성 표면이 STI 표면의 가장 높은 레벨 보다 약간 낮게 배치되는 진술한 2개의 실시예와는 달리, 이 실시예에서는 에피택시 성장이 상기 레벨 위로 이루어진다.

본 발명에 따른 방법의 출발점은 반도체 기판(1), 예컨대 실리콘 기판, 활성 영역(2) 및 상기 활성 영역(2) 사이에 이미 제조된 트렌치 절연체(3)를 포함한다(도 8). 그 다음에 산화가 이루어짐으로써 얇은 산화물 층(12)이 활성 영역(2)의 표면에 형성된다(도 9).

그리고 나서, 선택적으로 트랜지스터용 모든 영역을 의도된 채널 확대 없이 커버하는 마스크(13)를 이용한 등방성 에칭에 의해, 상기 얇은 산화물 층(12)이 다시 제거된다(도 10). 상기 마스크(13)의 제거 및 세정 후에, 노출된 반도체 표면상에 선택적 에피택시에 의해 단결정 반도체 층(7)이 적층된다. 상기 반도체 층은 동시에, STI 표면 상부의 에피택시 두께의 크기에 따라 근사적으로 트렌치 절연체(3)의 에지(6)를 횡방향으로 과성장(overgrow)시킨다. 에피택시 성장의 원리로 인해, 에피택시 층(7)의 상부 에지가 다면체로 라운딩되어 형성된다(도 11). 따라서, 채널 영역(8)의 표면이 트렌치 절연체(3)의 표면(3a) 위에 배치된다.

에피택시 과성장되지 않은 영역(도 12)상의 얇은 산화물 층(12)의 제거 후에, 게이트 산화물 층(10)의 형성 및 게이트 전극 층(11)(도 13)의 적층 및 패터닝이 이루어진다. 그리고 나서, 완전한 회로가 형성될 때까지 S/D 영역의 제조를 포함한 부가의 프로세싱이 종래의 프로세스 시퀀스에 따라 이루어진다.

선택적으로, 필드 절연체의 형성 후에 수행되는 산화 및 산화물 블로킹 층(12)으로서 그 패터닝이 생략될 수 있으므로, 횡방향 및 수직으로 에피택시 과성장된 구조물을 가진 모든 활성 영역, 따라서 반도체 기판 상에 집적될 모든 타입의 트랜지스터 및 다른 기능 소자들이 형성된다.

도 14는 도 13에 도시된 바와 같이 본 발명에 따른 전계-효과 트랜지스터의 확대도를 도시한다. 에피택시 층(7)의 표면 하부에는 채널 영역(8)이 형성된다. 채널 영역(8)의 부분 영역(8a 및 8b)은 트렌치 절연체(8)의 부분(6)을 커버한다. 지금까지 도시된 본 발명에 따른 전계-효과 트랜지스터의 실시예와는 달리, 도 14에 도시된 전계-효과 트랜지스터는 중앙의 활성 수평 영역(8c)에 부가해서, 트렌치 절연체(3)에 의해 한정되는 활성 수직 영역(8d)을 갖는다.

활성 영역의 평면 표면과 트렌치 절연체 사이의 높이 차이는 수직 채널 영역(8d)의 폭에 근사적으로 상응한다. 소오스 및 드레인 영역의 도핑 프로파일 깊이는 바람직하게는 상기 높이 차이 보다 크다. 활성의 및 STI 표면으로 이루어진 릴리프 구조물이 채널 영역(8)에서 게이트 전극(11), 바람직하게는 폴리실리콘-금속 층 스택에 의해 커버된다. 상기 채널 영역(8)의 평면 부분은 그 수직 부분과 마찬가지로 게이트 산화물(10)에 의해 커버된다. 활성 영역의 에지, 즉 활성 반도체 영역의 표면의 평면(수평) 부분으로부터 수직 부분으로의 전이부는 다면체로 라운딩된다. 상기 라운딩의 곡률 반경은 예컨대 STI 표면 위의 활성 영역의 수직 높이의 크기 내에 놓인다. 채널 영역은 소오스 및 드레인 상에 스페이서(도시되지 않음)에 의해 플랭크되며, 상기 스페이서는 게이트 전극을 S/D 콘택면으로부터 횡방향으로 절연시킨다.

도면의 간단한 설명

도 1 내지 도 3은 전계-효과 트랜지스터를 제조하기 위한 본 발명에 따른 방법의 제 1 실시예.

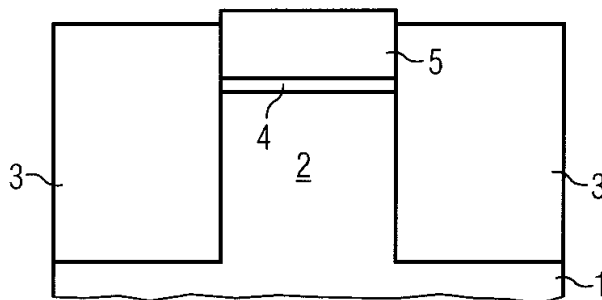
도 4 내지 도 7은 전계-효과 트랜지스터를 제조하기 위한 본 발명에 따른 방법의 다른 실시예.

도 8 내지 도 13은 전계-효과 트랜지스터를 제조하기 위한 본 발명에 따른 방법의 또 다른 실시예.

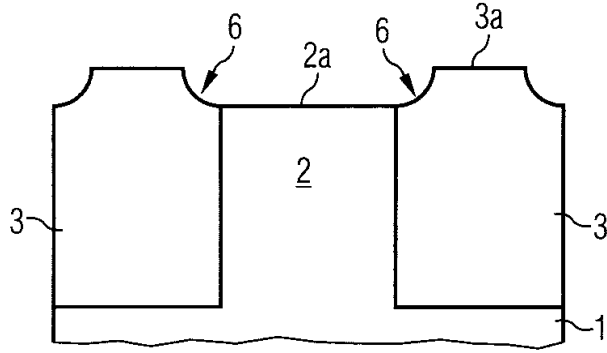
도 14는 도 13에 도시된 본 발명에 따른 전계-효과 트랜지스터의 확대도.

도면

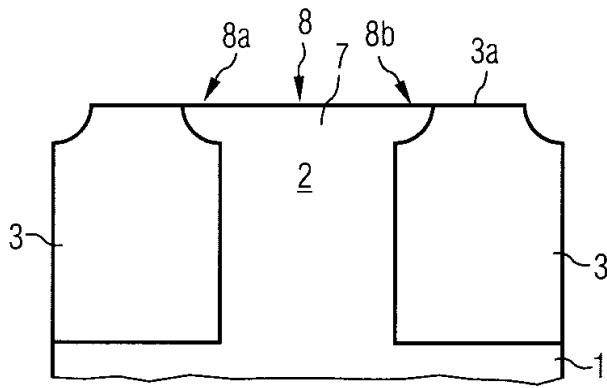
도면1



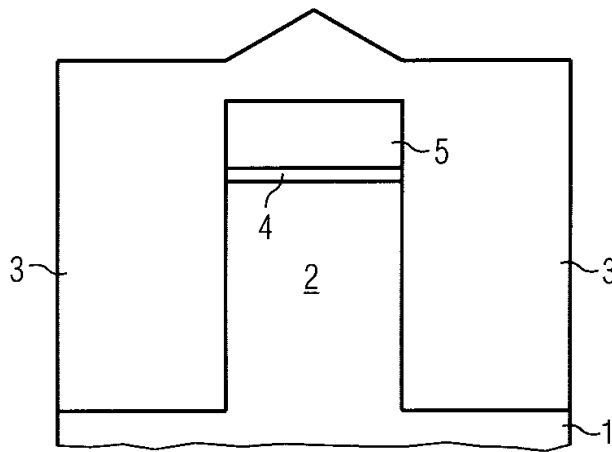
도면2



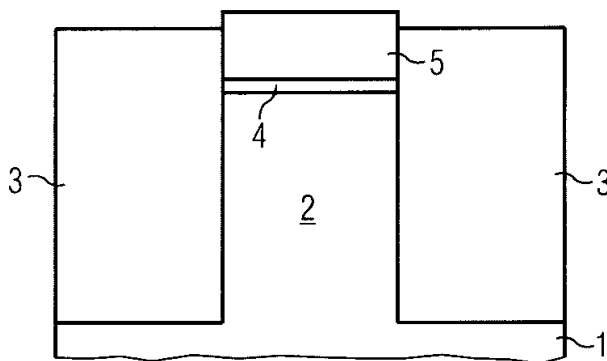
도면3



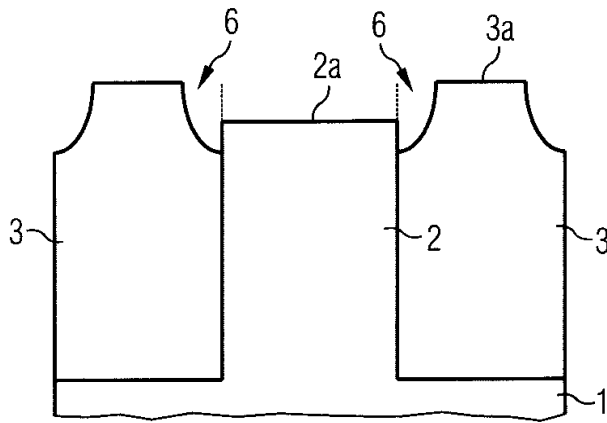
도면4



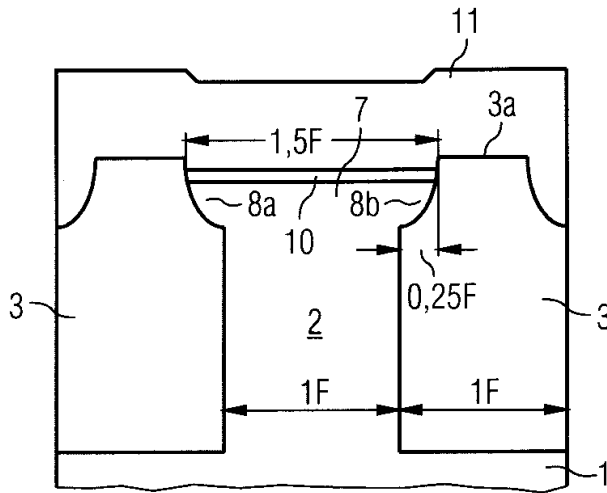
도면5



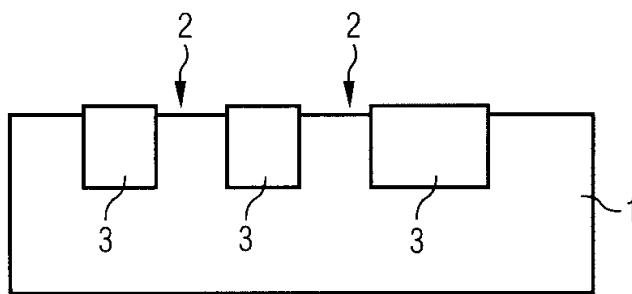
도면6



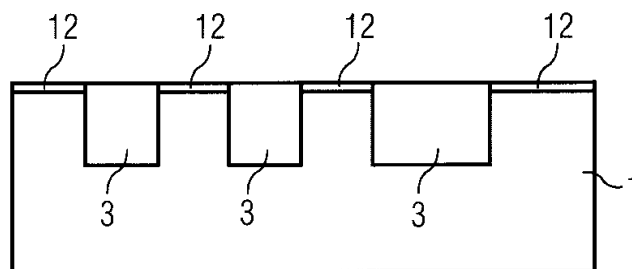
도면7



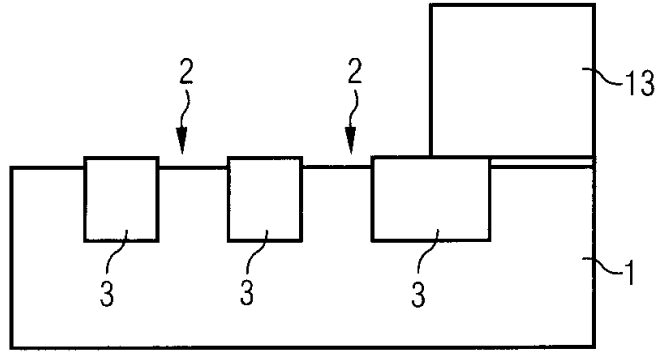
도면8



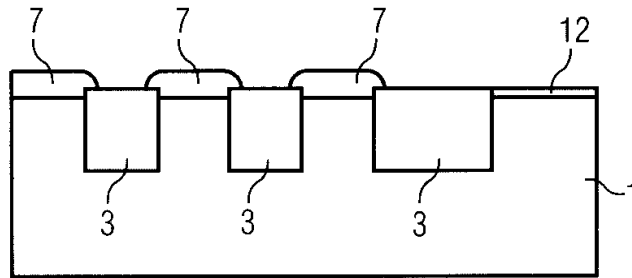
도면9



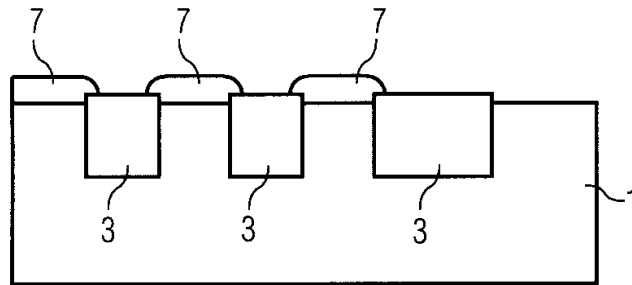
도면10



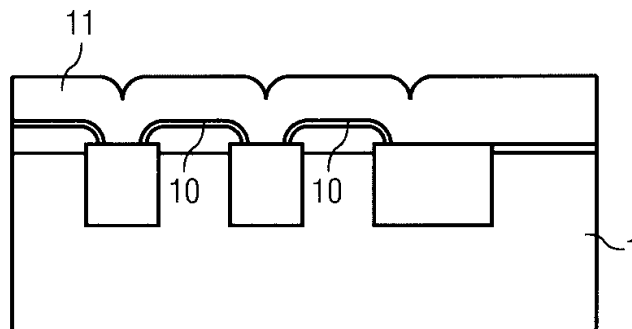
도면11



도면12



도면13



도면14

