

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2018-92668
(P2018-92668A)

(43) 公開日 平成30年6月14日(2018.6.14)

(51) Int.Cl.	F I	テーマコード (参考)
G O 5 F 1/56 (2006.01)	G O 5 F 1/56 3 1 0 E	5 F 0 3 8
H O 1 L 21/822 (2006.01)	H O 1 L 27/04 B	5 F 0 4 8
H O 1 L 27/04 (2006.01)	H O 1 L 27/04 D	5 H 4 3 0
H O 1 L 21/8234 (2006.01)	H O 1 L 27/06 1 0 2 A	
H O 1 L 27/06 (2006.01)	H O 1 L 27/088 E	
審査請求 有 請求項の数 2 O L (全 33 頁) 最終頁に続く		

(21) 出願番号	特願2018-39368 (P2018-39368)	(71) 出願人	000153878
(22) 出願日	平成30年3月6日 (2018.3.6)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2016-141101 (P2016-141101) の分割	(72) 発明者	高橋 圭
原出願日	平成25年3月11日 (2013.3.11)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2012-90058 (P2012-90058)		半導体エネルギー研究所内
(32) 優先日	平成24年4月11日 (2012.4.11)	(72) 発明者	棚田 好文
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		Fターム(参考)	5F038 AC05 AZ07 BB01 BB05 BB08
			BG04 CA16 CD02 CD16 DF05
			DF08 EZ01 EZ02 EZ06 EZ20
			最終頁に続く

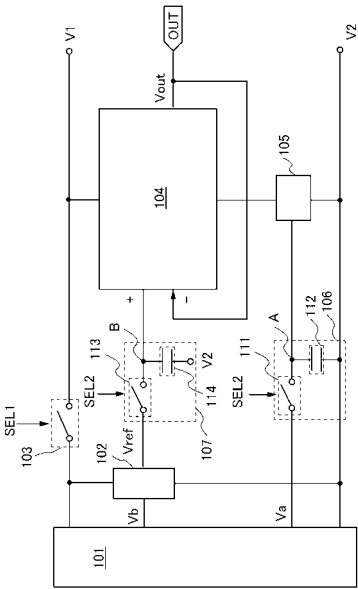
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 信号処理回路の消費電力を低減する。また、該信号処理回路を備えることで、半導体装置の消費電力を低減する。

【解決手段】 信号処理回路は、基準電圧生成回路と、分圧回路と、オペアンプと、該オペアンプにバイアス電流を供給するバイアス回路と、第1及び第2の保持回路と、を有し、基準電圧生成回路と、バイアス回路との間に、第1の保持回路が接続されており、分圧回路と、オペアンプの非反転入力端子との間に、第2の保持回路が接続されている。第1及び第2の保持回路によって、基準電圧及び参照電圧を保持することができるため、基準電圧生成回路の動作を停止することができる。よって、基準電圧生成回路における消費電力を削減できる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 の電源電圧が供給される第 1 の端子と、第 2 の電源電圧が供給される第 2 の端子との間に接続され、第 1 及び第 2 の基準電圧を出力する基準電圧生成回路と、

前記第 1 の端子と前記第 2 の端子との間に接続され、前記第 2 の基準電圧を分圧して、参照電圧を出力する分圧回路と、

前記第 1 の端子と、前記基準電圧生成回路との間に接続され、第 1 の信号に応じて、導通状態または非導通状態となる第 1 のスイッチと、

前記参照電圧が非反転入力端子に与えられ、出力電圧が反転入力端子に与えられるオペアンプと、

前記オペアンプに、バイアス電流を供給するバイアス回路と、

前記基準電圧生成回路と、前記バイアス回路との間に接続され、第 2 の信号に応じて、前記第 1 の基準電圧の保持を行う第 1 の保持回路と、

前記分圧回路と、前記オペアンプの前記非反転入力端子との間に接続され、前記第 2 の信号に応じて、前記参照電圧の保持を行う第 2 の保持回路と、を有する半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関する。特に、信号処理回路に対して電源電圧の供給を停止することが可能な半導体装置に関する。なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、発光表示装置、半導体回路及び電子機器は全て半導体装置である。

【背景技術】

【0002】

近年、電子機器においては、動作時の低消費電力化が強く求められている。電子機器の消費電力対策として、信号処理回路における動作状態に応じて、個々の論理回路の動作を制御することが行われている。

【0003】

信号処理回路として、例えば、ボルテージレギュレータにおいては、高電源電圧変動除去比で良好な過渡応答特性が得られる第 1 の差動増幅回路、第 2 の差動増幅回路、及び出力トランジスタの 3 段構成動作と、低消費電流に適した第 2 の差動増幅回路及び出力トランジスタの 2 段構成動作と、を自動で切り替えるということが行われている。（特許文献 1 参照）。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2011-096210

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかし、特許文献 1 に記載されたボルテージレギュレータでは、微少電流での動作状態であっても、基準電圧生成回路に電源から電流が供給されている限り、基準電圧生成回路における電力は消費し続けている。そのため、信号処理回路において消費される電力は、十分に低減されているとはいえなかった。

【0006】

上記問題に鑑み、本発明の一態様では、信号処理回路の消費電力を低減することを目的の一とする。また、該信号処理回路を備えることで、半導体装置の消費電力を低減することを目的の一とする。

【課題を解決するための手段】

【0007】

本発明の一態様に係る半導体装置は、基準電圧生成回路と、分圧回路と、オペアンプと、該オペアンプにバイアス電流を供給するバイアス回路と、第１及び第２の保持回路と、を有し、基準電圧生成回路と、バイアス回路との間に、第１の保持回路が接続されており、分圧回路と、オペアンプの非反転入力端子との間に、第２の保持回路が接続されている。

【０００８】

第１及び第２の保持回路は、それぞれスイッチ及び容量素子を有する。第１の保持回路におけるスイッチの一端が、基準電圧生成回路と接続され、他端が容量素子の一对の電極の一方と、バイアス回路と、に接続される。また、第２の保持回路におけるスイッチの一端が、分圧回路と接続され、他端が、容量素子の一对の電極の一方と、オペアンプと、に接続される。スイッチとしては、オフ電流が著しく小さいトランジスタを用いる。

10

【０００９】

オフ電流が著しく小さいトランジスタとしては、シリコンよりも広いバンドギャップを有する半導体でなる膜や基板中にチャネルが形成されるトランジスタを用いることができる。シリコンよりも広いバンドギャップを有する半導体としては化合物半導体があり、例えば、酸化物半導体、窒化物半導体などがある。例えば、オフ電流が著しく小さいトランジスタとして、チャネルが酸化物半導体膜に形成されるトランジスタを用いることができる。

【００１０】

なお、本明細書等において、オフ電流とは、トランジスタがオフ状態のときに、ソースとドレインとの間に流れる電流をいう。nチャネル型のトランジスタ（例えば、しきい値電圧が０乃至２Ｖ程度）では、ゲートとソースとの間に印加される電圧が負の電圧の場合に、ソースとドレインとの間を流れる電流のことをいう。

20

【００１１】

スイッチとして、チャネルが酸化物半導体膜に形成されるトランジスタを用いることにより、スイッチと、容量素子とが接続されたノードの電位が一定に保たれた後、スイッチを非導通状態としても、スイッチを介してリークする電荷量を、著しく小さく抑えることができる。

【００１２】

そのため、第１の保持回路が有するスイッチを非導通状態とすることにより、基準電圧生成回路から出力された電圧を、スイッチと容量素子とが接続されたノードに保持することができる。また、第２の保持回路が有するスイッチを非導通状態とすることにより、分圧回路から出力された電圧を、スイッチと容量素子とが接続されたノードに保持することができる。

30

【００１３】

したがって、基準電圧生成回路から、バイアス回路やオペアンプへ電圧を出力し続ける必要がなくなるため、基準電圧生成回路を常時動作させる必要がなくなる。これにより、基準電圧生成回路へ電源の供給を停止することができるため、基準電圧生成回路で消費される電力を削減することができる。

【００１４】

本発明の一態様に係る半導体装置は、第１の電源電圧が供給される第１の端子と、第２の電源電圧が供給される第２の端子との間に接続され、第１及び第２の基準電圧を出力する基準電圧生成回路と、第１の端子と第２の端子との間に接続され、第２の基準電圧を分圧して、参照電圧を出力する分圧回路と、第１の端子と、基準電圧生成回路との間に接続され、第１の信号に応じて、導通状態または非導通状態となる第１のスイッチと、参照電圧が非反転入力端子に与えられ、出力電圧が反転入力端子に与えられるオペアンプと、オペアンプに、バイアス電流を供給するバイアス回路と、基準電圧生成回路と、バイアス回路との間に接続され、第２の信号に応じて、第１の基準電圧の保持を行う第１の保持回路と、分圧回路と、オペアンプの非反転入力端子との間に接続され、第２の信号に応じて、参照電圧の保持を行う第２の保持回路と、を有する。

40

【００１５】

50

本発明の一態様に係る半導体装置は、第１の電源電圧が供給される第１の端子と、第２の電源電圧が供給される第２の端子との間に接続され、第１及び第２の基準電圧を出力する基準電圧生成回路と、第１の端子と第２の端子との間に接続され、第２の基準電圧を分圧して、参照電圧を出力する分圧回路と、第１の端子と、基準電圧生成回路との間に接続され、第１の信号に応じて、導通状態または非導通状態となる第１のスイッチと、参照電圧が非反転入力端子に与えられ、出力電圧が反転入力端子に与えられるオペアンプと、オペアンプと、第２の端子との間に接続され、オペアンプに、バイアス電流を供給するバイアス回路と、基準電圧生成回路と、バイアス回路との間に接続され、第２の信号に応じて、第１の基準電圧の保持を行う第１の保持回路と、分圧回路と、オペアンプの非反転入力端子との間に接続され、第２の信号に応じて、参照電圧の保持を行う第２の保持回路と、を有する。

10

【００１６】

本発明の一態様に係る半導体装置は、第１の電源電圧が供給される第１の端子と、第２の電源電圧が供給される第２の端子との間に接続され、基準電圧を出力する基準電圧生成回路と、第１の端子と第２の端子との間に接続され、基準電圧を分圧して、参照電圧を出力する分圧回路と、第１の端子と、基準電圧生成回路との間に接続され、第１の信号に応じて、導通状態または非導通状態となる第１のスイッチと、参照電圧が非反転入力端子に与えられ、出力電圧が反転入力端子に与えられるオペアンプと、オペアンプと、第１の端子との間に接続され、オペアンプに、バイアス電流を供給するバイアス回路と、基準電圧生成回路と、バイアス回路との間に接続され、第２の信号に応じて、基準電圧の保持を行う第１の保持回路と、分圧回路と、オペアンプの非反転入力端子との間に接続され、第２の信号に応じて、参照電圧の保持を行う第２の保持回路と、を有する。

20

【００１７】

上記各半導体装置において、第１及び第２の保持回路は、第２のスイッチおよび容量素子を有し、第２のスイッチは、第２の信号に応じて、導通状態または非導通状態となる。また、第２のスイッチは、チャンネルが酸化物半導体に形成されるトランジスタである。

【００１８】

また、本発明の一態様に係る半導体装置は、第１の電源電圧が供給される第１の端子と、第２の電源電圧が供給される第２の端子との間に接続され、第１及び第２の基準電圧を出力する基準電圧生成回路と、第１の端子と、基準電圧生成回路との間に接続され、第１の信号に応じて、導通状態または非導通状態となる第１のスイッチと、第１の端子と第２の端子との間に接続され、第２の基準電圧を分圧して、参照電圧を出力する分圧回路と、参照電圧が非反転入力端子に与えられ、出力電圧が反転入力端子に与えられるオペアンプと、オペアンプと、第１の端子との間に接続され、オペアンプに、バイアス電流を供給する第１のバイアス回路と、オペアンプと、第２の端子との間に接続され、オペアンプに、バイアス電流を供給する第２のバイアス回路と、基準電圧生成回路と、第１のバイアス回路との間に接続され、第２の信号に応じて、第１の基準電圧の保持を行う第１の保持回路と、基準電圧生成回路と、第２のバイアス回路との間に接続され、第２の信号に応じて、第２の基準電圧の保持を行う第２の保持回路と、分圧回路と、オペアンプの非反転入力端子との間に接続され、第２の信号に応じて、参照電圧の保持を行う第３の保持回路と、を有する。

30

40

【００１９】

上記半導体装置において、第１乃至第３の保持回路は、それぞれ第２のスイッチおよび容量素子を有し、第２のスイッチは、第２の信号に応じて、導通状態または非導通状態となる。また、第２のスイッチは、チャンネルが酸化物半導体に形成されるトランジスタである。

【００２０】

上記各半導体装置において、第１のスイッチは、チャンネルが酸化物半導体に形成される。

【００２１】

なお、トランジスタに用いる酸化物半導体は、電子供与体（ドナー）となる水分または水

50

素などの不純物が低減され、なおかつ酸素欠損が低減されることにより、高純度化された酸化物半導体 (purified Oxide Semiconductor) であることが好ましい。高純度化された酸化物半導体は、i 型 (真性半導体) 又は i 型に限りなく近い。そのため、上記酸化物半導体を用いたトランジスタは、オフ電流が著しく小さいという特性を有する。また、酸化物半導体のバンドギャップは、2 eV 以上、好ましくは 2.5 eV 以上、より好ましくは 3 eV 以上である。水分または水素などの不純物濃度が十分に低減され、なおかつ酸素欠損が低減されることにより高純度化された酸化物半導体膜を用いることにより、トランジスタのオフ電流を著しく小さくすることができる。

【0022】

具体的に、高純度化された酸化物半導体を半導体膜に用いたトランジスタのオフ電流が小さいことは、いろいろな実験により証明できる。例えば、チャンネル幅が $1 \times 10^6 \mu\text{m}$ でチャンネル長が $10 \mu\text{m}$ の素子であっても、ソース端子とドレイン端子間の電圧 (ドレイン電圧) が 1 V から 10 V の範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13} \text{A}$ 以下という特性を得ることができる。この場合、オフ電流をトランジスタのチャンネル幅で除した数値に相当するオフ電流密度は、 $100 \text{ zA} / \mu\text{m}$ 以下であることが分かる。また、容量素子とトランジスタとを接続して、容量素子に流入または容量素子から流出する電荷を当該トランジスタで制御する回路を用いて、オフ電流密度の測定を行った。当該測定では、上記トランジスタに高純度化された酸化物半導体膜をチャンネル形成領域に用い、容量素子の単位時間あたりの電荷量の推移から当該トランジスタのオフ電流密度を測定した。その結果、トランジスタのソース端子とドレイン端子間の電圧が 3 V の場合に、数十 $\text{yA} / \mu\text{m}$ という、さらに低いオフ電流密度が得られることが分かった。従って、高純度化された酸化物半導体膜をチャンネル形成領域に用いたトランジスタは、シリコンを用いたトランジスタに比べてオフ電流が著しく小さいといえる。

【発明の効果】

【0023】

上記問題に鑑み、本発明の一態様では、信号処理回路の消費電力を十分に低減することができる。また、該信号処理回路を備えることで、半導体装置の消費電力を十分に低減することができる。

【図面の簡単な説明】

【0024】

【図1】信号処理回路のブロック図。

【図2】信号処理回路のブロック図。

【図3】信号処理回路の回路図。

【図4】信号処理回路のブロック図。

【図5】信号処理回路のブロック図。

【図6】信号処理回路の回路図。

【図7】信号処理回路のブロック図。

【図8】信号処理回路の一部を示す回路図。

【図9】電源制御装置のブロック図。

【図10】トランジスタの作製方法を説明する断面図。

【図11】信号処理回路の回路図。

【発明を実施するための形態】

【0025】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0026】

(実施の形態1)

本実施の形態では、本発明の一態様に係る信号処理回路について、図1乃至図3を参照して説明する。

【0027】

図1に、信号処理回路のブロック図を示す。図1に示す信号処理回路は、基準電圧生成回路101と、分圧回路102と、スイッチ103と、オペアンプ104と、バイアス回路105と、保持回路106と、保持回路107で構成されている。

【0028】

基準電圧生成回路101は、第1の電源電圧V1が供給される第1の端子と、第2の電源電圧V2が供給される第2の端子との間に接続され、バイアス回路105に基準電圧Va及び分圧回路102に基準電圧Vbを出力する。第1の電源電圧V1は、例えばVDDとし、第2の電源電圧V2は、GNDとする。

10

【0029】

分圧回路102は、第1の端子と、第2の端子との間に接続され、基準電圧Vbを分圧して、オペアンプ104の非反転入力端子に参照電圧Vrefを出力する。

【0030】

スイッチ103は、第1の端子と、基準電圧生成回路101との間に接続され、制御信号SEL1に応じて、導通状態または非導通状態となる。スイッチ103が導通状態の場合は、第1の端子から第1の電源電圧V1を基準電圧生成回路101に供給し、非導通状態の場合は、第1の端子から第1の電源電圧V1を基準電圧生成回路101に供給することを停止する。

20

【0031】

オペアンプ104は、非反転入力端子に参照電圧Vrefが入力され、出力端子から出力電圧Voutを出力し、また、出力電圧Voutの一部を、反転入力端子に帰還させている。

【0032】

バイアス回路105は、第2の端子と、オペアンプ104との間に接続され、オペアンプ104に、バイアス電流を供給する。

【0033】

保持回路106は、基準電圧生成回路101と、バイアス回路105との間に接続される。また、保持回路106は、スイッチ111及び容量素子112を有し、スイッチ111の一端は、基準電圧生成回路101に接続され、他端は、容量素子112の一对の電極の一方と、バイアス回路105と、に接続される。容量素子112の一对の電極の他方は、第2の端子と接続される。ここで、スイッチ111の他端と、容量素子112の一对の電極の一方と、バイアス回路105と、が接続された接続点をノードAとする。

30

【0034】

スイッチ111は、制御信号SEL2に応じて、導通状態または非導通状態となる。スイッチ111が導通状態の場合は、基準電圧生成回路101から出力された基準電圧Vaを、バイアス回路105に供給し、スイッチ111が非導通状態の場合は、基準電圧生成回路101から出力された基準電圧VaをノードAにおいて保持する。

【0035】

保持回路107は、分圧回路102と、オペアンプ104の非反転入力端子との間に接続される。また、保持回路107は、スイッチ113及び容量素子114を有し、スイッチ113の一端は、分圧回路102に接続され、他端は、容量素子114の一对の電極の一方と、オペアンプ104の非反転入力端子と、に接続される。容量素子114の一对の電極の他方は、第2の端子と接続される。ここで、スイッチ113の他端と、容量素子114の一对の電極の一方と、オペアンプ104の非反転入力端子と、が接続された接続点をノードBとする。

40

【0036】

スイッチ113は、制御信号SEL2に応じて、導通状態または非導通状態となる。スイッチ113が導通状態の場合は、分圧回路102から出力された参照電圧Vrefを、オ

50

ペアンプ 104 の非反転入力端子に供給し、スイッチ 113 が非導通状態の場合は、分圧回路 102 から出力された参照電圧 V_{ref} をノード B において保持する。

【0037】

図 2 に、図 1 に示す信号処理回路におけるスイッチ 103、バイアス回路 105、保持回路 106、保持回路 107 の一例を示す。

【0038】

スイッチ 103 としては、例えば、制御信号 $SEL1$ に応じて、オン状態またはオフ状態となるトランジスタ 115 を用いる。

【0039】

バイアス回路 105 としては、例えば、基準電圧生成回路 101 から出力された基準電圧 V_a に応じて、オン状態またはオフ状態となるトランジスタ 116 を用いる。トランジスタ 116 は、ノード A における電圧がトランジスタ 116 のしきい値電圧以上であれば、オン状態となり、オペアンプ 104 に、バイアス電流を供給し、ノード A における電圧がトランジスタ 116 のしきい値電圧より低ければ、オフ状態となり、オペアンプ 104 に、バイアス電流を供給することを停止する。なお、図 2 においては、トランジスタ 116 は、n チャンネル型トランジスタとする。

【0040】

保持回路 106 において、スイッチ 111 は、例えば、制御信号 $SEL2$ に応じて、オン状態またはオフ状態となるトランジスタ 117 を用いる。また、トランジスタ 117 として、オフ電流が著しく小さいトランジスタを用いる。

【0041】

また、保持回路 107 において、スイッチ 113 は、例えば、制御信号 $SEL2$ に応じて、オン状態またはオフ状態となるトランジスタ 118 を用いる。また、トランジスタ 118 として、オフ電流が著しく小さいトランジスタを用いる。

【0042】

オフ電流が著しく小さいトランジスタとしては、シリコンよりも広いバンドギャップを有する半導体でなる膜や基板中にチャンネルが形成されるトランジスタを用いることができる。シリコンよりも広いバンドギャップを有する半導体としては化合物半導体があり、例えば、酸化物半導体、窒化物半導体などがある。例えば、オフ電流が著しく小さいトランジスタとして、チャンネルが酸化物半導体膜に形成されるトランジスタを用いることができる。

【0043】

保持回路 106 におけるスイッチ 111 として、オフ電流が著しく小さいトランジスタ 117 を用い、該トランジスタ 117 をオフ状態とすることで、容量素子 112 の一対の電極のうちの一方の電圧を長期間にわたって保持することができる。すなわち、スイッチ 111 が非導通状態の場合に、保持回路 106 におけるノード A の電圧を長期間にわたって保持することができる。

【0044】

また、保持回路 107 におけるスイッチ 113 として、オフ電流が著しく小さいトランジスタ 118 を用い、該トランジスタ 118 をオフ状態とすることで、容量素子 114 の一対の電極のうちの一方の電圧を長期間にわたって保持することができる。すなわち、スイッチ 113 が非導通状態の場合に、保持回路 107 におけるノード B の電圧を長期間にわたって保持することができる。

【0045】

次に、図 2 に示す信号処理回路の動作について説明する。

【0046】

まず、トランジスタ 115 に制御信号 $SEL1$ を入力することにより、トランジスタ 115 をオン状態として、第 1 の端子から第 1 の電源電圧 V_1 を、基準電圧生成回路 101 に供給する。トランジスタ 115 が nch 型トランジスタの場合は、制御信号 $SEL1$ としてハイレベルを入力すればよく、pch 型トランジスタの場合は、制御信号 $SEL1$ とし

10

20

30

40

50

てローレベルを入力すればよい。なお、以下において、トランジスタ115、トランジスタ117、及びトランジスタ118は、nch型トランジスタである場合について説明する。基準電圧生成回路101に第1の電源電圧V1が供給されることで、基準電圧生成回路101が動作し、基準電圧Vbを分圧回路102に、基準電圧Vaを保持回路106に出力する。

【0047】

また、分圧回路102では、基準電圧Vbを分圧した参照電圧Vrefを保持回路107に出力する。

【0048】

制御信号SEL2をハイレベルとして、トランジスタ117及びトランジスタ118をオン状態とする。トランジスタ117がオン状態となることで、基準電圧生成回路101から出力された基準電圧Vaを、トランジスタ116に供給する。これにより、トランジスタ116がオン状態となり、第2の端子から、第2の電源電圧V2を、オペアンプ104に供給する。また、トランジスタ118がオン状態となることで、分圧回路102から出力された参照電圧Vrefを、オペアンプ104の非反転入力端子に出力する。これにより、オペアンプ104が動作するため、出力端子から出力電圧Voutを出力するとともに、一部の出力電圧Voutをオペアンプ104の反転入力端子に出力する。

【0049】

図2に示す信号処理回路が定常状態（基準電圧Vaがバイアス回路105に正常に供給されている状態、参照電圧Vrefがオペアンプ104の非反転入力端子に正常に供給されている状態）となった後、制御信号SEL2をローレベルとして、トランジスタ117及びトランジスタ118をオフ状態とする。トランジスタ117及びトランジスタ118は、オフ電流が著しく小さいトランジスタであるため、ノードAにおける電圧（基準電圧Va）及びノードBにおける電圧（参照電圧Vref）を、長期間にわたって保持することができる。

【0050】

次に、制御信号SEL1をローレベルとして、トランジスタ115をオフ状態とする。これにより、第1の端子から第1の電源電圧V1を基準電圧生成回路101へ供給することを停止する。基準電圧生成回路101に第1の電源電圧V1の供給が停止するため、基準電圧生成回路101の動作が停止する。

【0051】

図2に示す信号処理回路では、保持回路106に、オフ電流が著しく小さいトランジスタ117を用いている。そのため、トランジスタ117をオフ状態とすることにより、ノードAにおける電圧（基準電圧Va）を、長期間にわたって保持することができる。これにより、基準電圧生成回路101の動作が停止ししても、基準電圧Vaを、トランジスタ116に供給し続けることができる。同様に、保持回路107に、オフ電流が著しく小さいトランジスタ118を用いている。そのため、トランジスタ118をオフ状態とすることにより、ノードBにおける電圧（参照電圧Vref）を、長期間にわたって保持することができる。これにより、基準電圧生成回路101の動作が停止しても、参照電圧Vrefを、オペアンプ104の非反転入力端子に供給し続けることができる。

【0052】

例えば、スイッチ111として、シリコンを用いたトランジスタを用いた場合、オフ電流は1pAとなる。また、容量素子112の容量を例えば1pFとすると、ノードAで基準電圧Vaを変化量1mV未満で保持できる期間は1msとなる。したがって、基準電圧生成回路101の動作を停止させると、バイアス回路105の動作が停止してしまうので、信号処理回路が定常状態となっても基準電圧生成回路101の動作を停止することはできない。

【0053】

しかし、本発明の一態様では、スイッチ111として、酸化物半導体を用いたトランジスタ117を用いているため、オフ電流を、100yAとすることができる。また、容量素

10

20

30

40

50

子112の容量を例えば1 pFとすると、ノードAで基準電圧 V_a を変化量1 mV未満で保持できる期間は、 10^7 sec (約115日)となる。

【0054】

また、スイッチ113についても同様に、酸化物半導体を用いたトランジスタ118を用いているため、オフ電流を、100 yAとすることができる。また、容量素子114の容量を例えば1 pFとすると、ノードBで参照電圧 V_{ref} を変化量1 mV未満で保持できる期間は 10^7 sec (約115日)となる。

【0055】

したがって、 10^7 sec (約115日)の期間は、基準電圧生成回路101の動作を停止することができる。また、 10^7 sec (約115日)の期間が経過するまえに、スイッチ103を導通状態とし、基準電圧生成回路101に第1の電源電圧 V_1 を供給し、基準電圧生成回路101を動作させ、基準電圧 V_a を保持回路106、及び参照電圧 V_{ref} を保持回路107に出力すればよい。

【0056】

従来の基準電圧生成回路では、電圧を出力している間は、常時電源電圧が供給される必要があった。これにより、従来の基準電圧生成回路においては、常時電力が消費されていた。

【0057】

これに対し、本発明の一態様では、スイッチ111、113として、チャネルが酸化物半導体膜に形成されるトランジスタを用いている。例えば、スイッチ113と、容量素子114とが接続されたノードBの電位が一定に保たれた後、スイッチ113を非導通状態としても、スイッチ113を介してリークする電荷量を、著しく小さく抑えることができる。

【0058】

そのため、保持回路106が有するスイッチ111を非導通状態とすることにより、基準電圧生成回路101から出力された電圧を、スイッチ111と容量素子112とが接続されたノードAに保持することができる。また、保持回路107が有するスイッチ113を非導通状態とすることにより、分圧回路102から出力された電圧を、スイッチ113と容量素子114とが接続されたノードBに保持することができる。

【0059】

したがって、基準電圧生成回路101から、バイアス回路105やオペアンプ104へ電圧を出力し続ける必要がなくなるため、基準電圧生成回路101を常時動作させる必要がなくなる。これにより、スイッチ103を非導通状態とし、基準電圧生成回路101へ電源の供給を停止することができるため、基準電圧生成回路101で消費される電力を削減することができる。

【0060】

本実施の形態では、スイッチ111及びスイッチ113が、酸化物半導体を用いたトランジスタである場合について説明したが、スイッチ103が、酸化物半導体を用いたトランジスタであってもよい。

【0061】

また、スイッチ103、スイッチ111、及びスイッチ113として用いるトランジスタは、酸化物半導体層を挟んで上下に2つのゲートを有するトランジスタとしてもよい。スイッチ103の場合は、一方のゲートに制御信号SEL1を入力し、他方のゲートには、別の制御信号を入力することができる。また、スイッチ111及びスイッチ113の場合は、一方のゲートに制御信号SEL2を入力し、他方のゲートには、別の制御信号を入力することができる。別の制御信号は、一定の電位の信号であってもよい。一定の電位は、低電源電位や高電源電位であってもよい。なお、2つのゲートを電気的に接続し、制御信号を入力してもよい。他方のゲートに入力する信号によって、トランジスタのしきい値電圧等を制御することが可能である。また、トランジスタのオフ電流を更に低減することも可能である。

10

20

30

40

50

【0062】

また、本実施の形態では、制御信号SEL1および制御信号SEL2が異なる信号である場合について説明したが、制御信号SEL1および制御信号SEL2を同じ信号としてもよい。

【0063】

基準電圧生成回路101、分圧回路102、オペアンプ104をトランジスタを用いて構成する場合に、当該トランジスタは、酸化物半導体以外の半導体でなる層または基板にチャンネルが形成されるトランジスタとすることができる。例えば、シリコン層またはシリコン基板にチャンネルが形成されるトランジスタとすることができる。

【0064】

図3に、図1に示す信号処理回路をより詳細に示す。

【0065】

基準電圧生成回路101は、トランジスタ131～134、及び抵抗素子135で構成される。トランジスタ131およびトランジスタ132は、pチャネル型トランジスタであり、トランジスタ133およびトランジスタ134は、nチャネル型トランジスタである。ノードaは、保持回路106におけるトランジスタ115のソースまたはドレインの一方と接続されており、ノードbは、分圧回路102におけるトランジスタ136のゲートと接続されている。また、基準電圧Vaは、ノードaにおける電圧であり、基準電圧Vbは、ノードbにおける電圧である。

【0066】

分圧回路102は、トランジスタ136および抵抗素子137で構成される。トランジスタ136は、pチャネル型トランジスタである。トランジスタ136のソースまたはドレインの一方は、保持回路107におけるトランジスタ118のソースまたはドレインの一方と接続されている。

【0067】

オペアンプ104は、トランジスタ138～141、トランジスタ143及び容量素子144で構成される。トランジスタ138、トランジスタ139及びトランジスタ143は、pチャネル型トランジスタである。また、トランジスタ138及びトランジスタ139は、カレントミラー回路を構成する。また、トランジスタ140およびトランジスタ141は、nチャネル型トランジスタであり、差動回路を構成する。また、トランジスタ143及び容量素子144により、バッファ回路が構成される。

【0068】

なお、本実施の形態では、オペアンプを用いて信号処理回路を構成する例について示すが、オペアンプに換えてコンパレータを用いて信号処理回路を構成しても良い。

【0069】

バイアス回路105は、トランジスタ116及びトランジスタ142を有する。トランジスタ116及びトランジスタ142は、nチャネル型トランジスタである。

【0070】

本実施の形態に示す信号処理回路では、基準電圧生成回路101と、バイアス回路105との間に、保持回路106を接続することにより、保持回路106において、基準電圧生成回路101から出力された基準電圧Vaを保持することができる。また、分圧回路102と、オペアンプ104との間に、保持回路107を接続することにより、保持回路107において、分圧回路102から出力された参照電圧Vrefを保持することができる。これにより、保持回路106で基準電圧Vaが保持され、保持回路107で参照電圧Vrefが保持されている期間においては、基準電圧生成回路101の動作を停止することができるため、基準電圧生成回路101で消費される電力を削減することができる。よって、信号処理回路で消費される電力を低減することができる。

【0071】

本実施の形態に示す信号処理回路は、例えば、AC-DCコンバータ、センサ等に適用することができる。オペアンプやコンパレータ等のアナログ回路を用いて、一定の電圧や、

10

20

30

40

50

信号を出力し続ける必要がある回路においては、特に有用である。

【0072】

本実施の形態は、他の実施の形態と適宜組み合わせて適用することができる。

【0073】

(実施の形態2)

本実施の形態では、本発明の一態様に係る信号処理回路の他の一形態について、図4乃至図6を参照して説明する。

【0074】

図4に、信号処理回路のブロック図を示す。図4に示す信号処理回路は、基準電圧生成回路101と、分圧回路102と、スイッチ103と、オペアンプ104と、保持回路107と、バイアス回路109と、保持回路108と、で構成されている。

10

【0075】

基準電圧生成回路101は、第1の電源電圧V1が供給される第1の端子と、第2の電源電圧V2が供給される第2の端子との間に接続され、バイアス回路109及び分圧回路102に基準電圧Vbを出力する。第1の電源電圧V1は、例えばVDDとし、第2の電源電圧V2は、GNDとする。

【0076】

分圧回路102は、第1の端子と、第2の端子との間に接続され、基準電圧Vbを分圧して、オペアンプ104の非反転入力端子に参照電圧Vrefを出力する。

【0077】

スイッチ103は、第1の端子と、基準電圧生成回路101との間に接続され、制御信号SEL1に応じて、導通状態または非導通状態となる。スイッチ103が導通状態の場合は、第1の端子から第1の電源電圧V1を基準電圧生成回路101に供給し、非導通状態の場合は、第1の端子から第1の電源電圧V1を基準電圧生成回路101に供給することを停止する。

20

【0078】

オペアンプ104は、非反転入力端子に参照電圧Vrefが入力され、出力端子から出力電圧Voutを出力し、また、出力電圧Voutの一部を、反転入力端子に帰還させている。

【0079】

バイアス回路109は、第1の端子と、オペアンプ104との間に接続され、オペアンプ104にバイアス電流を供給する。

30

【0080】

保持回路108は、基準電圧生成回路101と、バイアス回路109との間に接続される。また、保持回路108は、スイッチ119および容量素子120を有し、スイッチ119の一端は、基準電圧生成回路101に接続され、他端は、容量素子120の一对の電極の一方と、バイアス回路109と、に接続される。容量素子120の一对の電極の他方は、第1の端子と接続される。ここで、スイッチ119の他端と、容量素子120の一对の電極の一方と、バイアス回路109と、が接続された接続点をノードCとする。

【0081】

スイッチ119は、制御信号SEL2に応じて、導通状態または非導通状態となる。スイッチ119が導通状態の場合は、基準電圧生成回路101から出力された基準電圧Vbを、バイアス回路109に供給し、スイッチ119が非導通状態の場合は、基準電圧生成回路101から出力された基準電圧VbをノードCにおいて保持する。

40

【0082】

保持回路107の構成については、実施の形態1と同様であるため、詳細な説明は省略する。

【0083】

図5に、図4に示す信号処理回路におけるバイアス回路109、及び保持回路108の一例を示す。

50

【0084】

バイアス回路109は、例えば、基準電圧生成回路101から出力された基準電圧 V_b に応じて、オン状態またはオフ状態となるトランジスタ121を用いる。トランジスタ121は、ノードCにおける電圧がトランジスタ121のしきい値電圧以上であれば、オン状態となり、オペアンプ104に、バイアス電流を供給し、ノードCにおける電圧がトランジスタ121のしきい値電圧より低ければ、オフ状態となり、オペアンプ104に、バイアス電流を供給することを停止する。なお、図5においては、トランジスタ121は、pチャネル型トランジスタとする。

【0085】

保持回路108において、スイッチ119は、例えば、制御信号SEL2に応じて、オン状態またはオフ状態となるトランジスタ122を用いる。また、トランジスタ122として、オフ電流が著しく小さいトランジスタを用いる。なお、オフ電流が著しく小さいトランジスタとしては、図2に示すトランジスタ118と同様のトランジスタを用いることができる。

10

【0086】

保持回路108におけるスイッチ119として、オフ電流が著しく小さいトランジスタ122を用い、該トランジスタ122をオフ状態とすることで、容量素子120の一对の電極のうちの一方の電圧を長期間にわたって保持することができる。すなわち、スイッチ119が非導通状態の場合に、保持回路108におけるノードCの電圧を長期間にわたって保持することができる。

20

【0087】

次に、図5に示す信号処理回路の動作について説明する。

【0088】

まず、トランジスタ115に制御信号SEL1を入力することにより、トランジスタ115をオン状態として、第1の端子から第1の電源電圧 V_1 を、基準電圧生成回路101に供給する。トランジスタ115がnch型トランジスタの場合は、制御信号SEL1としてハイレベルを入力すればよく、pch型トランジスタの場合は、制御信号SEL1としてローレベルを入力すればよい。なお、以下において、トランジスタ115、トランジスタ118、及びトランジスタ122は、nch型トランジスタである場合について説明する。基準電圧生成回路101に第1の電源電圧 V_1 が供給されることで、基準電圧生成回路101が動作し、基準電圧 V_b を保持回路108と、分圧回路102に出力する。

30

【0089】

また、分圧回路102では、基準電圧 V_b を分圧した参照電圧 V_{ref} を保持回路107に出力する。

【0090】

また、制御信号SEL2をハイレベルとして、トランジスタ118及びトランジスタ122をオン状態とする。トランジスタ122がオン状態となることで、基準電圧生成回路101から出力された基準電圧 V_b を、トランジスタ121に供給する。これにより、トランジスタ121がオン状態となり、第1の端子から、第1の電源電圧 V_1 を、オペアンプ104に供給する。また、トランジスタ118がオン状態となることで、分圧回路102から出力された参照電圧 V_{ref} を、オペアンプ104の非反転入力端子に出力する。これにより、オペアンプ104が動作するため、出力端子から出力電圧 V_{out} を出力するとともに、一部の出力電圧 V_{out} をオペアンプ104の反転入力端子に出力する。

40

【0091】

図5に示す信号処理回路が定常状態（基準電圧 V_b がトランジスタ121に正常に供給されている状態、参照電圧 V_{ref} がオペアンプ104の非反転入力端子に正常に供給されている状態）となった後、制御信号SEL2をローレベルとして、トランジスタ118及びトランジスタ122をオフ状態とする。トランジスタ118及びトランジスタ122は、オフ電流が著しく小さいトランジスタであるため、ノードBにおける電圧（参照電圧 V_{ref} ）及びノードCにおける電圧（基準電圧 V_b ）を、長期間にわたって保持すること

50

ができる。

【0092】

次に、制御信号SEL1をローレベルとして、トランジスタ115をオフ状態とする。これにより、第1の端子から第1の電源電圧V1を基準電圧生成回路101へ供給することを停止する。基準電圧生成回路101に第1の電源電圧V1の供給が停止するため、基準電圧生成回路101の動作が停止する。

【0093】

図5に示す信号処理回路では、保持回路108に、オフ電流が著しく小さいトランジスタ122を用いている。そのため、トランジスタ122をオフ状態とすることにより、ノードCにおける電圧（基準電圧Vb）を、長期間にわたって保持することができる。これにより、基準電圧生成回路101の動作が停止しても、基準電圧Vbを、トランジスタ121に供給し続けることができる。同様に、保持回路107に、オフ電流が著しく小さいトランジスタ118を用いている。そのため、トランジスタ118をオフ状態とすることにより、ノードBにおける電圧（参照電圧Vref）を、長期間にわたって保持することができる。これにより、基準電圧生成回路101の動作が停止しても、参照電圧Vrefを、オペアンプ104の非反転入力端子に供給し続けることができる。

10

【0094】

本発明の一態様では、スイッチ119として、酸化物半導体を用いたトランジスタ122を用いているため、オフ電流を、 100 yA とすることができる。また、容量素子120の容量を例えば 1 pF とすると、ノードCで基準電圧Vbを保持できる期間は、 10^7 sec （約115日）となる。

20

【0095】

また、スイッチ113についても同様に、酸化物半導体を用いたトランジスタ118を用いているため、オフ電流を 100 yA とすることができる。また、容量素子114の容量を例えば、 1 pF とすると、ノードBで参照電圧Vrefを保持できる期間は 10^7 sec （約115日）となる。

【0096】

したがって、 10^7 sec （約115日）の期間は、基準電圧生成回路101の動作を停止することができる。また、 10^7 sec （約115日）の期間が経過するまえに、トランジスタ115を導通状態とし、基準電圧生成回路101に第1の電源電圧V1を供給し、基準電圧生成回路101を動作させ、基準電圧Vbを保持回路108、参照電圧Vrefを保持回路107に出力すればよい。

30

【0097】

本発明の一態様では、スイッチ113、119として、チャネルが酸化物半導体膜に形成されるトランジスタを用いている。例えば、スイッチ113と、容量素子114とが接続されたノードBの電位が一定に保たれた後、スイッチ113を非導通状態としても、スイッチ113を介してリークする電荷量を、著しく小さく抑えることができる。

【0098】

そのため、保持回路108が有するスイッチ119を非導通状態とすることにより、基準電圧生成回路101から出力された電圧を、スイッチ119と容量素子120とが接続されたノードCに保持することができる。また、保持回路107が有するスイッチ113を非導通状態とすることにより、分圧回路102から出力された電圧を、スイッチ113と容量素子114とが接続されたノードBに保持することができる。

40

【0099】

したがって、基準電圧生成回路101から、バイアス回路109やオペアンプ104へ電圧を出力し続ける必要がなくなるため、基準電圧生成回路101を常時動作させる必要がなくなる。これにより、トランジスタ115を非導通状態とし、基準電圧生成回路101へ電源の供給を停止することができるため、基準電圧生成回路101で消費される電力を削減することができる。

【0100】

50

本実施の形態では、スイッチ 113 及びスイッチ 119 が、酸化物半導体を用いたトランジスタである場合について説明したが、スイッチ 103 が酸化物半導体を用いたトランジスタであってもよい。

【0101】

また、スイッチ 103、スイッチ 113、及びスイッチ 119 として用いるトランジスタは、酸化物半導体層を挟んで上下に 2 つのゲートを有するトランジスタとしてもよい。スイッチ 103 の場合は、一方のゲートに制御信号 SEL1 を入力し、他方のゲートには、別の制御信号を入力することができる。また、スイッチ 113 及びスイッチ 119 の場合は、一方のゲートに制御信号 SEL2 を入力し、他方のゲートには、別の制御信号を入力することができる。別の制御信号は、一定の電位の信号であってもよい。一定の電位は、低電源電位や高電源電位であってもよい。なお、2 つのゲートを電氣的に接続し、制御信号を入力してもよい。他方のゲートに入力する信号によって、トランジスタのしきい値電圧等を制御することが可能である。また、トランジスタのオフ電流を更に低減することも可能である。

【0102】

また、本実施の形態では、制御信号 SEL1 及び制御信号 SEL2 が異なる信号である場合について説明したが、制御信号 SEL1 および制御信号 SEL2 を同じ信号としてもよい。

【0103】

基準電圧生成回路 101、分圧回路 102、オペアンプ 104 をトランジスタを用いて構成する場合に、当該トランジスタは、酸化物半導体以外の半導体でなる層または基板にチャンネルが形成されるトランジスタとすることができる。例えば、シリコン層またはシリコン基板にチャンネルが形成されるトランジスタとすることができる。

【0104】

図 6 に、図 4 に示す信号処理回路をより詳細に示す。

【0105】

基準電圧生成回路 101 は、トランジスタ 131～134、及び抵抗素子 135 で構成される。ノード b は、分圧回路 102 におけるトランジスタ 136 のゲートと、保持回路 108 におけるトランジスタ 122 のソースまたはドレインの一方と接続されている。また、基準電圧 Vb は、ノード b における電圧である。

【0106】

分圧回路 102 は、トランジスタ 136 および抵抗素子 137 で構成される。トランジスタ 136 のソースまたはドレインの一方は、保持回路 107 におけるトランジスタ 118 のソースまたはドレインの一方と接続されている。

【0107】

オペアンプ 104 は、トランジスタ 138～141、トランジスタ 143、及び容量素子 144 で構成される。トランジスタ 138 及びトランジスタ 139 は、差動回路を構成する。また、トランジスタ 140 及びトランジスタ 141 は、カレントミラー回路を構成する。また、トランジスタ 143 及び容量素子 144 により、バッファ回路が構成される。

【0108】

なお、本実施の形態では、オペアンプを用いて信号処理回路を構成する例について示すが、オペアンプに換えてコンパレータを用いて信号処理回路を構成してもよい。

【0109】

バイアス回路 109 は、トランジスタ 121 及びトランジスタ 145 を有する。トランジスタ 121 及びトランジスタ 145 は、p チャンネル型トランジスタである。

【0110】

図 4 乃至図 6 に示す信号処理回路では、基準電圧生成回路 101 と、バイアス回路 109 との間に、保持回路 108 を接続することにより、保持回路 108 において、基準電圧生成回路 101 から出力された基準電圧 Vb を保持することができる。また、分圧回路 102 と、オペアンプ 104 との間に、保持回路 107 を接続することにより、保持回路 10

10

20

30

40

50

7において、分圧回路102から出力された参照電圧 V_{ref} を保持することができる。これにより、保持回路108で基準電圧 V_b が保持され、保持回路107で参照電圧 V_{ref} が保持されている期間においては、基準電圧生成回路101の動作を停止することができるため、基準電圧生成回路101で消費される電力を削減することができる。よって、信号処理回路で消費される電力を低減することができる。

【0111】

次に、本発明の一態様に係る信号処理回路の他の一形態について、図7および図8を参照して説明する。

【0112】

図7に、信号処理回路のブロック図を示す。図7に示す信号処理回路は、基準電圧生成回路101と、分圧回路102と、スイッチ103と、オペアンプ104と、バイアス回路105と、保持回路106、保持回路107、保持回路108と、バイアス回路109と、で構成されている。

10

【0113】

基準電圧生成回路101は、第1の電源電圧 V_1 が供給される第1の端子と、第2の電源電圧 V_2 が供給される第2の端子との間に接続され、バイアス回路105に基準電圧 V_a 、並びに分圧回路102及び保持回路108に基準電圧 V_b を出力する。第1の電源電圧 V_1 は、例えば V_{DD} とし、第2の電源電圧 V_2 は、 GND とする。

【0114】

分圧回路102は、第1の端子と、第2の端子との間に接続され、基準電圧 V_b を分圧して、オペアンプ104の非反転入力端子に参照電圧 V_{ref} を出力する。

20

【0115】

スイッチ103は、第1の端子と、基準電圧生成回路101との間に接続され、制御信号 SEL_1 に応じて、導通状態または非導通状態となる。スイッチ103が導通状態の場合は、第1の端子から第1の電源電圧 V_1 を基準電圧生成回路101に供給し、非導通状態の場合は、第1の端子から第1の電源電圧 V_1 を基準電圧生成回路101に供給することを停止する。

【0116】

オペアンプ104は、非反転入力端子に参照電圧 V_{ref} が入力され、出力端子から出力電圧 V_{out} を出力し、また、出力電圧 V_{out} の一部を、反転入力端子に帰還させている。

30

【0117】

第1の端子と、オペアンプ104との間に、バイアス回路109が接続され、第2の端子と、オペアンプ104との間にバイアス回路105が接続されている。バイアス回路109及びバイアス回路105のそれぞれは、オペアンプ104にバイアス電流を供給する。

【0118】

保持回路106は、図1に示す信号処理回路と同様に、基準電圧生成回路101と、バイアス回路105との間に接続され、保持回路107は、図1に示す信号処理回路と同様に、分圧回路102と、オペアンプ104の非反転入力端子との間に接続され、保持回路108は、図4に示す信号処理回路と同様に、基準電圧生成回路101と、バイアス回路109との間に接続される。

40

【0119】

保持回路106、保持回路107、及び保持回路108は、それぞれスイッチ及び容量素子を有する。保持回路106、保持回路107、及び保持回路108が有するスイッチは、制御信号 SEL_2 に応じて、導通状態または非導通状態となる。

【0120】

保持回路106、保持回路107、及び保持回路108の詳細については、図1乃至図7の記載を参照できる。

【0121】

図8に、図7に示す信号処理回路におけるオペアンプ104、バイアス回路105、及び

50

バイアス回路 109 の一例を示す。

【0122】

オペアンプ 104 は、トランジスタ 151～トランジスタ 162、抵抗素子 163、及び容量素子 164 で構成される。トランジスタ 151～156 は、p チャンネル型トランジスタであり、157～162 は、n チャンネル型トランジスタである。

【0123】

バイアス回路 105 a は、トランジスタ 165 を有し、バイアス回路 105 b は、トランジスタ 166 及びトランジスタ 167 を有する。トランジスタ 165～トランジスタ 167 は、n チャンネル型トランジスタである。

【0124】

バイアス回路 109 は、トランジスタ 168 及びトランジスタ 169 を有する。トランジスタ 168 及びトランジスタ 169 は、p チャンネル型トランジスタである。

【0125】

端子 A は、図 7 に示す信号処理回路における保持回路 106 のノード A に相当し、端子 B は、図 7 に示す信号処理回路における保持回路 107 のノード B に相当し、端子 C は、図 7 に示す信号処理回路における保持回路 108 のノード C に相当する。

【0126】

図 7 及び図 8 に示す信号処理回路では、基準電圧生成回路 101 と、バイアス回路 105 a との間に、保持回路 106 を接続することにより、保持回路 106 において、基準電圧生成回路 101 から出力された基準電圧 V_a を保持することができる。また、分圧回路 102 と、オペアンプ 104 との間に、保持回路 107 を接続することにより、保持回路 107 において、分圧回路 102 から出力された参照電圧 V_{ref} を保持することができる。また、基準電圧生成回路 101 と、バイアス回路 109 との間に、保持回路 108 を接続することにより、保持回路 108 において、基準電圧生成回路 101 から出力された基準電圧 V_b を保持することができる。

【0127】

これにより、保持回路 106 で基準電圧 V_a が保持され、保持回路 107 で参照電圧 V_{ref} が保持され、保持回路 108 で基準電圧 V_b が保持されている期間においては、基準電圧生成回路 101 の動作を停止することができるため、基準電圧生成回路 101 で消費される電力を削減することができる。よって、信号処理回路で消費される電力を低減することができる。

【0128】

本実施の形態に示す信号処理回路は、例えば、AC-DC コンバータ、センサ等に適用することができる。オペアンプやコンパレータ等のアナログ回路を用いて、一定の電圧や、信号を出力し続ける必要がある回路においては、特に有用である。

【0129】

本実施の形態は、他の実施の形態と適宜組み合わせる適用することができる。

【0130】

(実施の形態 3)

本実施の形態では、本発明の一態様に係る信号処理回路の他の一形態について、図 11 を参照して説明する。

【0131】

図 11 に、信号処理回路の回路図を示す。図 11 に示す信号処理回路は、基準電圧生成回路 190 と、オペアンプ 104 と、保持回路 107 と、保持回路 171 と、トランジスタ 172 と、抵抗素子 173、174 と、で構成されている。

【0132】

本実施の形態では、図 11 に示す基準電圧生成回路 190 の構成が、他の実施の形態に示す基準電圧生成回路 101 の構成と一部異なる。図 11 に示す基準電圧生成回路 190 は、保持回路 175 と、スイッチ 176 と、抵抗素子 177 と、トランジスタ 178、179 と、を有する。保持回路 175 は、スイッチ 180 と、容量素子 181 と、を有する。

また、基準電圧生成回路 190 は、第 1 の電源電圧 V1 が供給される第 1 の端子と、第 2 の電源電圧 V2 が供給される第 2 の端子との間に接続され、保持回路 107 に参照電圧 Vref を出力する。

【0133】

スイッチ 176 は、第 1 の端子と、抵抗素子 177 の端子の一方との間に接続され、制御信号 SEL3 に応じて、導通状態または非導通状態となる。スイッチ 176 が導通状態の場合は、第 1 の端子から第 1 の電源電圧 V1 を基準電圧生成回路 190 に供給し、非導通状態の場合は、第 1 の端子から第 1 の電源電圧 V1 を基準電圧生成回路 190 に供給することを停止する。

【0134】

抵抗素子 177 の端子の他方は、トランジスタ 178 のソース又はドレインの一方と、ゲートと、スイッチ 180 の一端と電氣的に接続される。また、スイッチ 180 の他端は、容量素子 181 の一対の電極のうち一方と、トランジスタ 179 のゲートと、電氣的に接続される。トランジスタ 179 のソースまたはドレインの一方は、第 1 の端子に電氣的に接続される。また、トランジスタ 178 のソース又はドレインの他方と、容量素子 181 の一対の電極のうちの他方と、トランジスタ 179 のソース又はドレインの他方は、第 2 の端子と電氣的に接続される。

【0135】

保持回路 175 は、スイッチ 180 及び容量素子 181 を有する。保持回路 175 において、スイッチ 180 は、例えば、制御信号 SEL4 に応じて、オン状態またはオフ状態となるトランジスタを用いる。また、当該トランジスタとして、オフ電流が著しく小さいトランジスタを用いる。

【0136】

保持回路 175 におけるスイッチ 180 として、オフ電流が著しく小さいトランジスタを用い、該トランジスタをオフ状態とすることで、容量素子 181 の一対の電極のうち一方の電圧を長期間にわたって保持することができる。すなわち、スイッチ 180 が非導通状態の場合に、保持回路 175 における参照電圧 Vref を長期間にわたって保持することができる。

【0137】

オペアンプ 104 は、反転入力端子に参照電圧 Vref が入力され、非反転入力端子は、保持回路 171 と接続され、出力端子は、トランジスタ 172 のゲートと接続される。

【0138】

また、トランジスタ 172 のソース又はドレインの一方は、第 1 の端子と接続され、ソース又はドレインの他方は、抵抗素子 173 の端子の一方と、出力端子と接続される。出力端子から出力電圧 Vout が出力される。また、抵抗素子 173 の端子の他方は、抵抗素子 174 の端子の一方と接続され、抵抗素子 174 の端子の他方は、第 2 の端子と接続される。

【0139】

保持回路 171 は、スイッチ 182 及び容量素子 183 を有する。保持回路 171 において、スイッチ 182 は、例えば、制御信号 SEL5 に応じて、オン状態またはオフ状態となるトランジスタを用いる。また、当該トランジスタとして、オフ電流が著しく小さいトランジスタを用いる。

【0140】

保持回路 171 におけるスイッチ 182 として、オフ電流が著しく小さいトランジスタを用い、該トランジスタをオフ状態とすることで、容量素子 183 の一対の電極のうち一方の電圧を長期間にわたって保持することができる。すなわち、スイッチ 182 が非導通状態の場合に、保持回路 171 におけるノード D の電圧を長期間にわたって保持することができる。

【0141】

次に、図 11 に示す信号処理回路の動作について説明する。

10

20

30

40

50

【0142】

まず、スイッチ176に制御信号SEL3を入力することにより、スイッチ176を導通状態として、第1の端子から第1の電源電圧V1を、基準電圧生成回路190に供給する。スイッチ176が、nch型トランジスタの場合は、制御信号SEL3としてハイレベルを入力すればよく、pch型トランジスタの場合は、制御信号SEL3としてローレベルを入力すればよい。なお、以下において、スイッチ113、スイッチ182、スイッチ176、及びスイッチ180は、nch型トランジスタである場合について説明する。このとき、制御信号SEL4をハイレベルとして、スイッチ180を導通状態とすることにより、参照電圧Vrefを保持回路107に出力する。

【0143】

制御信号SEL2をハイレベルとして、スイッチ113を導通状態とすることで、基準電圧生成回路190から出力された参照電圧Vrefを、オペアンプ104の反転入力端子に出力する。これにより、オペアンプ104が動作するため、出力端子から出力した電圧をトランジスタ172のゲートに入力する。

【0144】

図11に示す信号処理回路が定常状態（参照電圧Vrefがオペアンプの反転入力端子に正常に供給されている状態）となった後、制御信号SEL4をローレベルとして、スイッチ180を非導通状態とする。スイッチ180として、オフ電流が著しく小さいトランジスタを用いることにより、参照電圧Vrefを、長期間にわたって保持することができる。

【0145】

参照電圧Vrefを、長期間にわたって保持することができるため、基準電圧生成回路190に、第1の端子から第1の電源電圧V1を供給する必要はなくなる。そのため、制御信号SEL3をローレベルとすることにより、スイッチ176を非導通状態とすることができる。

【0146】

また、図11に示す信号処理回路においては、出力（VOUT）側の負荷変動が生じて、VOUTノードの電位が一定となるように、オペアンプ104に帰還部を設けてフィードバック制御を行う場合がある。しかしながら、オペアンプ104も定常的に電流を消費するため、フィードバックが不要な場合（例えば、出力側で生じる負荷変動が小さい場合）には、帰還入力部の電圧を固定するように、保持回路171におけるスイッチ182を非導通状態とする。また、保持回路171におけるスイッチ182を非導通状態とする場合には、保持回路107におけるスイッチ113を非導通状態とする必要がある。これにより、フィードバックが不要な場合に、オペアンプ104において消費される電力をさらに低減することができる。

【0147】

本実施の形態では、信号処理回路に分圧回路を設けない構成としたが、他の実施の形態で示した信号処理回路と同様に、分圧回路を設ける構成としてもよい。例えば、図11において、第1の端子と第2の端子との間に分圧回路を接続し、基準電圧生成回路190の参照電圧Vrefが分圧回路に入力される構成とすればよい。このとき、分圧回路の出力は、保持回路107と、オペアンプ104の出力端子に入力されるようにすればよい。

【0148】

本実施の形態は、他の実施の形態と適宜組み合わせ適用することができる。

【0149】

（実施の形態4）

本実施の形態では、先の実施の形態に示す信号処理回路を適用することができる電源制御装置の一例について、図9を参照して説明する。図9に示す電源制御装置300は、端子AC__IN及び端子AC__INBより入力される交流信号を、端子AC__OUT及び端子AC__OUTBから出力することで、外部装置へ電源の供給を行う。

【0150】

電源制御装置 300 は、メインスイッチ 301、サブスイッチ 302、及びデータ処理装置 303 を有する。電源制御装置 300 は、他にも、整流回路 304、AC/DC コンバータ 305、DC/DC コンバータ 306、容量素子 307、及び不揮発性メモリ 308 を有する。データ処理装置 303 は、揮発性記憶部 309、不揮発性記憶部 310、及びセンサ 311 を有する。

【0151】

メインスイッチ 301 は、導通状態となることで、端子 AC__IN 及び端子 AC__INB より入力される交流信号を、端子 AC__OUT 及び端子 AC__OUTB から外部装置に出力する。また、メインスイッチ 301 は、非導通状態となることで、端子 AC__IN 及び端子 AC__INB より入力される交流信号を、端子 AC__OUT 及び端子 AC__OUTB から外部装置に出力することを停止する。メインスイッチ 301 は、データ処理装置 303 の制御により、外部装置の使用状況に応じて、導通状態または非導通状態を切り替える。メインスイッチ 301 を非導通状態とすることで、外部装置の待機電力を削減することができる。

10

【0152】

サブスイッチ 302 は、導通状態になることで端子 AC__IN 及び端子 AC__INB より入力される交流信号を、整流回路 304 に出力する。また、サブスイッチ 302 は、非導通状態になることで端子 AC__IN 及び端子 AC__INB より入力される交流信号を、整流回路 304 に出力することを停止する。サブスイッチ 302 は、データ処理装置 303 の制御により、導通状態または非導通状態が切り替えられる。

20

【0153】

なお、本明細書で説明するメインスイッチ及びサブスイッチとしては、リレー回路のように機械的に動作可能なスイッチや、サイリスタまたはパワートランジスタのように電氣的に動作可能なスイッチを用いることができる。

【0154】

整流回路 304 は、入力される交流信号を整流化するための回路である。

【0155】

AC/DC コンバータ 305 は、整流回路 304 で整流化されたリップルを含む信号を平滑化して直流信号にし、力率を調整するための回路である。

【0156】

DC/DC コンバータ 306 は、AC/DC コンバータ 305 で変換された直流信号を、データ処理装置 303 が動作可能な電圧の直流信号にするための回路である。

30

【0157】

容量素子 307 は、DC/DC コンバータ 306 で得られるデータ処理装置 303 が動作可能な電圧を保持するために設けられる。

【0158】

不揮発性メモリ 308 は、データ処理装置 303 で処理するデータまたはプログラムを記憶するための回路である。なお不揮発性メモリ 308 が有するメモリ素子としては、フラッシュメモリの他、強誘電体メモリ (FeRAM)、磁気メモリ (MRAM)、相変化メモリ (PRAM)、電界誘起巨大抵抗変化を利用した抵抗変化型メモリ (ReRAM) を用いればよい。または電源の供給が停止してもデータの保持が可能なメモリ素子であれば、他のメモリ素子でもよい。

40

【0159】

データ処理装置 303 が有する揮発性記憶部 309 は、電源の供給が行われている際にデータ処理装置 303 で演算を行い、該演算の結果または演算に用いるデータ、もしくはプログラムを記憶する記憶回路である。該記憶回路は、データ処理装置 303 内の一時的なデータを記憶する機能を有するレジスタに相当する回路である。揮発性記憶部 309 は、一例としては、フリップフロップで構成することができる。揮発性記憶部 309 での記憶は、不揮発性記憶部 310 でのデータの記憶よりも高速に行う構成とすることが好ましい。揮発性記憶部 309 でのデータの記憶を高速で行わせることで、データ処理装置 303

50

の性能を向上させることができる。

【0160】

データ処理装置303が有する不揮発性記憶部310は、電源の供給が行われない際にデータ処理装置303内に記憶された、演算の結果または演算に用いるデータ、もしくはプログラムを記憶するための回路である。不揮発性記憶部310は、一例としては、不揮発性を有するメモリ素子を用いて構成することができる。

【0161】

データ処理装置303は、メインスイッチ301の導通状態または非導通状態の制御、サブスイッチ302の導通状態または非導通状態の制御、及び電源制御装置300内に設けられる装置を動作させる際に必要な演算処理を行う。

10

【0162】

例えば、データ処理装置303は、一定期間毎に演算処理中のデータを揮発性記憶部309から不揮発性記憶部310に退避させて、サブスイッチ302を非導通状態にする動作を行う。またデータ処理装置303は、サブスイッチ302を導通状態にし、不揮発性記憶部310に退避させたデータを揮発性記憶部309に復帰させて再び演算処理を行う動作を行う。

【0163】

また、データ処理装置303は、センサ311を有する。センサ311を有することで、センサ311からの信号をもとに演算処理を行い、必要に応じてメインスイッチ301の導通状態または非導通状態の制御を行う構成とすることができる。

20

【0164】

また、データ処理装置が有するセンサ311として、先の実施の形態に示す信号処理回路を適用することができる。センサ311として、先の実施の形態に示す信号処理回路を適用することにより、信号処理回路において、基準電圧生成回路から出力された基準電圧を保持回路において保持することが可能である。そのため、保持回路で基準電圧が保持されている期間においては、基準電圧生成回路の動作を停止することができる。よって、基準電圧生成回路で消費される電力を削減することができるため、信号処理回路で消費される電力を低減することができる。さらに、該信号処理回路を含む電源制御装置で消費される電力を低減することができる。

【0165】

30

(実施の形態5)

本実施の形態では、本発明の一態様に係る信号処理回路の断面構造の一例について、図10を参照して説明する。

【0166】

先の実施の形態に示す信号処理回路は、基準電圧生成回路101、分圧回路102、及びオペアンプ104を、シリコンなどを用いたトランジスタで形成され、これらの回路に積層して、保持回路106、保持回路107、及び保持回路108等を、酸化物半導体を用いたトランジスタで形成される。

【0167】

図10には、本発明の一態様に係る信号処理回路の一部の断面を示す。図10に示す信号処理回路は、下部に第1の半導体材料(例えば、シリコン)を用いたn型のトランジスタ及びp型のトランジスタを有し、上部に第2の半導体材料(例えば、酸化物半導体)を用いたトランジスタ及び容量素子を有する。

40

【0168】

〈下部のトランジスタの構成〉

n型のトランジスタ510は、半導体材料を含む基板500に設けられたチャネル形成領域501と、チャネル形成領域501を挟むように設けられた低濃度不純物領域502及び高濃度不純物領域503(これらを合わせて単に不純物領域とも呼ぶ)と、該不純物領域に接して設けられた金属間化合物領域507と、チャネル形成領域501上に設けられたゲート絶縁膜504aと、ゲート絶縁膜504a上に設けられたゲート電極層505a

50

と、金属間化合物領域 507 と接して設けられたソース電極層 506 a 及びドレイン電極層 506 b と、を有する。ゲート電極層 505 a の側面には、サイドウォール絶縁膜 508 a が設けられている。トランジスタ 510 を覆うように層間絶縁膜 521 及び層間絶縁膜 522 が設けられている。層間絶縁膜 521 及び層間絶縁膜 522 に形成された開口を通じて、ソース電極層 506 a 及びドレイン電極層 506 b と、金属間化合物領域 507 とが接続されている。

【0169】

p 型のトランジスタ 520 は、半導体材料を含む基板 500 に設けられたチャネル形成領域 511 と、チャネル形成領域 511 を挟むように設けられた低濃度不純物領域 512 及び高濃度不純物領域 513（これらを合わせて単に不純物領域とも呼ぶ）と、該不純物領域に接して設けられた金属間化合物領域 517 と、チャネル形成領域 511 上に設けられたゲート絶縁膜 504 b と、ゲート絶縁膜 504 b 上に設けられたゲート電極層 505 b と、金属間化合物領域 517 と接して設けられたソース電極層 506 c 及びドレイン電極層 506 d と、を有する。ゲート電極層 505 b の側面には、サイドウォール絶縁膜 508 b が設けられている。トランジスタ 520 を覆うように層間絶縁膜 521 及び層間絶縁膜 522 が設けられている。層間絶縁膜 521 及び層間絶縁膜 522 に形成された開口を通じて、ソース電極層 506 c 及びドレイン電極層 506 d と、金属間化合物領域 517 とが接続している。

【0170】

また、基板 500 には、トランジスタ 510 と、トランジスタ 520 のそれぞれを囲むように素子分離絶縁膜 509 が設けられている。

【0171】

なお、図 10 では、トランジスタ 510 及びトランジスタ 520 が、半導体基板にチャネルが形成されるトランジスタである場合について示すが、トランジスタ 510 及びトランジスタ 520 が、絶縁表面上に形成された非晶質半導体膜、多結晶半導体膜にチャネルが形成されるトランジスタであってもよい。また、SOI 基板のように、単結晶半導体膜にチャネルが形成されるトランジスタであってもよい。

【0172】

半導体基板として、単結晶半導体基板を用いることにより、トランジスタ 510 及びトランジスタ 520 を、高速動作させることができる。よって、先の実施の形態に示す信号処理回路における基準電圧生成回路、分圧回路、及びオペアンプ等を、単結晶半導体基板に形成することが好ましい。

【0173】

また、トランジスタ 510 と、トランジスタ 520 とは、配線 523 によって、それぞれ接続されており、配線 523 上には、絶縁膜 524 が設けられている。また、絶縁膜 524 上には、導電層 525 a、525 b、絶縁膜 526 が設けられている。絶縁膜 526 は、絶縁膜 524 上に、導電層 525 a、525 b を形成した後、導電層 525 a、525 b 上に、絶縁膜を形成し、当該絶縁膜を、導電層 525 a、525 b の上面が露出するまで、研磨処理を行ったものであることが好ましい。

【0174】

〈上部のトランジスタの構成〉

上部のトランジスタ 530 は、シリコンよりもバンドギャップが広い半導体膜にチャネルが形成されるトランジスタである。トランジスタ 530 は、絶縁膜 524 上に設けられた導電層 525 b と、導電層 525 b 上に設けられた絶縁膜 531 及び絶縁膜 532 と、絶縁膜 532 上に設けられた半導体膜 533 と、半導体膜 533 に接して設けられたソース電極層 534 a、ドレイン電極層 534 b と、半導体膜 533、ソース電極層 534 a、ドレイン電極層 534 b 上に設けられたゲート絶縁膜 535 と、ゲート絶縁膜 535 上に設けられたゲート電極層 536 a と、を有する。なお、導電層 525 b は、ゲート電極層として機能する。

【0175】

図10では、半導体膜を挟んで上下に2つのゲート電極層を有する場合について示している。一方のゲート電極層には、オン状態またはオフ状態を制御するための信号が与えられ、他方のゲート電極層は、電氣的に絶縁しているフローティングの状態であっても良いし、電位が他から与えられている状態であっても良い。後者の場合、一对の電極に、同じ高さの電位が与えられていても良いし、他方のゲート電極層にのみ接地電位などの固定の電位が与えられていても良い。他方のゲート電極層に与える電位の高さを制御することで、トランジスタの閾値電圧を制御することができる。

【0176】

また、絶縁膜532上には、導電層534cが設けられ、導電層534c上には、ゲート絶縁膜535が設けられ、ゲート絶縁膜535上には、導電層536bが設けられている。導電層534c、ゲート絶縁膜535、導電層536bによって、容量素子540が構成される。

10

【0177】

また、トランジスタ530及び容量素子540を覆うように、層間絶縁膜537、層間絶縁膜538が設けられている。また、層間絶縁膜537及び層間絶縁膜538に形成された開口を通じて、ソース電極層534aと、配線539とが接続されている。

【0178】

シリコンよりも広いバンドギャップを有する半導体膜としては化合物半導体があり、例えば、酸化物半導体、窒化物半導体などがある。本実施の形態では、半導体膜533として、酸化物半導体を用いる場合について説明する。

20

【0179】

トランジスタ530に用いる酸化物半導体は、電子供与体（ドナー）となる水分または水素などの不純物が低減され、なおかつ酸素欠損が低減されることにより、高純度化された酸化物半導体（*purified Oxide Semiconductor*）であることが好ましい。高純度化された酸化物半導体は、i型（真性半導体）又はi型に限りなく近い。そのため、上記酸化物半導体を用いたトランジスタは、オフ電流が著しく小さいという特性を有する。また、酸化物半導体のバンドギャップは、2eV以上、好ましくは2.5eV以上、より好ましくは3eV以上である。水分または水素などの不純物濃度が十分に低減され、なおかつ酸素欠損が低減されることにより高純度化された酸化物半導体膜を用いることにより、トランジスタのオフ電流を著しく小さくすることができる。

30

【0180】

具体的に、高純度化された酸化物半導体を半導体膜に用いたトランジスタのオフ電流が小さいことは、いろいろな実験により証明できる。例えば、チャネル幅が $1 \times 10^6 \mu\text{m}$ でチャネル長が $10 \mu\text{m}$ の素子であっても、ソース端子とドレイン端子間の電圧（ドレイン電圧）が1Vから10Vの範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13} \text{A}$ 以下という特性を得ることができる。この場合、オフ電流をトランジスタのチャネル幅で除した数値に相当するオフ電流密度は、 $100 \text{ zA} / \mu\text{m}$ 以下であることが分かる。また、容量素子とトランジスタとを接続して、容量素子に流入または容量素子から流出する電荷を当該トランジスタで制御する回路を用いて、オフ電流密度の測定を行った。当該測定では、上記トランジスタに高純度化された酸化物半導体膜をチャネル形成領域に用い、容量素子の単位時間あたりの電荷量の推移から当該トランジスタのオフ電流密度を測定した。その結果、トランジスタのソース端子とドレイン端子間の電圧が3Vの場合に、数十 $\text{yA} / \mu\text{m}$ という、さらに低いオフ電流密度が得られることが分かった。従って、高純度化された酸化物半導体膜をチャネル形成領域に用いたトランジスタは、シリコンを用いたトランジスタに比べてオフ電流が著しく小さいといえる。

40

【0181】

また、酸化物半導体としては、少なくともインジウム（In）あるいは亜鉛（Zn）を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電氣的特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム（Ga）、スズ（Sn）

50

、ハフニウム（Hf）、アルミニウム（Al）、ジルコニウム（Zr）のいずれか一種または複数種を含むことが好ましい。

【0182】

また、他のスタビライザーとして、ランタノイドである、ランタン（La）、セリウム（Ce）、プラセオジウム（Pr）、ネオジウム（Nd）、サマリウム（Sm）、ユウロピウム（Eu）、ガドリニウム（Gd）、テルビウム（Tb）、ジスプロシウム（Dy）、ホルミウム（Ho）、エルビウム（Er）、ツリウム（Tm）、イッテルビウム（Yb）、ルテチウム（Lu）のいずれか一種または複数種を含んでいてもよい。

【0183】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物である In-Zn 系酸化物、Sn-Zn 系酸化物、Al-Zn 系酸化物、Zn-Mg 系酸化物、Sn-Mg 系酸化物、In-Mg 系酸化物、In-Ga 系酸化物、三元系金属の酸化物である In-Ga-Zn 系酸化物（IGZOとも表記する）、In-Al-Zn 系酸化物、In-Sn-Zn 系酸化物、Sn-Ga-Zn 系酸化物、Al-Ga-Zn 系酸化物、Sn-Al-Zn 系酸化物、In-Hf-Zn 系酸化物、In-La-Zn 系酸化物、In-Pr-Zn 系酸化物、In-Nd-Zn 系酸化物、In-Sm-Zn 系酸化物、In-Eu-Zn 系酸化物、In-Gd-Zn 系酸化物、In-Tb-Zn 系酸化物、In-Dy-Zn 系酸化物、In-Ho-Zn 系酸化物、In-Er-Zn 系酸化物、In-Tm-Zn 系酸化物、In-Yb-Zn 系酸化物、In-Lu-Zn 系酸化物、四元系金属の酸化物である In-Sn-Ga-Zn 系酸化物、In-Hf-Ga-Zn 系酸化物、In-Al-Ga-Zn 系酸化物、In-Sn-Al-Zn 系酸化物、In-Sn-Hf-Zn 系酸化物、In-Hf-Al-Zn 系酸化物を用いることができる。

【0184】

なお、例えば、In-Ga-Zn 系酸化物とは、In と Ga と Zn を含む酸化物という意味であり、In と Ga と Zn の比率は問わない。また、In と Ga と Zn 以外の金属元素を含んでいてもよい。In-Ga-Zn 系酸化物は、無電界時の抵抗が十分に高くオフ電流を十分に小さくすることが可能であり、また、移動度も高い。

【0185】

例えば、In:Ga:Zn=1:1:1（=1/3:1/3:1/3）あるいは In:Ga:Zn=2:2:1（=2/5:2/5:1/5）の原子比の In-Ga-Zn 系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、In:Sn:Zn=1:1:1（=1/3:1/3:1/3）、In:Sn:Zn=2:1:3（=1/3:1/6:1/2）あるいは In:Sn:Zn=2:1:5（=1/4:1/8:5/8）の原子比の In-Sn-Zn 系酸化物やその組成の近傍の酸化物を用いるとよい。

【0186】

例えば、In-Sn-Zn 系酸化物では比較的容易に高い移動度が得られる。しかしながら、In-Ga-Zn 系酸化物でも、バルク内欠陥密度を低減することにより移動度を上げることができる。

【0187】

酸化物半導体膜は、例えば非単結晶を有してもよい。非単結晶は、例えば、CAAC（C Axis Aligned Crystal）、多結晶、微結晶、非晶質部を有する。非晶質部は、微結晶、CAAC よりも欠陥準位密度が高い。また、微結晶は、CAAC よりも欠陥準位密度が高い。なお、CAAC を有する酸化物半導体を、CAAC-OS（C Axis Aligned Crystalline Oxide Semiconductor）と呼ぶ。

【0188】

酸化物半導体膜は、例えば CAAC-OS を有してもよい。CAAC-OS は、例えば、c 軸配向し、a 軸または／および b 軸はマクロに揃っていない。

【0189】

酸化物半導体膜は、例えば微結晶を有してもよい。なお、微結晶を有する酸化物半導体を

、微結晶酸化物半導体と呼ぶ。微結晶酸化物半導体膜は、例えば、1 nm以上10 nm未満のサイズの微結晶（ナノ結晶ともいう。）を膜中に含む。

【0190】

酸化物半導体膜は、例えば非晶質部を有してもよい。なお、非晶質部を有する酸化物半導体を、非晶質酸化物半導体と呼ぶ。非晶質酸化物半導体膜は、例えば、原子配列が無秩序であり、結晶成分を有さない。または、非晶質酸化物半導体膜は、例えば、完全な非晶質であり、結晶部を有さない。

【0191】

なお、酸化物半導体膜が、CAAC-O-S、微結晶酸化物半導体、非晶質酸化物半導体の混合膜であってもよい。混合膜は、例えば、非晶質酸化物半導体の領域と、微結晶酸化物半導体の領域と、CAAC-O-Sの領域と、を有する。また、混合膜は、例えば、非晶質酸化物半導体の領域と、微結晶酸化物半導体の領域と、CAAC-O-Sの領域と、の積層構造を有してもよい。

【0192】

なお、酸化物半導体膜は、例えば、単結晶を有してもよい。

【0193】

酸化物半導体膜は、複数の結晶部を有し、当該結晶部のc軸が被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃っていることが好ましい。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なってもよい。そのような酸化物半導体膜の一例としては、CAAC-O-S膜がある。

【0194】

CAAC-O-S膜に含まれる結晶部は、一辺が100 nm未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡（TEM：Transmission Electron Microscope）による観察像では、CAAC-O-S膜に含まれる結晶部と結晶部との境界は明確ではない。また、TEMによってCAAC-O-S膜には明確な粒界（グレインバウンダリーともいう。）は確認できない。そのため、CAAC-O-S膜は、粒界に起因する電子移動度の低下が抑制される。

【0195】

CAAC-O-S膜に含まれる結晶部は、例えば、c軸がCAAC-O-S膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向になるように揃い、かつab面に垂直な方向から見て金属原子が三角形状または六角形状に配列し、c軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なってもよい。本明細書において、単に垂直と記載する場合、80°以上100°以下、好ましくは85°以上95°以下の範囲も含まれることとする。また、単に平行と記載する場合、-10°以上10°以下、好ましくは-5°以上5°以下の範囲も含まれることとする。

【0196】

なお、CAAC-O-S膜において、結晶部の分布が一様でなくてもよい。例えば、CAAC-O-S膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることがある。また、CAAC-O-S膜へ不純物を添加することにより、当該不純物添加領域において結晶部の結晶性が低下することもある。

【0197】

CAAC-O-S膜に含まれる結晶部のc軸は、CAAC-O-S膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向になるように揃うため、CAAC-O-S膜の形状（被形成面の断面形状または表面の断面形状）によっては互いに異なる方向を向くことがある。また、結晶部は、成膜したとき、または成膜後に加熱処理などの結晶化処理を行ったときに形成される。従って、結晶部のc軸は、CAAC-O-S膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向になるように揃う。

【0198】

C A A C - O S 膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

【0199】

また、トランジスタのしきい値電圧のシフト量は、一方のゲート絶縁膜および他方のゲート絶縁膜の材料が同じである場合には、膜厚比によって制御することが可能である。一方のゲート絶縁膜および他方のゲート絶縁膜の膜厚比が1:10の場合は、膜厚比が1:1の場合と比較して、トランジスタのしきい値電圧のシフト量が大きくなる傾向がある。

【0200】

半導体膜533は、成膜前、成膜時、成膜後において、水素が含まれないようにすることが好ましい。例えば、半導体膜533の成膜時に、水素が極力含まれないように成膜する、及び半導体膜533の成膜後に脱水化または脱水素化のための加熱処理を行うことが好ましい。また、半導体膜533と接する絶縁膜の成膜時に、水素が極力含まれないように成膜する、及び絶縁膜の成膜後に脱水化または脱水素化のための加熱処理を行うことが好ましい。

【0201】

さらに、絶縁膜531として、水素が透過することを防止する膜を用いることにより、下部のトランジスタや、絶縁膜524、層間絶縁膜522等に含まれる水素が、半導体膜533に到達することを防止することができる。水素が透過することを防止する膜として、窒化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、酸化窒化アルミニウム等を用いることが好ましい。また、層間絶縁膜537として、水素が透過することを防止する膜を用いることにより、層間絶縁膜538に含まれる水素が、半導体膜533に到達することを防止することができる。

【0202】

また、半導体膜533に含まれる酸素欠損を低減するために、半導体膜533に酸素を供給する処理を行うことが好ましい。例えば、半導体膜533と、酸素が過剰に含まれる絶縁膜とを接して設け、加熱処理を行うことで、酸素が過剰に含まれる絶縁膜から半導体膜533に、酸素を供給することができる。半導体膜533に酸素が供給されることにより、半導体膜533に含まれる酸素欠損を低減することができる。また、半導体膜533に脱水化または脱水素化処理を行った後、半導体膜533に酸素を添加する処理を行っても良い。酸素を添加する処理としては、例えば、イオン注入法、イオンドーピング法、プラズマ処理等により、酸素ラジカル、オゾン、酸素原子、酸素イオン等を、半導体膜533に添加して行う。

【0203】

このように、半導体膜533において、不純物や酸素欠損が低減されることにより、キャリアの発生を抑制することができる。キャリア密度が高まることを抑制することで、キャリア密度に起因して、トランジスタのしきい値電圧がマイナス方向にシフトしてしまうことを抑制することができる。そのため、トランジスタの他方のゲート電極に印加する電位によって、トランジスタのしきい値電圧を容易に制御することが可能となる。

【0204】

本実施の形態は、他の実施の形態と適宜組み合わせ適用することができる。

【符号の説明】

【0205】

- 101 基準電圧生成回路
- 102 分圧回路
- 103 スイッチ
- 104 オペアンプ
- 105 バイアス回路
- 105 a バイアス回路
- 105 b バイアス回路
- 106 保持回路

10

20

30

40

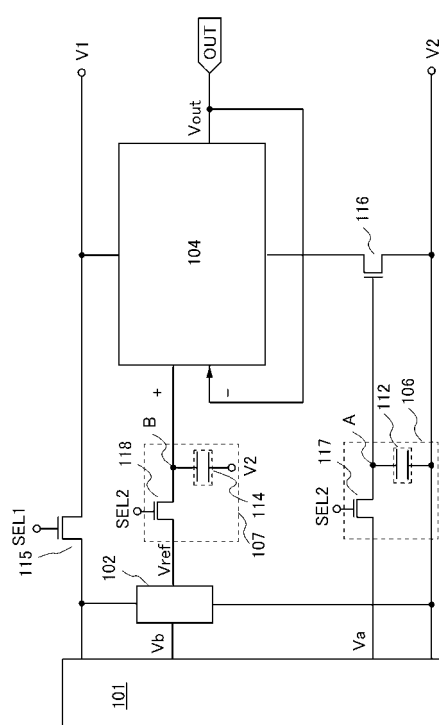
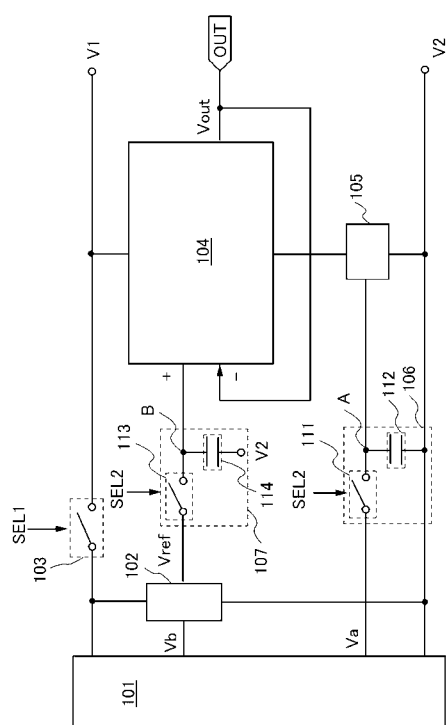
50

1 0 7	保持回路	
1 0 8	保持回路	
1 0 9	バイアス回路	
1 1 1	スイッチ	
1 1 2	容量素子	
1 1 3	スイッチ	
1 1 4	容量素子	
1 1 5	トランジスタ	
1 1 6	トランジスタ	
1 1 7	トランジスタ	10
1 1 8	トランジスタ	
1 1 9	スイッチ	
1 2 0	容量素子	
1 2 1	トランジスタ	
1 2 2	トランジスタ	
1 3 1	トランジスタ	
1 3 2	トランジスタ	
1 3 3	トランジスタ	
1 3 4	トランジスタ	
1 3 5	抵抗素子	20
1 3 6	トランジスタ	
1 3 7	抵抗素子	
1 3 8	トランジスタ	
1 3 9	トランジスタ	
1 4 0	トランジスタ	
1 4 1	トランジスタ	
1 4 2	トランジスタ	
1 4 3	トランジスタ	
1 4 4	容量素子	
1 4 5	トランジスタ	30
1 5 1	トランジスタ	
1 5 6	トランジスタ	
1 6 2	トランジスタ	
1 6 3	抵抗素子	
1 6 4	容量素子	
1 6 5	トランジスタ	
1 6 6	トランジスタ	
1 6 7	トランジスタ	
1 6 8	トランジスタ	
1 6 9	トランジスタ	40
1 7 1	保持回路	
1 7 2	トランジスタ	
1 7 3	抵抗素子	
1 7 4	抵抗素子	
1 7 5	保持回路	
1 7 6	スイッチ	
1 7 7	抵抗素子	
1 7 8	トランジスタ	
1 7 9	トランジスタ	
1 8 0	スイッチ	50

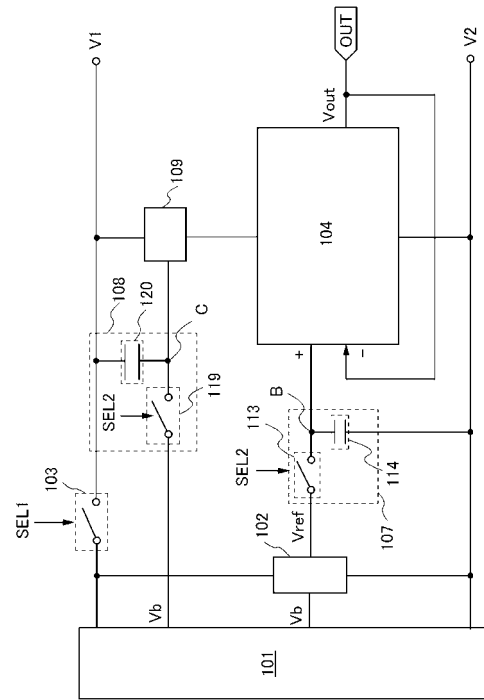
1 8 1	容量素子	
1 8 2	スイッチ	
1 8 3	容量素子	
1 9 0	基準電圧生成回路	
3 0 0	電源制御装置	
3 0 1	メインスイッチ	
3 0 2	サブスイッチ	
3 0 3	データ処理装置	
3 0 4	整流回路	
3 0 5	A C / D C コンバータ	10
3 0 6	D C / D C コンバータ	
3 0 7	容量素子	
3 0 8	不揮発性メモリ	
3 0 9	揮発性記憶部	
3 1 0	不揮発性記憶部	
3 1 1	センサ	
5 0 0	基板	
5 0 1	チャネル形成領域	
5 0 2	低濃度不純物領域	
5 0 3	高濃度不純物領域	20
5 0 4 a	ゲート絶縁膜	
5 0 4 b	ゲート絶縁膜	
5 0 5 a	ゲート電極層	
5 0 5 b	ゲート電極層	
5 0 6 a	ソース電極層	
5 0 6 b	ドレイン電極層	
5 0 6 c	ソース電極層	
5 0 6 d	ドレイン電極層	
5 0 7	金属間化合物領域	
5 0 8 a	サイドウォール絶縁膜	30
5 0 8 b	サイドウォール絶縁膜	
5 0 9	素子分離絶縁膜	
5 1 0	トランジスタ	
5 1 1	チャネル形成領域	
5 1 2	低濃度不純物領域	
5 1 3	高濃度不純物領域	
5 1 7	金属間化合物領域	
5 2 0	トランジスタ	
5 2 1	層間絶縁膜	
5 2 2	層間絶縁膜	40
5 2 3	配線	
5 2 4	絶縁膜	
5 2 5 a	導電層	
5 2 5 b	導電層	
5 2 6	絶縁膜	
5 3 0	トランジスタ	
5 3 1	絶縁膜	
5 3 2	絶縁膜	
5 3 3	半導体膜	
5 3 4 a	ソース電極層	50

- | | |
|---------|---------|
| 5 3 4 b | ドレイン電極層 |
| 5 3 4 c | 導電層 |
| 5 3 5 | ゲート絶縁膜 |
| 5 3 6 a | ゲート電極層 |
| 5 3 6 b | 導電層 |
| 5 3 7 | 層間絶縁膜 |
| 5 3 8 | 層間絶縁膜 |
| 5 3 9 | 配線 |
| 5 4 0 | 容量素子 |

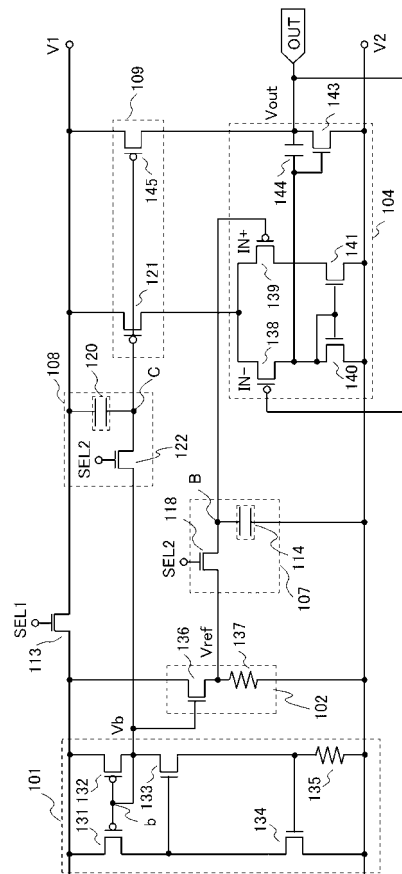
【図 2】



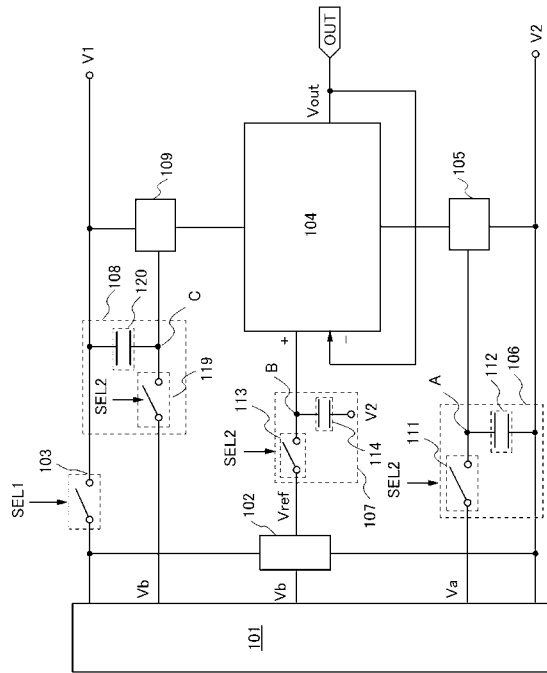
【 図 4 】



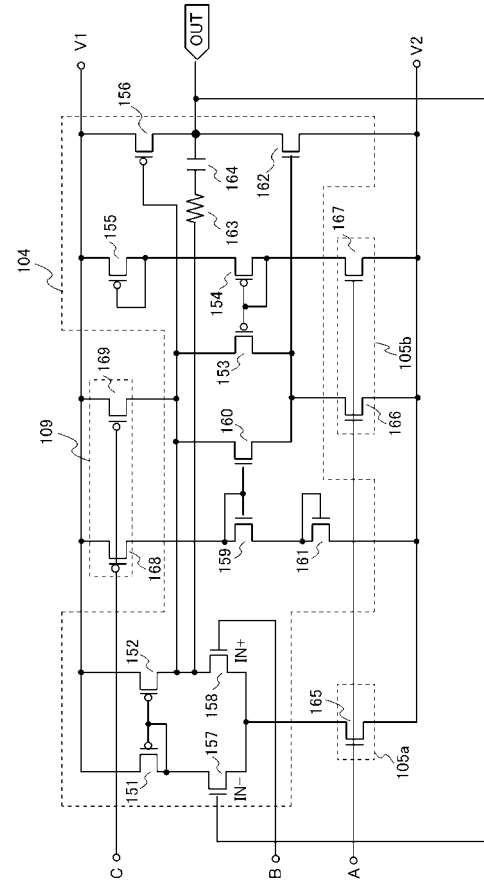
【图 6】



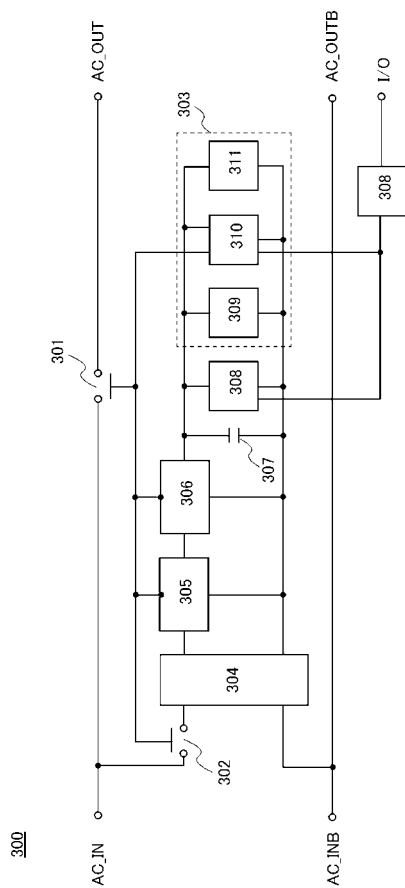
【图 7】



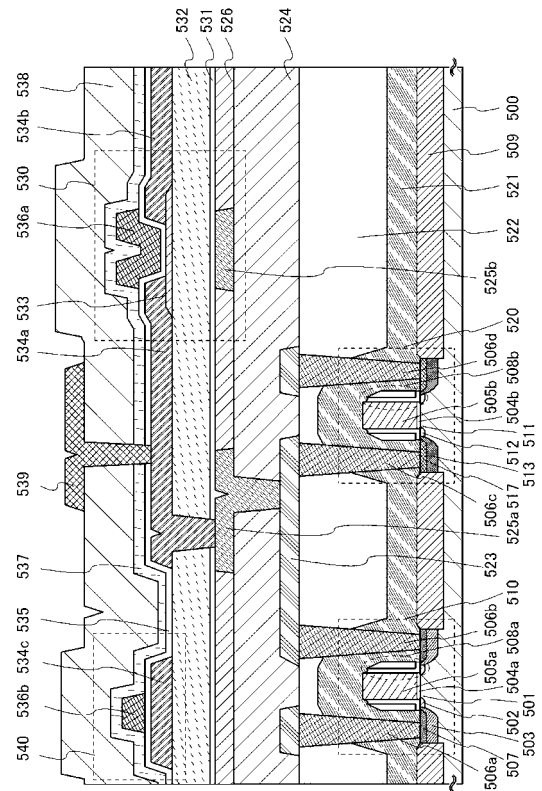
【图 8】



【 図 9 】



【 図 1 0 】



第 1 のトランジスタと、
第 1 の容量素子と、
第 2 の回路と、を有し、
前記第 2 の回路は、差動回路を有し、
前記第 1 の電位は、前記第 1 のトランジスタのソース又はドレインの一方に入力され、
前記第 1 のトランジスタのソース又はドレインの他方は、前記第 2 の回路と電氣的に接
続され、
前記第 1 の容量素子は、前記第 1 のトランジスタのソース又はドレインの他方と電氣的
に接続され、
前記差動回路は、第 2 のトランジスタを有し、
前記第 1 の回路は、第 3 のトランジスタ乃至第 5 のトランジスタと、第 2 の容量素子と
、を有し、
前記第 3 のトランジスタのソース又はドレインの一方は、前記第 4 のトランジスタのソ
ース又はドレインの一方と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの他方は、前記第 3 のトランジスタのゲートと電氣的に接続され、

前記第 2 の容量素子は、前記第 4 のトランジスタのゲートと電氣的に接続され、

前記第 4 のトランジスタのゲートは、前記第 1 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 5 のトランジスタのソース又はドレインの一方は、前記第 3 のトランジスタのゲートと電氣的に接続され、

前記第 5 のトランジスタのソース又はドレインの他方は、前記第 4 のトランジスタのゲートと電氣的に接続され、

前記第 1 のトランジスタのチャネル形成領域、及び、前記第 5 のトランジスタのチャネル形成領域は、酸化物半導体を有し、

前記第 2 のトランジスタのチャネル形成領域、前記第 3 のトランジスタのチャネル形成領域、及び、前記第 4 のトランジスタのチャネル形成領域は、シリコンを有する半導体装置。

【請求項 2】

電源電圧が供給される期間において、第 1 の電位を生成する機能を有する第 1 の回路と

、

第 1 のトランジスタと、

第 1 の容量素子と、

第 2 の回路と、を有し、

前記第 2 の回路は、差動回路を有し、

前記第 1 の電位は、前記第 1 のトランジスタのソース又はドレインの一方に入力され、

前記第 1 のトランジスタのソース又はドレインの他方は、前記第 2 の回路と電氣的に接続され、

前記第 1 の容量素子は、前記第 1 のトランジスタのソース又はドレインの他方と電氣的に接続され、

前記差動回路は、第 2 のトランジスタを有し、

前記第 1 の回路は、第 3 のトランジスタ乃至第 5 のトランジスタと、第 2 の容量素子と、を有し、

前記第 3 のトランジスタのソース又はドレインの一方は、前記第 4 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの他方は、前記第 3 のトランジスタのゲートと電氣的に接続され、

前記第 2 の容量素子は、前記第 4 のトランジスタのゲートと電氣的に接続され、

前記第 4 のトランジスタのゲートは、前記第 1 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 5 のトランジスタのソース又はドレインの一方は、前記第 3 のトランジスタのゲートと電氣的に接続され、

前記第 5 のトランジスタのソース又はドレインの他方は、前記第 4 のトランジスタのゲートと電氣的に接続され、

前記第 1 のトランジスタのチャネル形成領域、及び、前記第 5 のトランジスタのチャネル形成領域は、酸化物半導体を有し、

前記第 2 のトランジスタのチャネル形成領域、前記第 3 のトランジスタのチャネル形成領域、及び、前記第 4 のトランジスタのチャネル形成領域は、シリコンを有する半導体装置であって、

前記第 2 のトランジスタの上方、前記第 3 のトランジスタの上方、及び、前記第 4 のトランジスタの上方に、第 1 の絶縁層が配置され、

前記第 1 の絶縁層の上方に、前記第 1 のトランジスタ、及び前記第 5 のトランジスタが配置されることを特徴とする半導体装置。

フロントページの続き

(51)Int.Cl. F I テーマコード (参考)
H 0 1 L 27/088 (2006.01) H 0 1 L 27/088 3 3 1 E

F ターム (参考) 5F048 AA01 AB08 AC01 AC03 AC04 AC10 BA01 BA14 BA16 BA19
BA20 BB02 BB11 BB14 BC06 BC18 BD02 BF06 BF12 BF16
BF17 BG13 CB01 CB03 CB04 CB10 DA30
5H430 BB01 BB05 BB09 BB11 EE06 FF01 FF13 GG09 HH03