



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0032404
(43) 공개일자 2020년03월26일

(51) 국제특허분류(Int. Cl.)
G06F 12/02 (2018.01) G06F 3/06 (2006.01)
(52) CPC특허분류
G06F 12/0246 (2013.01)
G06F 3/0604 (2013.01)
(21) 출원번호 10-2018-0111388
(22) 출원일자 2018년09월18일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
오용석
경기도 이천시 부발읍 경충대로 2091
(74) 대리인
김성남

전체 청구항 수 : 총 23 항

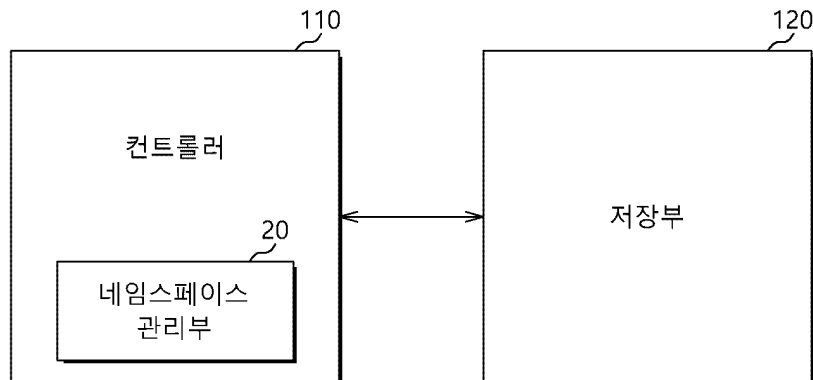
(54) 발명의 명칭 데이터 저장 장치 및 동작 방법, 이를 포함하는 스토리지 시스템

(57) 요약

본 기술의 일 실시예에 의한 데이터 저장 장치는 저장 및 호스트 장치의 요청에 응답하여 저장부에 대한 데이터 교환을 제어하도록 구성되고, 호스트 장치의 요청에 응답하여 저장부의 물리 공간인 서브 스페이스를 적어도 하나 포함하도록 논리 공간인 네임스페이스를 생성하고, 네임스페이스와 서브 스페이스 간의 맵핑 정보를 관리하며, 네임스페이스를 구성하는 적어도 하나의 서브 스페이스가 물리적으로 연속되거나 연속되지 않는 어드레스를 갖도록 선택되는 컨트롤러를 구비할 수 있다.

대표도 - 도1

10



(52) CPC특허분류
G06F 3/0658 (2013.01)

명세서

청구범위

청구항 1

저장부; 및

호스트 장치의 요청에 응답하여 상기 저장부에 대한 데이터 교환을 제어하도록 구성되고, 상기 호스트 장치의 요청에 응답하여 상기 저장부의 물리 공간인 서브 스페이스를 적어도 하나 포함하도록 논리 공간인 네임스페이스를 생성하고, 상기 네임스페이스와 상기 서브 스페이스 간의 맵핑 정보를 관리하며, 상기 네임스페이스를 구성하는 적어도 하나의 서브 스페이스가 물리적으로 연속되거나 연속되지 않는 어드레스를 갖도록 선택되는 컨트롤러;

를 구비하는 데이터 저장 장치.

청구항 2

제 1 항에 있어서,

상기 컨트롤러는 각 네임스페이스에 포함되는 적어도 하나의 서브 스페이스별로 맵핑 테이블을 생성 및 관리하고, 하나의 네임스페이스에 포함되는 복수의 서브 스페이스 간의 어드레스 링크 정보를 생성 및 관리하도록 구성되는 데이터 저장 장치.

청구항 3

제 1 항에 있어서,

상기 컨트롤러는, 상기 네임스페이스 ID별로 네임스페이스 사이즈 및 맵핑 테이블 ID를 포함하는 메타정보를 생성하여 엔트리 테이블로 관리하도록 구성되는 데이터 저장 장치.

청구항 4

제 3 항에 있어서,

상기 컨트롤러는, 상기 서브 스페이스 별로 상기 맵핑 테이블 ID를 부여하며, 상기 맵핑 테이블 ID별로 논리 어드레스 오프셋, 물리 어드레스 오프셋, 상기 서브 스페이스 사이즈 및 링크된 맵핑 테이블 ID를 생성하여 맵핑 테이블로 관리하도록 구성되는 데이터 저장 장치.

청구항 5

제 4 항에 있어서,

상기 컨트롤러는 상기 네임스페이스 ID별로 상기 맵핑 테이블의 정보를 상기 논리 어드레스 오프셋을 기준으로 정렬하여 인덱스 캐쉬를 생성하고 관리하도록 구성되는 데이터 저장 장치.

청구항 6

제 1 항에 있어서,

상기 컨트롤러는, 상기 호스트 장치의 네임스페이스 생성 요청에 응답하여, 상기 생성 요청된 사이즈 이상의 프리 공간이 상기 저장부에 존재하는 경우, 물리적으로 연속되지 않은 어드레스를 갖는 서브 스페이스를 상기 생성 요청된 사이즈만큼 조합하여 네임스페이스를 생성하고 상기 맵핑 정보를 갱신하도록 구성되는 데이터 저장 장치.

청구항 7

제 1 항에 있어서,

상기 컨트롤러는, 상기 호스트 장치의 네임스페이스 삭제 요청에 응답하여, 삭제 요청된 네임스페이스에 포함되

는 서브 스페이스를 프리 공간으로 할당하고 상기 맵핑 정보를 갱신하도록 구성되는 데이터 저장 장치.

청구항 8

제 1 항에 있어서,

상기 컨트롤러는, 상기 호스트 장치의 네임스페이스 사이즈 증가 요청에 응답하여, 상기 증가 요청된 사이즈 이상의 프리 공간이 존재하면 물리적으로 연속되거나 연속되지 않는 적어도 하나의 서브 스페이스를 선택하여 기존 네임스페이스의 물리공간으로 추가 할당하고 상기 맵핑 정보를 갱신하도록 구성되는 데이터 저장 장치.

청구항 9

제 1 항에 있어서,

상기 컨트롤러는, 상기 호스트 장치의 네임스페이스 사이즈 감소 요청에 응답하여, 상기 감소 요청된 네임스페이스의 물리 공간 중 요청된 사이즈의 물리 공간을 프리 공간으로 할당하고 상기 맵핑 정보를 갱신하도록 구성되는 데이터 저장 장치.

청구항 10

저장부 및 상기 저장부에 대한 데이터 교환을 제어하도록 구성되는 컨트롤러를 포함하는 데이터 저장 장치의 동작 방법으로서,

호스트 장치의 요청에 응답하여, 상기 컨트롤러가 상기 저장부의 물리 공간인 서브 스페이스를 적어도 하나 포함하도록 논리 공간인 네임스페이스를 생성하는 단계; 및

상기 네임스페이스와 상기 서브 스페이스 간의 맵핑 정보를 갱신하는 단계;를 포함하고

상기 네임스페이스를 구성하는 적어도 하나의 서브 스페이스는 물리적으로 연속되거나 연속되지 않는 어드레스를 갖도록 선택되는 데이터 저장 장치의 동작 방법.

청구항 11

제 10 항에 있어서,

상기 맵핑 정보를 갱신하는 단계는, 상기 컨트롤러가 각 네임스페이스에 포함되는 적어도 하나의 서브 스페이스 별로 맵핑 테이블을 생성하고, 하나의 네임스페이스에 포함되는 복수의 서브 스페이스 간의 어드레스 링크 정보를 생성 및 관리하는 단계를 포함하도록 구성되는 데이터 저장 장치의 동작 방법.

청구항 12

제 10 항에 있어서,

상기 맵핑 정보를 갱신하는 단계는, 상기 컨트롤러가 상기 네임스페이스 ID별로 네임스페이스 사이즈 및 맵핑 테이블 ID를 포함하는 메타정보를 생성하여 엔트리 테이블로 관리하는 단계를 포함하도록 구성되는 데이터 저장 장치의 동작 방법.

청구항 13

제 12 항에 있어서,

상기 맵핑 정보를 갱신하는 단계는, 상기 컨트롤러가 상기 서브 스페이스 별로 상기 맵핑 테이블 ID를 부여하며, 상기 맵핑 테이블 ID별로 논리 어드레스 오프셋, 물리 어드레스 오프셋, 상기 서브 스페이스 사이즈 및 링크된 맵핑 테이블 ID를 생성하여 맵핑 테이블로 관리하는 단계를 포함하도록 구성되는 데이터 저장 장치의 동작 방법.

청구항 14

제 13 항에 있어서,

상기 맵핑 정보를 갱신하는 단계는, 상기 컨트롤러가 상기 네임스페이스 ID별로 상기 맵핑 테이블의 정보를 상기 논리 어드레스 오프셋을 기준으로 정렬하여 인덱스 캐쉬를 생성하고 관리하는 단계를 포함하도록 구성되는

데이터 저장 장치의 동작 방법.

청구항 15

제 10 항에 있어서,

상기 호스트 장치의 네임스페이스 생성 요청에 응답하여, 상기 컨트롤러가 상기 생성 요청된 사이즈 이상의 프리 공간이 상기 저장부에 존재하는지 확인하는 단계;

프리 공간이 존재하는 경우, 물리적으로 연속되지 않은 어드레스를 갖는 서브 스페이스를 상기 생성 요청된 사이즈만큼 조합하여 네임스페이스를 생성하는 단계; 및

상기 맵핑 정보를 갱신하는 단계;

를 포함하도록 구성되는 데이터 저장 장치의 동작 방법.

청구항 16

제 10 항에 있어서,

상기 호스트 장치의 네임스페이스 삭제 요청에 응답하여, 상기 컨트롤러가 삭제 요청된 네임스페이스에 포함되는 서브 스페이스를 프리 공간으로 할당하는 단계; 및

상기 맵핑 정보를 갱신하는 단계;

를 포함하도록 구성되는 데이터 저장 장치의 동작 방법.

청구항 17

제 10 항에 있어서,

상기 호스트 장치의 네임스페이스 사이즈 증가 요청에 응답하여, 상기 컨트롤러가 상기 증가 요청된 사이즈 이상의 프리 공간이 존재하는 단계;

상기 프리 공간이 존재하는 경우 물리적으로 연속되거나 연속되지 않는 적어도 하나의 서브 스페이스를 선택하여 기존 네임스페이스의 물리공간으로 추가 할당하는 단계; 및

상기 맵핑 정보를 갱신하는 단계;

를 포함하도록 구성되는 데이터 저장 장치의 동작 방법.

청구항 18

제 10 항에 있어서,

상기 호스트 장치의 네임스페이스 사이즈 감소 요청에 응답하여, 상기 컨트롤러가 상기 감소 요청된 네임스페이스의 물리 공간 중 요청된 사이즈의 물리 공간을 프리 공간으로 할당하는 단계; 및

상기 맵핑 정보를 갱신하는 단계;

를 포함하도록 구성되는 데이터 저장 장치의 동작 방법.

청구항 19

호스트 장치; 및

저장부와, 상기 호스트 장치의 요청에 따라 상기 저장부에 대한 데이터 교환을 제어하도록 구성되는 컨트롤러를 포함하는 데이터 저장 장치;를 포함하고,

상기 컨트롤러는 상기 호스트 장치의 요청에 응답하여 상기 저장부의 물리 공간인 서브 스페이스를 적어도 하나 포함하도록 논리 공간인 네임스페이스를 생성하고, 상기 네임스페이스와 상기 서브 스페이스 간의 맵핑 정보를 관리하며, 상기 네임스페이스를 구성하는 적어도 하나의 서브 스페이스가 물리적으로 연속되거나 연속되지 않는 어드레스를 갖도록 선택되는 스토리지 시스템.

청구항 20

제 19 항에 있어서,

상기 컨트롤러는 각 네임스페이스에 포함되는 적어도 하나의 서브 스페이스별로 맵핑 테이블을 생성 및 관리하고, 하나의 네임스페이스에 포함되는 복수의 서브 스페이스 간의 어드레스 링크 정보를 생성 및 관리하도록 구성되는 스토리지 시스템.

청구항 21

제 19 항에 있어서,

상기 컨트롤러는, 상기 네임스페이스 ID별로 네임스페이스 사이즈 및 맵핑 테이블 ID를 포함하는 메타정보를 생성하여 엔트리 테이블로 관리하도록 구성되는 스토리지 시스템.

청구항 22

제 21 항에 있어서,

상기 컨트롤러는, 상기 서브 스페이스 별로 상기 맵핑 테이블 ID를 부여하며, 상기 맵핑 테이블 ID별로 논리 어드레스 오프셋, 물리 어드레스 오프셋, 상기 서브 스페이스 사이즈 및 링크된 맵핑 테이블 ID를 생성하여 맵핑 테이블로 관리하도록 구성되는 스토리지 시스템.

청구항 23

제 22 항에 있어서,

상기 컨트롤러는 상기 네임스페이스 ID별로 상기 맵핑 테이블의 정보를 상기 논리 어드레스 오프셋을 기준으로 정렬하여 인덱스 캐쉬를 생성하고 관리하도록 구성되는 스토리지 시스템.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 집적 장치에 관한 것으로, 보다 구체적으로는 데이터 저장 장치 및 동작 방법, 이를 포함하는 스토리지 시스템에 관한 것이다.

배경 기술

[0002] 플래시 메모리는 대용량을 지원하며 비휘발성, 낮은 단가 및 적은 전력 소모, 고속 데이터 처리 속도를 제공하는 등의 장점으로 인해 그 수요가 계속해서 증가하고 있다.

[0003] 플래시 메모리를 사용한 저장 매체는 하드 디스크를 대체하는 솔리드 스테이트 드라이브(solid state drive; SSD) 타입, 내장 메모리로 사용될 수 있는 임베디드 타입, 모바일 타입 등으로 구현될 수 있고, 멀티미디어 데이터 처리를 주로 수행하는 전자기기, 차량용 내비게이션 장치, 블랙박스 등 다양한 전자기기에 적용되고 있다.

[0004] 최근에는 대용량 저장 장치의 효율적인 데이터 관리와 운용을 위해 하나의 물리적 장치로부터 복수의 논리적 공간을 제공할 수 있는 파티션 또는 네임스페이스(Name space) 기능을 지원하는 스토리지 장치에 대한 연구가 진행되고 있다.

발명의 내용

해결하려는 과제

[0005] 본 기술의 실시예는 물리적 공간의 활용 효율을 향상시킬 수 있는 데이터 저장 장치 및 동작 방법, 이를 포함하는 스토리지 시스템을 제공할 수 있다.

과제의 해결 수단

[0006] 본 기술의 실시예에 의한 데이터 저장 장치는 저장부; 및 호스트 장치의 요청에 응답하여 상기 저장부에 대한 데이터 교환을 제어하도록 구성되고, 상기 호스트 장치의 요청에 응답하여 상기 저장부의 물리 공간인 서브

스페이스를 적어도 하나 포함하도록 논리 공간인 네임스페이스를 생성하고, 상기 네임스페이스와 상기 서브 스페이스 간의 맵핑 정보를 관리하며, 상기 네임스페이스를 구성하는 적어도 하나의 서브 스페이스가 물리적으로 연속되거나 연속되지 않는 어드레스를 갖도록 선택되는 컨트롤러;를 구비할 수 있다.

[0007] 본 기술의 일 실시예에 의한 데이터 저장 장치의 동작 방법은 저장부 및 상기 저장부에 대한 데이터 교환을 제어하도록 구성되는 컨트롤러를 포함하는 데이터 저장 장치의 동작 방법으로서, 호스트 장치의 요청에 응답하여, 상기 컨트롤러가 상기 저장부의 물리 공간인 서브 스페이스를 적어도 하나 포함하도록 논리 공간인 네임스페이스를 생성하는 단계; 및 상기 네임스페이스와 상기 서브 스페이스 간의 맵핑 정보를 갱신하는 단계;를 포함하고 상기 네임스페이스를 구성하는 적어도 하나의 서브 스페이스는 물리적으로 연속되거나 연속되지 않는 어드레스를 갖도록 선택될 수 있다.

[0008] 본 기술의 일 실시예에 의한 스토리지 시스템은 호스트 장치; 및 저장부와, 상기 호스트 장치의 요청에 따라 상기 저장부에 대한 데이터 교환을 제어하도록 구성되는 컨트롤러를 포함하는 데이터 저장 장치;를 포함하고, 상기 컨트롤러는 상기 호스트 장치의 요청에 응답하여 상기 저장부의 물리 공간인 서브 스페이스를 적어도 하나 포함하도록 논리 공간인 네임스페이스를 생성하고, 상기 네임스페이스와 상기 서브 스페이스 간의 맵핑 정보를 관리하며, 상기 네임스페이스를 구성하는 적어도 하나의 서브 스페이스가 물리적으로 연속되거나 연속되지 않는 어드레스를 갖도록 선택될 수 있다.

발명의 효과

[0009] 본 기술에 의하면 단편화된 물리적 저장 공간의 활용 효율을 향상시킬 수 있다.

도면의 간단한 설명

[0010] 도 1은 일 실시예에 의한 데이터 저장 장치의 구성도이다.
 도 2는 일 실시예에 의한 컨트롤러의 구성도이다.
 도 3은 일 실시예에 의한 네임스페이스 관리부의 구성도이다.
 도 4 내지 도 6은 일 실시예에 의한 네임스페이스 관리 테이블의 구성도이다.
 도 7은 일 실시예에 의한 네임스페이스 관리 개념을 설명하기 위한 도면이다.
 도 8은 일 실시예에 의한 네임스페이스 맵핑 개념을 설명하기 위한 도면이다.
 도 9는 일 실시예에 의한 네임스페이스 탐색 개념을 설명하기 위한 도면이다.
 도 10은 일 실시예에 의한 네임스페이스 생성 방법을 설명하기 위한 흐름도이다.
 도 11 및 도 12는 일 실시예에 의한 네임스페이스 생성 동작을 설명하기 위한 개념도이다.
 도 13은 일 실시예에 의한 네임스페이스 삭제 방법을 설명하기 위한 흐름도이다.
 도 14는 일 실시예에 의한 네임스페이스 삭제 동작을 설명하기 위한 개념도이다.
 도 15 및 도 16은 일 실시예에 의한 네임스페이스 변경 방법을 설명하기 위한 흐름도이다.
 도 17은 일 실시예에 의한 스토리지 시스템의 구성도이다.
 도 18 및 도 19는 실시예들에 따른 데이터 처리 시스템의 구성도이다.
 도 20은 일 실시예에 의한 데이터 저장 장치를 포함하는 네트워크 시스템의 구성도이다.
 도 21은 일 실시예에 따른 데이터 저장 장치에 포함된 비휘발성 메모리 장치의 구성도이다.

발명을 실시하기 위한 구체적인 내용

[0011] 이하, 첨부된 도면을 참조하여 본 기술의 실시예를 보다 구체적으로 설명한다.

[데이터 저장 장치]

[0013] 도 1은 일 실시예에 의한 데이터 저장 장치의 구성도이다.

- [0014] 도 1을 참조하면, 일 실시예에 의한 데이터 저장 장치(10)는 컨트롤러(110) 및 저장부(120)를 포함할 수 있다.
- [0015] 컨트롤러(110)는 호스트 장치의 요청에 응답하여 저장부(120)를 제어할 수 있다. 예를 들어, 컨트롤러(110)는 호스트 장치의 프로그램(라이트) 요청에 따라 저장부(120)에 데이터가 프로그램되도록 할 수 있다. 그리고, 호스트 장치의 읽기 요청에 응답하여 저장부(120)에 기록되어 있는 데이터를 호스트 장치로 제공할 수 있다.
- [0016] 저장부(120)는 컨트롤러(110)의 제어에 따라 데이터를 기록하거나 기록된 데이터를 출력할 수 있다. 저장부(120)는 휘발성 또는 비휘발성 메모리 장치로 구성될 수 있다. 일 실시예에서, 저장부(120)는 EEPROM(Electrically Erasable and Programmable ROM), 낸드(NAND) 플래시 메모리, 노어(NOR) 플래시 메모리, PRAM(Phase-Change RAM), ReRAM(Resistive RAM) FRAM(Ferroelectric RAM), STT-MRAM(Spin Torque Transfer Magnetic RAM) 등과 같은 다양한 비휘발성 메모리 소자 중에서 선택된 메모리 소자를 이용하여 구현될 수 있다. 저장부(120)는 복수의 다이들(Die 0~Die n), 또는 복수의 칩들, 또는 복수의 패키지들을 포함할 수 있다. 나아가 저장부(120)는 하나의 메모리 셀에 한 비트의 데이터를 저장하는 싱글 레벨 셀(Single-Level Cell), 또는 하나의 메모리 셀에 복수 비트의 데이터를 저장하는 멀티 레벨 셀(Multi-Level Cell)로 이루어질 수 있다.
- [0017] 일 실시예에서, 컨트롤러(110)는 네임스페이스 관리부(20)를 포함할 수 있다.
- [0018] "네임스페이스"는 저장부(120)를 복수의 논리적 간으로 분할하였을 때, 개개의 논리적 구획을 의미하며, 저장부(120) 내에서 각각 독립적인 공간으로 작용할 수 있다.
- [0019] 이하에서 설명할 네임스페이스 관리부(20)에 대한 이해를 돕기 위해 본 기술에서 언급되는 용어들을 하기와 같이 정의하기로 한다.

표 1

<용어의 정의>

[0020]

네임스페이스(NS)	저장부 내 물리적 저장 공간이 논리적으로 복수개인 것으로 인식되도록 분할한 논리 공간
서브 스페이스	하나의 네임스페이스에 포함되는 물리 공간 하나의 네임스페이스는 적어도 하나의 서브 스페이스를 가질 수 있음
NTHT	엔트리 테이블 네임스페이스별 사이즈, 맵핑 테이블 ID를 관리
NTBT	맵핑 테이블 각 서브 스페이스마다 부여된 맵핑 테이블 ID별로 서브 스페이스의 논리적/물리 어드레스 오프셋, 서브 스페이스 사이즈, 링크된 맵핑 테이블 ID 관리
NTBC	인덱스 캐쉬 맵핑 테이블에 대한 접근 용이성을 위해 맵핑 테이블을 최적화한 인덱스 테이블
NS_ID	네임스페이스 ID
NS_SIZE	네임스페이스 사이즈
START_TBID	네임스페이스의 물리 공간에 액세스하기 위해 최초로 참조할 맵핑 테이블 ID
TBID	서브 스페이스별로 부여된 맵핑 테이블 ID
NS_L_OFFSET	서브 스페이스의 논리 어드레스 오프셋
NS_P_OFFSET	서브 스페이스의 물리 어드레스 오프셋
TB_SIZE	서브 스페이스 사이즈
NEXT_TBID	링크된 맵핑 테이블 ID

- [0021] 저장부(120)는 적어도 하나의 네임스페이스로 구획될 수 있다. 저장부(120)를 복수의 네임스페이스로 구획할 때 각 네임스페이스는 같거나 다른 용량, 같거나 다른 보호 타입(Protection type)을 가질 수 있다. 일 실시예에서, 네임스페이스의 용량 및 보호 타입은 호스트 장치가 지정할 수 있다.
- [0022] 네임스페이스 관리부(20)는 호스트 장치의 요청에 따라 네임스페이스를 생성, 삭제, 또는 변경하도록 구성될 수 있다.
- [0023] 일 실시예에서, 호스트 장치가 네임스페이스의 생성을 요청하는 경우, 네임스페이스 관리부(20)는 저장부(120)에 호스트 장치가 요청한 사이즈의 프리 공간이 존재하는지 확인하고, 프리 공간이 존재하는 경우 호스트 장치가 요청한 사이즈의 프리 공간을 네임스페이스 공간으로 할당할 수 있다. 그리고, 네임스페이스 관리부(20)는 네임스페이스 공간이 할당되면 네임스페이스의 논리 어드레스와 물리 어드레스와의 관계를 맵핑하여 테이블로

관리할 수 있다.

- [0024] 하나의 네임스페이스는 적어도 하나의 서브 스페이스를 포함할 수 있고, 네임스페이스 관리부(20)는 각 네임스페이스에 포함되는 적어도 하나의 서브 스페이스별로 맵핑 테이블 ID를 부여하여 맵핑 테이블을 생성할 수 있다.
- [0025] 각 네임스페이스는 논리적으로 연속된 어드레스를 가질 수 있다. 하나의 네임스페이스가 복수의 서브 스페이스를 포함하는 경우 각 서브 스페이스는 물리적으로 연속되지 않는 어드레스를 가질 수 있으며, 네임스페이스 관리부(20)는 하나의 네임스페이스에 포함되는 복수의 서브 스페이스 간의 어드레스 링크 정보를 관리할 수 있다.
- [0026] 일 실시예에서, 네임스페이스 관리부(20)는 호스트 장치의 네임스페이스 생성 요청에 따라, 저장부(120) 내에 요청된 사이즈 이상의 프리 공간이 존재하면 물리적으로 연속되거나 연속되지 않는 어드레스를 갖는 적어도 하나의 서브 스페이스를 선택하여 네임스페이스의 물리 공간으로 할당하고 어드레스 맵핑 정보를 갱신할 수 있다.
- [0027] 다른 관점에서, 네임스페이스 관리부(20)는 호스트 장치의 네임스페이스 생성 요청에 응답하여, 물리적으로 연속되지 않은 어드레스를 갖는 서브 스페이스를 요청된 사이즈만큼 조합하여 네임스페이스를 생성할 수 있다.
- [0028] 일 실시예에서, 네임스페이스 관리부(20)는 호스트 장치의 네임스페이스 삭제 요청에 응답하여, 삭제 요청된 네임스페이스에 포함되는 서브 스페이스를 프리 공간으로 할당하고 어드레스 맵핑 정보를 갱신할 수 있다.
- [0029] 일 실시예에서, 호스트 장치의 네임스페이스 사이즈 증가 요청에 응답하여, 네임스페이스 관리부(20)는 요청된 사이즈 이상의 프리 공간이 존재하면 물리적으로 연속되거나 연속되지 않는 적어도 하나의 서브 스페이스를 선택하여 기존 네임스페이스의 물리공간으로 추가 할당하고 어드레스 맵핑 정보를 갱신할 수 있다.
- [0030] 일 실시예에서, 호스트 장치의 네임스페이스 사이즈 감소 요청에 응답하여, 네임스페이스 관리부(20)는 감소 요청된 네임스페이스의 물리 공간 중 요청된 사이즈의 물리 공간을 프리 공간으로 할당하고 어드레스 맵핑 정보를 갱신할 수 있다.
- [0031] 네임스페이스 관리부(20)는 네임스페이스 메타 정보를 엔트리 테이블(Namespace Translation Head Table; NTHT)로 관리하여, 네임스페이스별로 할당된 엔트리 테이블을 통해 어드레스 맵핑 테이블에 접근 가능하도록 할 수 있다. 어드레스 맵핑 테이블은 네임스페이스를 구성하는 서브 스페이스별 어드레스 맵핑 정보를 어드레스 오프셋 및 서브 스페이스 사이즈를 통해 관리할 수 있다.
- [0032] 호스트 장치의 네임스페이스 접근 요청에 빠르게 대응하기 위하여, 네임스페이스 관리부(20)는 맵핑 테이블에서 관리하는 정보를 고속으로 탐색할 수 있도록 정렬 및 최적화하여 인덱스 캐쉬를 생성 및 관리할 수 있다.
- [0033] 이와 같이, 본 기술의 일 실시예에 의한 네임스페이스 관리부(20)는 물리적으로 연속되지 않는 어드레스를 갖는 서브 스페이스의 조합으로 호스트 장치가 요청한 사이즈에 대응하는 네임스페이스를 구성할 수 있다.
- [0034] 생성된 네임스페이스들은 크기가 다르고 물리적으로 연속되지 않기 때문에 저장 장치(120) 내에서 네임스페이스들의 생성 및 삭제가 반복되면 저장 장치가 단편화될 수 있다.
- [0035] 단편화된 물리 공간의 용량이 총 합은 네임스페이스 생성 관점에서 유의미할 수 있다. 그러므로 단편화된 물리 공간을 서브 스페이스로 정의하고 서브 스페이스를 조합하여 호스트 장치가 요구하는 사이즈의 네임스페이스를 생성할 수 있다. 네임스페이스는 저장부(120)의 관점에서는 물리적으로 연속되지 않을 수 있으나 호스트 장치의 관점에서는 논리적으로 연속된 주소 공간으로 인식되어 논리적으로 구획된 독립적인 공간으로 사용할 수 있다. 그리고, 데이터 저장장치(10)는 단편화된 물리공간이 버려지지 않도록 관리함에 따라 물리적 저장 공간의 활용 효율을 향상시킬 수 있다.
- [0036] **[컨트롤러]**
- [0037] 도 2는 일 실시예에 의한 컨트롤러의 구성도이다.
- [0038] 도 2를 참조하면, 일 실시예에 의한 컨트롤러(110)는 중앙처리장치(111), 호스트 인터페이스(113), ROM(1151), RAM(1153), 메모리 인터페이스(117) 및 전력 관리부(20)를 포함할 수 있다.
- [0039] 중앙처리장치(CPU, 111)는 저장부(120)에 대한 데이터의 읽기 또는 라이트 동작에 필요한 다양한 제어정보를 호스트 인터페이스(113), RAM(1153), 메모리 인터페이스(117)에 전달하도록 구성될 수 있다. 일 실시예에서, 중앙처리장치(111)는 데이터 저장 장치(10)의 다양한 동작을 위해 제공되는 펌웨어에 따라 동작할 수 있다. 일 실시예에서, 중앙처리장치(111)는 저장부(120)를 관리하기 위한 가비지 콜렉션, 주소맵핑, 웨어레벨링 등을 수

행하기 위한 플래시 변환계층(FTL)의 기능, 저장부(120)로부터 독출된 데이터의 에러를 검출하고 정정하는 기능 등을 수행할 수 있다.

[0040] 호스트 인터페이스(113)는 중앙처리장치(111)의 제어에 따라 호스트 장치로부터 커맨드 및 클럭신호를 수신하고 데이터의 입출력을 제어하기 위한 통신 채널을 제공할 수 있다. 특히, 호스트 인터페이스(113)는 호스트 장치와 데이터 저장 장치(10) 간의 물리적 연결을 제공할 수 있다. 그리고 호스트 장치의 버스 포맷에 대응하여 데이터 저장 장치(10)와의 인터페이싱을 제공할 수 있다. 호스트 장치의 버스 포맷은 시큐어 디지털(secure digital), USB(universal serial bus), MMC(multi-media card), eMMC(embedded MMC), PCMCIA(personal computer memory card international association), PATA(parallel advanced technology attachment), SATA(serial advanced technology attachment), SCSI(small computer system interface), SAS(serial attached SCSI), PCI(peripheral component interconnection), PCI-E(PCI Express), UFS(universal flash storage)와 같은 표준 인터페이스 프로토콜들 중 적어도 어느 하나를 포함할 수 있다.

[0041] ROM(1151)은 컨트롤러(110)의 동작에 필요한 프로그램 코드, 예를 들어 펌웨어 또는 소프트웨어가 저장되고, 프로그램 코드들이 이용하는 코드 데이터 등이 저장될 수 있다.

[0042] RAM(1153)은 컨트롤러(110)의 동작에 필요한 데이터 또는 컨트롤러(110)에 의해 생성된 데이터를 저장할 수 있다.

[0043] 중앙처리장치(111)는 부팅 동작시 저장부(120) 또는 ROM(1151)에 저장된 부트 코드를 RAM(1153)에 로딩함으로써, 데이터 저장 장치(10)의 부팅 동작을 제어할 수 있다.

[0044] 메모리 인터페이스(117)는 컨트롤러(110)와 저장부(120) 간의 신호 송수신을 위한 통신 채널을 제공할 수 있다. 메모리 인터페이스(117)는 중앙처리장치(111)의 제어에 따라 버퍼 메모리부에 일시 저장된 데이터를 저장부(120)에 기입할 수 있다. 그리고 저장부(120)로부터 독출되는 데이터를 버퍼 메모리부로 전달하여 일시 저장할 수 있다.

[0045] 네임스페이스 관리부(20)는 호스트장치의 요청에 응답하여 적어도 하나의 서브 스페이스를 조합하여 네임스페이스를 생성하거나, 적어도 하나의 서브 스페이스를 프리 공간으로 할당하여 네임스페이스를 삭제하거나, 적어도 하나의 서브 스페이스를 추가하여 네임스페이스를 리사이징하거나, 네임스페이스를 구성하는 복수의 서브 스페이스 중 적어도 하나를 프리 공간으로 할당하여 네임스페이스를 리사이징할 수 있다.

[0046] 네임스페이스 관리부(20)는 예를 들어 도 3과 같이 구성할 수 있으나 이에 한정되는 것은 아니다.

[네임스페이스 관리부]

[0048] 도 3은 일 실시예에 의한 네임스페이스 관리부의 구성도이고, 도 4 내지 도 6은 일 실시예에 의한 네임스페이스 관리 테이블의 구성도이다.

[0049] 도 3을 참조하면, 일 실시예에 의한 네임스페이스 관리부(20)는 네임스페이스 생성부(210), 네임스페이스 삭제부(220), 네임스페이스 변경부(230) 및 정보 관리부(230)를 포함할 수 있다.

[0050] 정보 관리부(230)는 엔트리 테이블(NHT, 241), 맵핑 테이블(TB, 243) 및 인덱스 캐쉬(245)를 포함할 수 있다.

<엔트리 테이블>

[0052] 엔트리 테이블(NHT, 241)은 예를 들어 도 4와 같이 구성될 수 있다. 일 실시예에서, 엔트리 테이블(NHT, 241)은 네임스페이스 ID(NS_ID)별로 네임스페이스 사이즈(NS_SIZE) 및 최초 접근할 맵핑 테이블 ID(START_TBID)를 관리하도록 구성될 수 있다.

<맵핑 테이블>

[0054] 맵핑 테이블 ID는 서브 스페이스별로 부여될 수 있다.

[0055] 도 5를 참조하면, 맵핑 테이블(TB, 243)은 엔트리 테이블에 의해 접근할 수 있는 맵핑 테이블 ID(TBID)별로 해당 서브 스페이스의 논리 어드레스 오프셋(NS_L_OFFSET), 물리 어드레스 오프셋(NS_P_OFFSET), 서브 스페이스 사이즈(TB_SIZE) 및 링크된 맵핑 테이블 ID(NEXT_TBID)를 관리하도록 구성될 수 있다.

[0056] 이러한 자료구조에 따라, 엔트리 테이블(NHT)의 네임스페이스 ID(NS_ID)별로 관리되는 정보를 참조하여 맵핑 테이블(TB)에 접근할 수 있다. 그리고 접근된 맵핑 테이블(TB)을 통해 해당 네임스페이스를 구성하는 적어

도 하나의 서브 스페이스의 논리 어드레스에 맵핑된 물리어드레스를 탐색하여 저장부(120)의 물리 공간에 접근할 수 있다.

[0057] 데이터 저장장치(10)는 호스트 장치의 요청에 따라 데이터 입출력을 수행하므로, 호스트 장치로부터 제공되는 정보, 예를 들어 논리 어드레스에 기초하여 맵핑 테이블을 재구성할 수 있다.

[0058] <인덱스 캐쉬>

[0059] 도 6을 참조하면, 인덱스 캐쉬(NTBC)는 서브 스페이스의 논리 어드레스 오프셋(NS_L_OFFSET), 서브 스페이스 사이즈(TB_SIZE) 및 맵핑 테이블 ID(TBID)를 논리 어드레스 오프셋(NS_L_OFFSET)을 기준으로 정렬하여 관리할 수 있다. 아울러, 인덱스 캐쉬(NTBC)는 네임스페이스 ID(NS_ID)별로 구축될 수 있다.

[0060] 호스트 장치로부터 커맨드(리드 또는 라이트), 네임스페이스 ID 및 논리 어드레스가 전송되면, 네임스페이스 관리부(20)는 먼저 네임스페이스 ID별로 구축된 인덱스 캐쉬(NTBC, 245)에 접근하여 맵핑 테이블 ID(TBID)를 추출하고, 그에 따라 맵핑 테이블(NTBT, 243)에 접근하여 물리 어드레스를 탐색해 낼 수 있다.

[0061] 도 7은 일 실시예에 의한 네임스페이스 관리 개념을 설명하기 위한 도면이다.

[0062] 도 7을 참조하면, 호스트 장치가 관리하는 논리 공간(LA)에서의 네임스페이스는 NS1, NS2, NS3를 포함할 수 있다. 네임스페이스1(NS1)은 컨트롤러가 관리하는 물리 공간(PA)에서 제 1 서브 스페이스(SNS11) 및 제 2 서브 스페이스(SNS12)를 포함할 수 있다. 네임스페이스2(NS2)는 3개의 서브 스페이스(SNS21, SNS22, SNS23)를 포함할 수 있고, 네임스페이스3(NS3)은 단일 서브 스페이스(SNS31)를 포함할 수 있다. 네임스페이스로 할당되고 남은 물리 공간의 나머지 영역은 프리 공간(Free)이며, 미할당 물리 공간은 네임스페이스 ID =0(NS0)으로 관리될 수 있다.

[0063] 엔트리 테이블(NHT)에는 네임스페이스 ID(NS_ID)별 네임스페이스 사이즈(NS_SIZE) 및 최초 접근할 맵핑 테이블 ID(TBID)가 저장될 수 있다. 일 실시예에서, 네임스페이스1(NS1)은 사이즈가 50인 제 1 서브스페이스(SNS11)와 사이즈가 40인 제 2 서브스페이스(SNS12)가 조합되어 사이즈가 90인 네임스페이스1(NS1)을 이룬다. 엔트리 테이블(NHT)을 참조하면, NS_ID가 1인 네임스페이스의 사이즈가 90이고 최초 접근할 맵핑 테이블 ID(TBID)가 1임을 알 수 있다.

[0064] 맵핑 테이블(NTBT)의 맵핑 테이블 ID(TBID)가 1인 위치를 참조하면, 논리 어드레스 오프셋(NS_L_OFFSET)이 0, 물리 어드레스 오프셋(NS_P_OFFSET)이 0. 서브 스페이스 사이즈(TB_SIZE)가 50이고, 링크된 맵핑 테이블 ID(NEXT_TBID)가 5임을 알 수 있다. 즉, TBID=1은 NS_ID=1에 포함된 서브 스페이스 중, 논리 어드레스가 0부터 50까지의 영역이면서 물리 어드레스가 0부터 50까지의 영역인 제 1 서브 스페이스(SNS11)에 대한 맵핑 정보를 포함하고, 링크된 맵핑 테이블 ID=5임을 지시한다. 그리고, NEXT_TBID에 대응하는 맵핑 테이블을 참조하여 링크된 서브 스페이스에 대한 맵핑 정보를 추출해 낼 수 있다.

[0065] 인덱스 캐쉬(NTBC)는 네임스페이스 ID 별로 구축될 수 있고, 맵핑 테이블(NTBT)의 정보 중 호스트 장치의 요청에 따라 물리 공간에 접근하는 데 필요한 정보를 추출 및 정렬하여 구현될 수 있다.

[0066] 일 실시예에서, 각 네임스페이스를 구성하는 서브 스페이스 정보 중 논리 어드레스 오프셋(NS_L_OFFSET), 서브 스페이스 사이즈(TB_SIZE) 및 맵핑 테이블 ID(TBID)를 논리 어드레스 오프셋(NS_L_OFFSET)에 따라 정렬하여 인덱스 캐쉬(NTBC)를 구성할 수 있다.

[0067] 호스트 장치로부터 네임스페이스 ID 와 논리 어드레스가 제공되면, 해당 네임스페이스 ID의 인덱스 캐쉬에 접근하고, 논리 어드레스 오프셋(NS_L_OFFSET)과 서브 스페이스 사이즈(TB_SIZE)에 따라 요청된 논리 어드레스가 어떤 서브 스페이스에 포함되는지 판단할 수 있으므로 해당 맵핑 테이블 ID에서 관리하는 정보에 따라 물리 공간에 접근할 수 있다.

[0068] 도 8은 일 실시예에 의한 네임스페이스 맵핑 개념을 설명하기 위한 도면이다.

[0069] 도 8을 참조하여, 네임스페이스2(NS2)에 대한 엔트리 테이블(NHT)과, 엔트리 테이블(NHT)을 통해 네임스페이스2(NS2)를 구성하는 서브 스페이스의 맵핑 정보를 탐색하는 개념을 설명한다.

[0070] 네임스페이스2(NS2)의 엔트리 테이블(NHT)을 참조하면, 네임스페이스2(NS2)는 사이즈가 120이고 최초 접근할 맵핑 테이블 ID(TBID)가 2임을 알 수 있다.

[0071] 맵핑 테이블(NTBT)의 맵핑 테이블 ID(TBID)가 2인 위치를 참조하면, 논리 어드레스 오프셋(NS_L_OFFSET)=0, 물

리 어드레스 오프셋(NS_P_OFFSET)=50, 서브 스페이스 사이즈(TB_SIZE)=50, 링크된 맵핑 테이블 ID(NEXT_TBID)=4임을 알 수 있다. 이로부터, 네임스페이스2(NS2)의 논리 어드레스 0~20 사이의 공간은 물리 어드레스 50~70 인 제 2 서브 스페이스(SNS21)를 포함함을 알 수 있다.

[0072] 링크된 맵핑 테이블 ID(NEXT_TBID)=4가 지시하는 정보를 참조하면, 논리 어드레스 오프셋(NS_L_OFFSET)=20, 물리 어드레스 오프셋(NS_P_OFFSET)=100, 서브 스페이스 사이즈(TB_SIZE)=60, 링크된 맵핑 테이블 ID(NEXT_TBID)=6임을 알 수 있다. 이로부터, 네임스페이스2(NS2)의 논리 어드레스 20~80 사이의 공간은 물리 어드레스 100~160 인 제 2 서브 스페이스(SNS22)를 포함함을 알 수 있다.

[0073] 링크된 맵핑 테이블 ID(NEXT_TBID)=6이 지시하는 정보를 참조하면, 논리 어드레스 오프셋(NS_L_OFFSET)=80, 물리 어드레스 오프셋(NS_P_OFFSET)=200, 서브 스페이스 사이즈(TB_SIZE)=40, 링크된 맵핑 테이블 ID(NEXT_TBID)=0임을 알 수 있다. 이로부터, 네임스페이스2(NS2)의 논리 어드레스 80~120 사이의 공간은 물리 어드레스 200~240 인 제 3 서브 스페이스(SNS23)를 포함함을 알 수 있다.

[0074] 물리 공간 중 네임스페이스로 미할당된 프리 공간은 네임스페이스 ID를 0으로 하고 맵핑 테이블 ID(TBID)를 0으로 하여 관리할 수 있다. 따라서, 링크된 맵핑 테이블 ID(NEXT_TBID)이 0을 지시한다는 것은 다음(링크된) 서브 스페이스가 없다는 것을 의미할 수 있다.

[0075] 논리적으로 연속된 어드레스 0~120을 갖는 네임스페이스2(NS2)는 물리 공간 50~70, 100~160, 200~240인 복수의 서브 스페이스를 사용하고 있으며, 엔트리 테이블(NTHT)과 맵핑 테이블(NBT)을 통해 분리된, 즉 연속하지 않는 어드레스를 갖는 물리 공간을 연속하는 어드레스를 갖는 논리 공간에 맵핑시킬 수 있다.

[0076] 네임스페이스1(NS1) 및 네임스페이스3(NS3)에 대해서도 같은 방식으로 논리-물리 공간을 맵핑 및 탐색할 수 있다.

[0077] 도 9는 일 실시예에 의한 네임스페이스 탐색 개념을 설명하기 위한 도면이다.

[0078] 호스트 장치가 네임스페이스2(NS2)의 논리 어드레스 30에 접근할 것을 요청하는 경우를 가정한다.

[0079] 네임스페이스 관리부(20)는 네임스페이스2(NS2)에 대해 마련된 인덱스 캐쉬(NTBC)에 접근할 수 있다. 논리 어드레스 범위는 논리 어드레스 오프셋(NS_L_OFFSET) ~ (논리 어드레스 오프셋(NS_L_OFFSET) + 서브 스페이스 사이즈(TB_SIZE))이므로, 논리 어드레스 30은 논리 어드레스 범위가 20~80인 공간에 포함됨을 알 수 있다. 이러한 논리 공간에 해당하는 맵핑 테이블 ID(TBID)는 4이므로, 맵핑 테이블(NBT)의 TBID=4인 영역에 접근할 수 있다.

[0080] 논리 어드레스 20~80은 물리 어드레스 100~160에 맵핑되므로, 논리 어드레스 30은 물리 어드레스 110(요청된 논리 어드레스(30) - 논리 어드레스 오프셋(NS_L_OFFSET) + 물리 어드레스 오프셋(NS_P_OFFSET))에 맵핑됨을 알 수 있고, 컨트롤러(110)의 FTL 기능에 의해 물리 어드레스 110에 대한 주소 변환 과정을 통해 저장부(120)에 접근할 수 있다.

[0081] 네임스페이스 생성]

[0082] 도 10은 일 실시예에 의한 네임스페이스 생성 방법을 설명하기 위한 흐름도이고, 도 11 및 도 12는 일 실시예에 의한 네임스페이스 생성 동작을 설명하기 위한 개념도이다.

[0083] 호스트 장치의 네임스페이스 생성 요청에 따라, 네임스페이스 관리부(20)의 네임스페이스 생성부(210)는 저장부(120) 내의 물리적으로 연속되거나 연속되지 않는 어드레스를 갖는 적어도 하나의 서브 스페이스를 선택하여 네임스페이스의 물리 공간으로 할당하고 어드레스 맵핑 정보를 갱신할 수 있다.

[0084] 다른 관점에서, 네임스페이스 생성부(210)는 호스트 장치의 네임스페이스 생성 요청에 응답하여, 물리적으로 연속되지 않은 어드레스를 갖는 서브 스페이스를 요청된 사이즈만큼 조합하여 네임스페이스를 생성할 수 있다.

[0085] 도 10 내지 도 12를 참조하여 네임스페이스 생성 과정(S100)을 설명한다.

[0086] 네임스페이스 생성부(210)는 호스트 장치로부터 네임스페이스 생성 요청을 수신함에 따라(S101), 저장부(120) 내에 프리 공간이 존재하는지 확인할 수 있다(S103). 일 실시예에서, 네임스페이스 생성부(210)는 엔트리 테이블(NTHT)의 네임스페이스 ID=0인 메타 데이터의 네임스페이스 사이즈(NS_SIZE) 정보를 확인하여, 호스트 장치가 생성 요청한 사이즈 이상의 프리 공간이 존재하는지 확인할 수 있다.

[0087] 요청된 사이즈의 네임스페이스를 생성할 수 있는 프리 공간이 존재하는 경우(S103:Y) 네임스페이스 생성부(21

0)는 엔트리 테이블(NHTT)에 새로운 엔트리를 할당하여(S105)고 새로 생성할 네임스페이스 ID를 추가할 수 있다. 일 실시예에서, 도 7에 도시한 네임스페이스 상태에서 도 11에 도시한 것과 같이 새로운 네임스페이스 ID(NS_ID=4)를 추가할 수 있다.

[0088] 이어서, 프리 공간 중 요청된 사이즈에 해당하는 공간을 새로운 네임스페이스의 물리 공간으로 할당할 수 있다(S107). 예를 들어 도 7에 도시한 네임스페이스 상태에서 프리 공간은 물리 공간 240~500 사이의 공간에 사이즈 300만큼 존재하고, 생성 요청된 네임스페이스 사이즈가 60인 경우 프리 공간 중 일부인 사이즈 60에 해당하는 물리 공간을 할당할 수 있다.

[0089] 도 7에서 프리 공간의 맵핑 테이블을 참조하면, 링크된 맵핑 테이블 ID(NEXT_TBID)=7이며, 따라서 맵핑 테이블 ID(TBID)=7인 위치에 신규 네임스페이스의 맵핑 정보를 추가할 수 있다. 도 11에 도시한 것과 같이, TBID=7인 위치에 물리 어드레스 오프셋(NS_P_OFFSET)이 240인 위치로부터 요청된 사이즈 60만큼의 물리 공간이 새롭게 네임스페이스로 할당된 것을 알 수 있다.

[0090] 신규 네임스페이스를 할당한 후에는 맵핑 테이블(NBT)을 갱신할 수 있다(S109). 도 12를 참조하면, 신규 네임스페이스(NS4)는 논리 어드레스 범위 0~60을 가지므로, 맵핑 테이블(NBT)의 맵핑 테이블 ID=7인 위치에 논리 어드레스 오프셋(NS_L_OFFSET), 물리 어드레스 오프셋(NS_P_OFFSET) 및 서브 스페이스 사이즈(TB_SIZE)가 추가된 것을 알 수 있다. 또한 단일 서브 스페이스만으로 이루어지므로 링크된 맵핑 테이블 ID는 0으로 설정될 수 있다.

[0091] 프리 공간 정보를 관리하는 맵핑 테이블 ID = 0인 위치의 맵핑 정보는 새로 할당된 네임스페이스의 사이즈만큼 프리 공간의 사이즈를 감소시켜 갱신한 것을 알 수 있으며, 링크된 맵핑 테이블 ID(NEXT_TBID)는 8로 변경되었다.

[0092] 이어서 엔트리 테이블(NHTT)을 갱신할 수 있다(S111). 도 12를 참조하면, 새로운 네임스페이스 ID(NS_ID)가 4인 엔트리에 사이즈 정보(60) 및 최초로 접근할 맵핑 테이블 ID(TBID=7)이 부여된 것을 알 수 있다.

[0093] 그리고 인덱스 캐쉬를 갱신하여(S113), 호스트 장치의 접근 요청에 고속으로 대응할 수 있도록 한다.

[0094] 한편, 새로운 네임스페이스를 할당할 공간이 없는 경우에는(S103:N) 에러 상황으로 처리할 수 있다(S115).

[0095] 네임스페이스의 성공적인 생성 완료 후, 또는 프리 공간 부족으로 에러 처리한 후에는 호스트 장치의 요청에 대한 처리 결과를 호스트 장치로 응답할 수 있다(S117).

[네임스페이스 삭제]

[0097] 도 13은 일 실시예에 의한 네임스페이스 삭제 방법을 설명하기 위한 흐름도이고, 도 14는 일 실시예에 의한 네임스페이스 삭제 동작을 설명하기 위한 개념도이다.

[0098] 일 실시예에서, 네임스페이스 관리부(20)는 호스트 장치의 네임스페이스 삭제 요청에 응답하여, 삭제 요청된 네임스페이스에 포함되는 서브 스페이스를 프리 공간으로 할당하고 어드레스 맵핑 정보를 갱신할 수 있다.

[0099] 도 13 및 도 14를 참조하여 네임스페이스 삭제 과정(S200)에 대해 설명한다.

[0100] 호스트 장치의 네임스페이스 삭제 요청에 응답하여(S201), 네임스페이스 삭제부(220)는 삭제 요청된 네임스페이스 ID에 기초하여 맵핑 테이블(NBT)에 접근하여 삭제 요청된 네임스페이스의 물리 공간을 프리 공간에 병합할 수 있다(S203).

[0101] 일 실시예에서, 도 7에 도시한 네임스페이스 상태에서 네임스페이스 2(NS2)가 삭제 요청된 경우 네임스페이스 삭제부(220)는 NS2에 대한 최초 접근할 맵핑 테이블 ID(TBID)=2를 추출할 수 있다. 그리고, 도 11에 도시한 것과 같이, 프리 공간에 대한 맵핑 정보에서 링크된 맵핑 테이블 ID(NEXT_TBID)를 네임스페이스 2(NS2)에 대한 최초 접근할 맵핑 테이블 ID(TBID)=2, 즉 삭제 요청된 네임스페이스의 최초 접근할 맵핑 테이블 ID로 변경할 수 있다.

[0102] 이에 따라 삭제 요청된 네임스페이스가 프리 공간으로 반환되면, 네임스페이스 삭제부(220)는 도 14에 도시한 것과 같이 엔트리 테이블(NHTT)을 수정하고(S205) 인덱스 캐쉬(NBTC) 또한 수정할 수 있다(S207). 삭제 처리가 완료되면 호스트 장치로 삭제가 완료되었음을 응답할 수 있다(S209).

[네임스페이스 리사이징<1>]

- [0104] 도 15는 일 실시예에 의한 네임스페이스 변경 방법을 설명하기 위한 흐름도이다.
- [0105] 일 실시예에서, 호스트 장치의 네임스페이스 사이즈 증가 요청에 응답하여, 네임스페이스 관리부(20)는 요청된 사이즈 이상의 프리 공간이 존재하면 물리적으로 연속되거나 연속되지 않는 적어도 하나의 서브 스페이스를 선택하여 기존 네임스페이스의 물리공간으로 추가 할당하고 어드레스 맵핑 정보를 갱신할 수 있다.
- [0106] 도 15는 네임스페이스 사이즈 변경, 예를 들어 사이즈를 증가시키는 과정(S300)에 대한 흐름도를 나타낸다.
- [0107] 호스트 장치의 사이즈 증가 요청에 응답하여(S301), 네임스페이스 변경부(230)는 증가 요청된 사이즈 이상의 프리 공간이 존재하는지 확인할 수 있다(S303).
- [0108] 일 실시예에서, 네임스페이스 변경부(230)는 엔트리 테이블(NTHT)의 네임스페이스 ID=0인 메타 데이터의 네임스페이스 사이즈(NS_SIZE) 정보를 확인하여, 호스트 장치가 증가 요청한 사이즈 이상의 프리 공간이 존재하는지 확인할 수 있다.
- [0109] 증가 요청된 사이즈 이상의 프리 공간이 존재하는 경우(S303:Y) 네임스페이스 변경부(230)는 프리 공간 중 요청된 사이즈에 해당하는 공간을 네임스페이스의 물리 공간에 추가로 할당할 수 있다(S305).
- [0110] 기존 네임스페이스에 추가의 물리 공간을 할당한 후에는 맵핑 테이블(NTBT), 엔트리 테이블(NTH) 및 인덱스 캐쉬를 갱신할 수 있다(S307, S309, S311).
- [0111] 한편, 네임스페이스를 증가시킬 공간이 없는 경우에는(S303:N) 에러 상황으로 처리할 수 있다(S313).
- [0112] 네임스페이스의 성공적인 증가 완료 후, 또는 프리 공간 부족으로 에러 처리한 후에는 호스트 장치의 요청에 대한 처리 결과를 호스트 장치로 응답할 수 있다(S315).
- [0113] **[네임스페이스 리사이징<2>]**
- [0114] 도 16은 일 실시예에 의한 네임스페이스 변경 방법을 설명하기 위한 흐름도이다.
- [0115] 일 실시예에서, 호스트 장치의 네임스페이스 사이즈 감소 요청에 응답하여, 네임스페이스 관리부(20)는 감소 요청된 네임스페이스의 물리 공간 중 요청된 사이즈의 물리 공간을 프리 공간으로 할당하고 어드레스 맵핑 정보를 갱신할 수 있다.
- [0116] 도 15는 네임스페이스 사이즈 변경, 예를 들어 사이즈를 감소시키는 과정(S400)에 대한 흐름도를 나타낸다.
- [0117] 호스트 장치의 사이즈 감소 요청에 응답하여(S401), 네임스페이스 변경부(230)는 감소 요청된 네임스페이스를 구성하는 서브 스페이스 중, 감소 요청된 사이즈에 대응하는 서브 스페이스가 존재하는지 확인할 수 있다(S403).
- [0118] 감소 요청된 사이즈에 대응하는 서브 스페이스가 존재하는 경우(S403:Y) 감소 요청된 네임스페이스 ID에 기초하여 맵핑 테이블(NTBT)에 접근하여 감소 요청된 네임스페이스의 물리 공간 중 감소 요청된 사이즈에 대응하는 서브 스페이스를 프리 공간에 병합할 수 있다(S405). 감소시킬 사이즈를 갖는 서브 스페이스를 프리 공간에 병합하는 과정은 상술한 네임스페이스 삭제 과정과 유사하다.
- [0119] 이에 따라 삭제 감소 요청된 네임스페이스의 일부 공간이 프리 공간으로 반환되면, 네임스페이스 변경부(220)는 엔트리 테이블(NTHT) 및 인덱스 캐쉬(NTBC)를 갱신할 수 있다(S407, S409).
- [0120] 한편, 감소 요청된 사이즈에 대응하는 서브 스페이스가 존재하지 않는 경우(S403:N) 감소 요청된 네임스페이스를 구성하는 서브스페이스 중 어느 하나를 선택하고 사이즈를 변경할 수 있다(S411). 일 실시예에서, 네임스페이스 변경부(230)는 감소 요청된 사이즈에 근접한 서브 스페이스를 선택하고, 선택된 서브 스페이스의 일부 공간을 프리 공간으로 반환한 후 맵핑 테이블을 변경할 수 있다. 이러한 과정은 감소 요청된 사이즈만큼 사이즈가 감소될 때까지 수행될 수 있다(S413:N). 이에 따라 요청된 사이즈만큼 감소되면(S413:Y), 엔트리 테이블(NTHT) 및 인덱스 캐쉬(NTBC)를 갱신할 수 있다(S407, S409).
- [0121] 삭제 처리가 완료되면 호스트 장치로 삭제가 완료되었음을 응답할 수 있다(S415).
- [0122] 네임스페이스 감소 절차에 의해 서브 스페이스가 재차 단편화될 수 있지만, 단편화된 물리 공간들을 취합하여 논리적으로 하나의 공간으로 작용하는 네임스페이스를 생성할 수 있으므로 저장부(120)의 사용효율을 저하되지 않을 수 있다.

[0123] **[스토리지 시스템]**

[0124] 도 17은 일 실시예에 의한 스토리지 시스템의 구성도이다.

[0125] 도 17을 참조하면, 스토리지 시스템(1000)은 호스트 장치(1100)와 데이터 저장 장치(1200)를 포함할 수 있다. 일 실시예에서, 데이터 저장 장치(1200)는 솔리드 스테이트 드라이브(solid state drive)(SSD)로 구성될 수 있다.

[0126] 데이터 저장 장치(1200)는 컨트롤러(1210), 비휘발성 메모리 장치들(1220-0 ~ 1220-n), 버퍼 메모리 장치(1230), 전원 공급기(1240), 신호 커넥터(1101) 및 전원 커넥터(1103)를 포함할 수 있다.

[0127] 컨트롤러(1210)는 데이터 저장 장치(1200)의 제반 동작을 제어할 수 있다. 컨트롤러(1210)는 호스트 인터페이스 유닛, 컨트롤 유닛, 동작 메모리로서의 랜덤 액세스 메모리, 에러 정정 코드(ECC) 유닛 및 메모리 인터페이스 유닛을 포함할 수 있다. 예를 들어, 컨트롤러(1210)는 도 1 내지 도 3에 도시한 것과 같이 네임스페이스 관리부(20)를 포함하는 컨트롤러(110)로 구성될 수 있다.

[0128] 호스트 장치(1100)와 데이터 저장 장치(1200)는 신호 커넥터(1101)를 통해 신호를 송수신할 수 있다. 여기에서, 신호란 명령어, 어드레스, 데이터를 포함할 수 있다.

[0129] 컨트롤러(1210)는 호스트 장치(1100)로부터 입력된 신호를 분석하고 처리할 수 있다. 컨트롤러(1210)는 데이터 저장 장치(1200)를 구동하기 위한 펌웨어 또는 소프트웨어에 따라서 백그라운드 기능 블록들의 동작을 제어할 수 있다.

[0130] 버퍼 메모리 장치(1230)는 비휘발성 메모리 장치들(1220-0 ~ 1220-n)에 저장될 데이터를 임시 저장할 수 있다. 또한, 버퍼 메모리 장치(1230)는 비휘발성 메모리 장치들(1220-0 ~ 1220-n)로부터 읽혀진 데이터를 임시 저장할 수 있다. 버퍼 메모리 장치(1230)에 임시 저장된 데이터는 컨트롤러(1210)의 제어에 따라 호스트 장치(1100) 또는 비휘발성 메모리 장치들(1220-0 ~ 1220-n)로 전송될 수 있다.

[0131] 비휘발성 메모리 장치들(1220-0 ~ 1220-n)은 데이터 저장 장치(1200)의 저장 매체로 사용될 수 있다. 비휘발성 메모리 장치들(1220-0 ~ 1220-n) 각각은 복수의 채널들(CHO~CHn)을 통해 컨트롤러(1210)와 연결될 수 있다. 하나의 채널에는 하나 또는 그 이상의 비휘발성 메모리 장치가 연결될 수 있다. 하나의 채널에 연결되는 비휘발성 메모리 장치들은 동일한 신호 버스 및 데이터 버스에 연결될 수 있다.

[0132] 전원 공급기(1240)는 전원 커넥터(1103)를 통해 입력된 전원을 데이터 저장 장치(1200)에 제공할 수 있다. 전원 공급기(1240)는 보조 전원 공급기(1241)를 포함할 수 있다. 보조 전원 공급기(1241)는 서든 파워 오프(sudden power off)가 발생하는 경우, 데이터 저장 장치(1200)가 정상적으로 종료될 수 있도록 전원을 공급할 수 있다. 보조 전원 공급기(1241)는 대용량 캐패시터들(capacitors)을 포함할 수 있으나 이에 한정되는 것은 아니다.

[0133] 신호 커넥터(1101)는 호스트 장치(1100)와 데이터 저장 장치(1200)의 인터페이스 방식에 따라서 다양한 형태의 커넥터로 구성될 수 있음은 자명하다.

[0134] 전원 커넥터(1103)는 호스트 장치(1100)의 전원 공급 방식에 따라서 다양한 형태의 커넥터로 구성될 수 있음은 물론이다.

[0135] **[데이터 처리 시스템]**

[0136] 도 18 및 도 19는 실시예들에 따른 데이터 처리 시스템의 구성도이다.

[0137] 도 18을 참조하면, 데이터 처리 시스템(3000)은 호스트 장치(3100)와 메모리 시스템(3200)을 포함할 수 있다.

[0138] 호스트 장치(3100)는 인쇄 회로 기판(printed circuit board)과 같은 기판(board) 형태로 구성될 수 있다. 비록 도시되지 않았지만, 호스트 장치(3100)는 호스트 장치의 기능을 수행하기 위한 백그라운드 기능 블록들을 포함할 수 있다.

[0139] 호스트 장치(3100)는 소켓(socket), 슬롯(slot) 또는 커넥터(connector)와 같은 접속 터미널(3110)을 포함할 수 있다. 메모리 시스템(3200)은 접속 터미널(3110)에 마운트(mount)될 수 있다.

[0140] 메모리 시스템(3200)은 인쇄 회로 기판과 같은 기판 형태로 구성될 수 있다. 메모리 시스템(3200)은 메모리 모듈 또는 메모리 카드로 볼릴 수 있다. 메모리 시스템(3200)은 컨트롤러(3210), 버퍼 메모리 장치(3220), 비휘발성 메모리 장치(3231~3232), PMIC(power management integrated circuit)(3240) 및 접속 터미널(3250)을 포

함할 수 있다.

- [0141] 컨트롤러(3210)는 메모리 시스템(3200)의 제반 동작을 제어할 수 있다.
- [0142] 컨트롤러(3210)는 도 1 내지 도 3에 도시된 네임스페이스 관리부(20)를 포함하는 컨트롤러(110)와 실질적으로 동일하게 구성될 수 있다.
- [0143] 버퍼 메모리 장치(3220)는 비휘발성 메모리 장치들(3231~3232)에 저장될 데이터를 임시 저장할 수 있다. 또한, 버퍼 메모리 장치(3220)는 비휘발성 메모리 장치들(3231~3232)로부터 읽혀진 데이터를 임시 저장할 수 있다. 버퍼 메모리 장치(3220)에 임시 저장된 데이터는 컨트롤러(3210)의 제어에 따라 호스트 장치(3100) 또는 비휘발성 메모리 장치들(3231~3232)로 전송될 수 있다.
- [0144] 비휘발성 메모리 장치들(3231~3232)은 메모리 시스템(3200)의 저장 매체로 사용될 수 있다.
- [0145] PMIC(3240)는 접속 터미널(3250)을 통해 입력된 전원을 메모리 시스템(3200) 백그라운드에 제공할 수 있다. PMIC(3240)는, 컨트롤러(3210)의 제어에 따라서, 메모리 시스템(3200)의 전원을 관리할 수 있다.
- [0146] 접속 터미널(3250)은 호스트 장치의 접속 터미널(3110)에 연결될 수 있다. 접속 터미널(3250)을 통해서, 호스트 장치(3100)와 메모리 시스템(3200) 간에 커맨드, 어드레스, 데이터 등과 같은 신호와, 전원이 전달될 수 있다. 접속 터미널(3250)은 호스트 장치(3100)와 메모리 시스템(3200)의 인터페이스 방식에 따라 다양한 형태로 구성될 수 있다. 접속 터미널(3250)은 메모리 시스템(3200)의 어느 한 변에 배치될 수 있다.
- [0147] **[데이터 처리 시스템]**
- [0148] 도 19는 본 발명의 실시 예에 따른 메모리 시스템을 포함하는 데이터 처리 시스템을 예시적으로 도시하는 도면이다.
- [0149] 도 19를 참조하면, 데이터 처리 시스템(4000)은 호스트 장치(4100)와 메모리 시스템(4200)을 포함할 수 있다.
- [0150] 호스트 장치(4100)는 인쇄 회로 기판(printed circuit board)과 같은 기판(board) 형태로 구성될 수 있다. 비록 도시되지 않았지만, 호스트 장치(4100)는 호스트 장치의 기능을 수행하기 위한 백그라운드 기능 블록들을 포함할 수 있다.
- [0151] 메모리 시스템(4200)은 표면 실장형 패키지 형태로 구성될 수 있다. 메모리 시스템(4200)은 솔더 볼(solder ball)(4250)을 통해서 호스트 장치(4100)에 마운트될 수 있다. 메모리 시스템(4200)은 컨트롤러(4210), 버퍼 메모리 장치(4220) 및 비휘발성 메모리 장치(4230)를 포함할 수 있다.
- [0152] 컨트롤러(4210)는 메모리 시스템(4200)의 제반 동작을 제어할 수 있다. 컨트롤러(4210)는 도 1 내지 도 3에 도시한 네임스페이스 관리부(20)를 포함하는 컨트롤러(110)와 실질적으로 동일하게 구성될 수 있다.
- [0153] 버퍼 메모리 장치(4220)는 비휘발성 메모리 장치(4230)에 저장될 데이터를 임시 저장할 수 있다. 또한, 버퍼 메모리 장치(4220)는 비휘발성 메모리 장치들(4230)로부터 읽혀진 데이터를 임시 저장할 수 있다. 버퍼 메모리 장치(4220)에 임시 저장된 데이터는 컨트롤러(4210)의 제어에 따라 호스트 장치(4100) 또는 비휘발성 메모리 장치(4230)로 전송될 수 있다.
- [0154] 비휘발성 메모리 장치(4230)는 메모리 시스템(4200)의 저장 매체로 사용될 수 있다.
- [0155] **[네트워크 시스템]**
- [0156] 도 20은 일 실시예에 의한 데이터 저장 장치를 포함하는 네트워크 시스템의 구성도이다.
- [0157] 도 20을 참조하면, 네트워크 시스템(5000)은 네트워크(5500)를 통해서 연결된 서버 시스템(5300) 및 복수의 클라이언트 시스템들(5410~5430)을 포함할 수 있다.
- [0158] 서버 시스템(5300)은 복수의 클라이언트 시스템들(5410~5430)의 요청에 응답하여 데이터를 서비스할 수 있다. 예를 들면, 서버 시스템(5300)은 복수의 클라이언트 시스템들(5410~5430)로부터 제공된 데이터를 저장할 수 있다. 다른 예로서, 서버 시스템(5300)은 복수의 클라이언트 시스템들(5410~5430)로 데이터를 제공할 수 있다.
- [0159] 서버 시스템(5300)은 호스트 장치(5100) 및 메모리 시스템(5200)을 포함할 수 있다. 메모리 시스템(5200)은 도 1의 데이터 저장 장치(10), 도 17의 데이터 저장 장치(1200), 도 18의 메모리 시스템(3200), 도 19의 메모리 시스템(4200)으로 구성될 수 있다.

[0160] **[비휘발성 메모리 장치]**

- [0161] 도 21은 일 실시 예에 따른 데이터 저장 장치에 포함된 비휘발성 메모리 장치의 구성도이다.
- [0162] 도 21을 참조하면, 비휘발성 메모리 장치(300)는 메모리 셀 어레이(310), 행 디코더(320), 데이터 읽기/쓰기 블록(330), 열 디코더(340), 전압 발생기(350) 및 제어 로직(360)을 포함할 수 있다.
- [0163] 메모리 셀 어레이(310)는 워드 라인들(WL1~WLm)과 비트 라인들(BL1~BLn)이 서로 교차된 영역에 배열된 메모리 셀(MC)들을 포함할 수 있다.
- [0164] 메모리 셀 어레이(310)는 3차원 메모리 어레이를 포함할 수 있다. 3차원 메모리 어레이는 반도체 기판의 평판면에 대해 수직의 방향성을 가지며, 적어도 하나의 메모리 셀이 다른 하나의 메모리 셀의 수직 상부에 위치하는 낸드(NAND) 스트링을 포함하는 구조를 의미한다. 하지만 3차원 메모리 어레이의 구조가 이에 한정되는 것은 아니며 수직의 방향성뿐 아니라 수평의 방향성을 가지고 고집적으로 형성된 메모리 어레이 구조라면 선택적으로 적용 가능함은 자명하다.
- [0165] 행 디코더(320)는 워드 라인들(WL1~WLm)을 통해서 메모리 셀 어레이(310)와 연결될 수 있다. 행 디코더(320)는 제어 로직(360)의 제어에 따라 동작할 수 있다. 행 디코더(320)는 외부 장치(도시되지 않음)로부터 제공된 어드레스를 디코딩할 수 있다. 행 디코더(320)는 디코딩 결과에 근거하여 워드 라인들(WL1~WLm)을 선택하고, 구동할 수 있다. 예시적으로, 행 디코더(320)는 전압 발생기(350)로부터 제공된 워드 라인 전압을 워드 라인들(WL1~WLm)에 제공할 수 있다.
- [0166] 데이터 읽기/쓰기 블록(330)은 비트 라인들(BL1~BLn)을 통해서 메모리 셀 어레이(310)와 연결될 수 있다. 데이터 읽기/쓰기 블록(330)은 비트 라인들(BL1~BLn) 각각에 대응하는 읽기/쓰기 회로들(RW1~RWn)을 포함할 수 있다. 데이터 읽기/쓰기 블록(330)은 제어 로직(360)의 제어에 따라 동작할 수 있다. 데이터 읽기/쓰기 블록(330)은 동작 모드에 따라서 쓰기 드라이버로서 또는 감지 증폭기로서 동작할 수 있다. 예를 들면, 데이터 읽기/쓰기 블록(330)은 쓰기 동작 시 외부 장치로부터 제공된 데이터를 메모리 셀 어레이(310)에 저장하는 쓰기 드라이버로서 동작할 수 있다. 다른 예로서, 데이터 읽기/쓰기 블록(330)은 읽기 동작 시 메모리 셀 어레이(310)로부터 데이터를 독출하는 감지 증폭기로서 동작할 수 있다.
- [0167] 열 디코더(340)는 제어 로직(360)의 제어에 따라 동작할 수 있다. 열 디코더(340)는 외부 장치로부터 제공된 어드레스를 디코딩할 수 있다. 열 디코더(340)는 디코딩 결과에 근거하여 비트 라인들(BL1~BLn) 각각에 대응하는 데이터 읽기/쓰기 블록(330)의 읽기/쓰기 회로들(RW1~RWn)과 데이터 입출력 라인(또는 데이터 입출력 버퍼)을 연결할 수 있다.
- [0168] 전압 발생기(350)는 비휘발성 메모리 장치(300)의 백그라운드 동작에 사용되는 전압을 생성할 수 있다. 전압 발생기(350)에 의해서 생성된 전압들은 메모리 셀 어레이(310)의 메모리 셀들에 인가될 수 있다. 예를 들면, 프로그램 동작 시 생성된 프로그램 전압은 프로그램 동작이 수행될 메모리 셀들의 워드 라인에 인가될 수 있다. 다른 예로서, 소거 동작 시 생성된 소거 전압은 소거 동작이 수행될 메모리 셀들의 웰-영역에 인가될 수 있다. 다른 예로서, 읽기 동작 시 생성된 읽기 전압은 읽기 동작이 수행될 메모리 셀들의 워드 라인에 인가될 수 있다.
- [0169] 제어 로직(360)은 외부 장치로부터 제공된 제어 신호에 근거하여 비휘발성 메모리 장치(300)의 제반 동작을 제어할 수 있다. 예를 들면, 제어 로직(360)은 비휘발성 메모리 장치(300)의 읽기, 쓰기, 소거 동작을 제어할 수 있다.
- [0170] 이와 같이, 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

- [0171] 10 : 데이터 저장 장치
110 : 컨트롤러

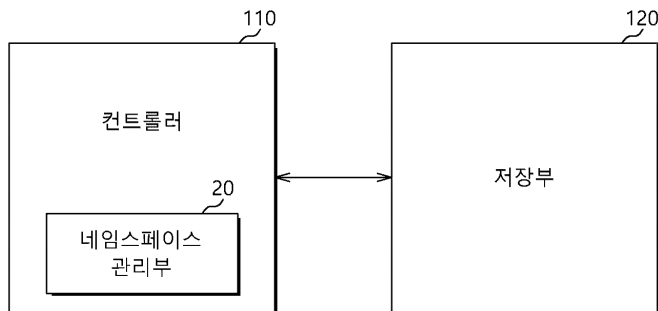
120 : 저장부

20 : 네임스페이스 관리부

도면

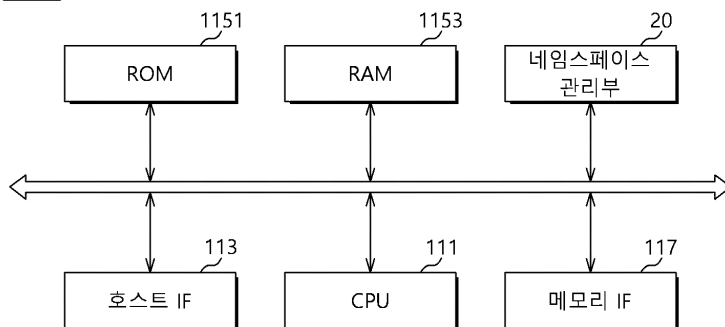
도면1

10



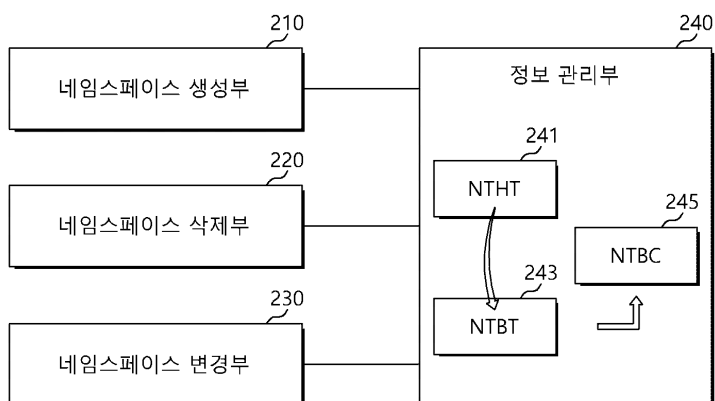
도면2

110



도면3

20



도면4

NTHT		
NS_ID	NS_SIZE	START_TBID

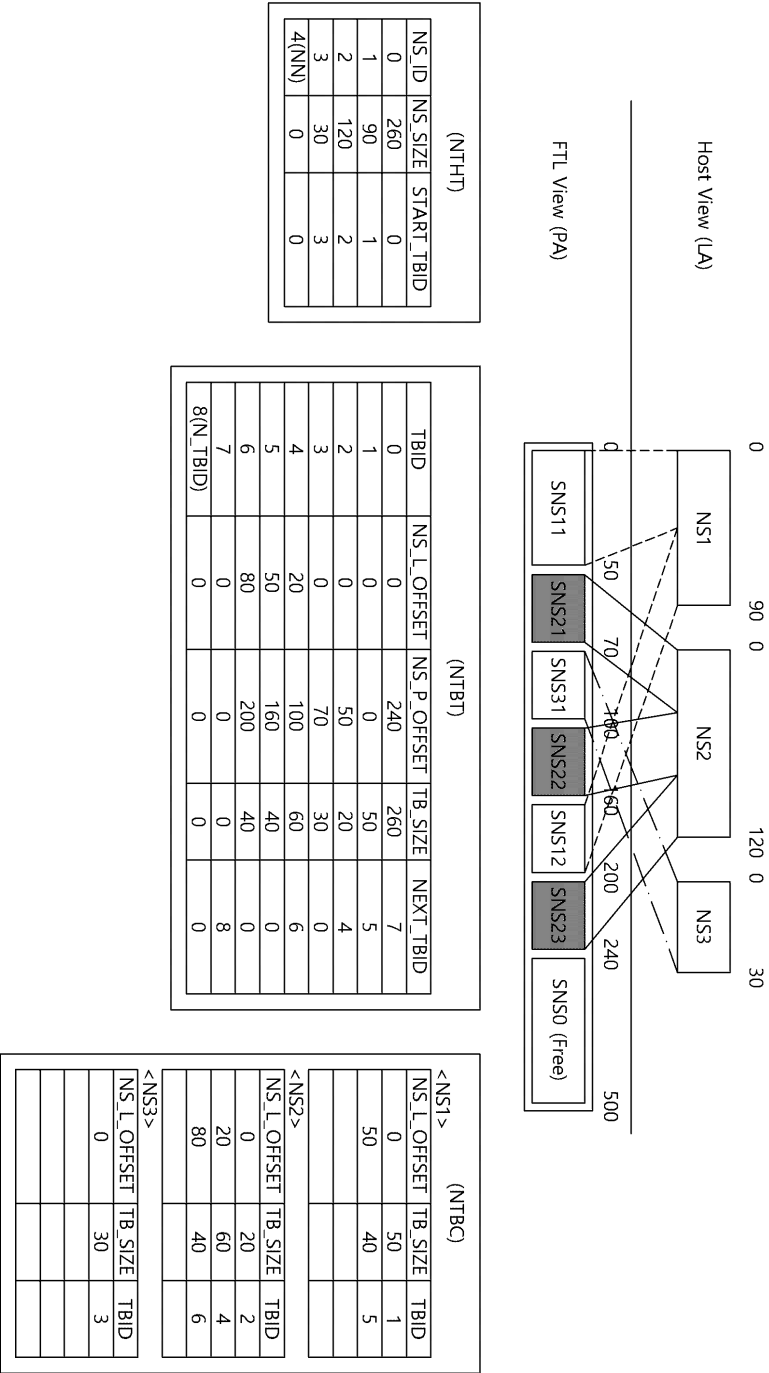
도면5

NTBT				
TBID	NS_L_OFFSET	NS_P_OFFSET	TB_SIZE	NEXT_TBID

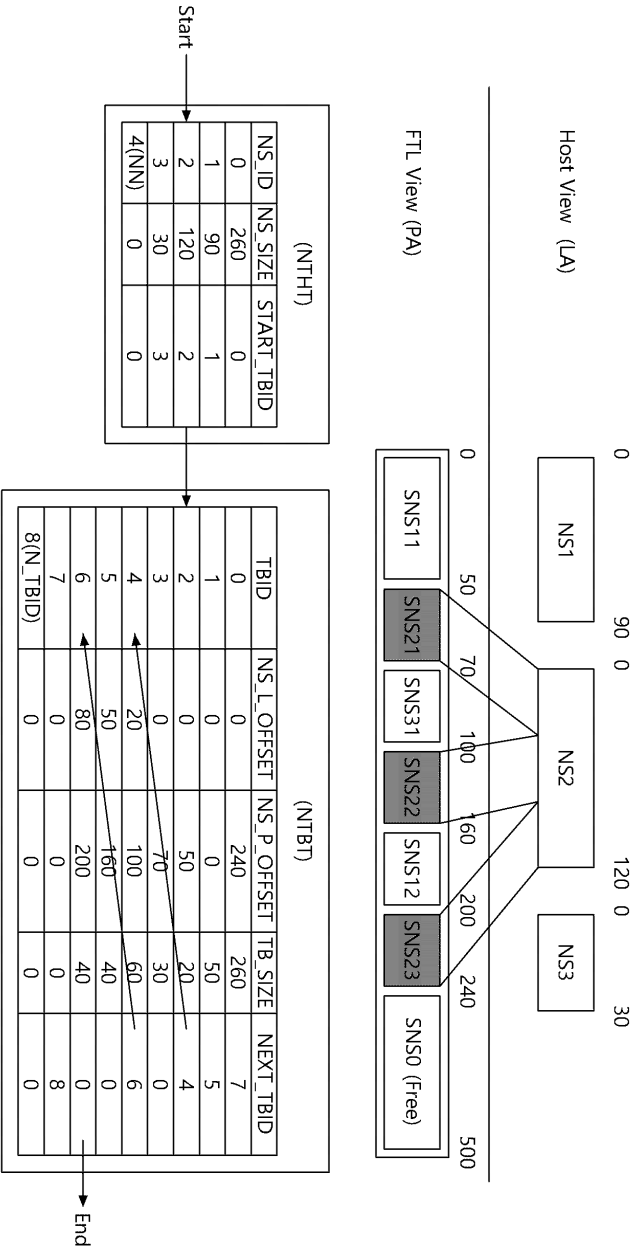
도면6

NTBC		
NS_L_OFFSET	TB_SIZE	TBID

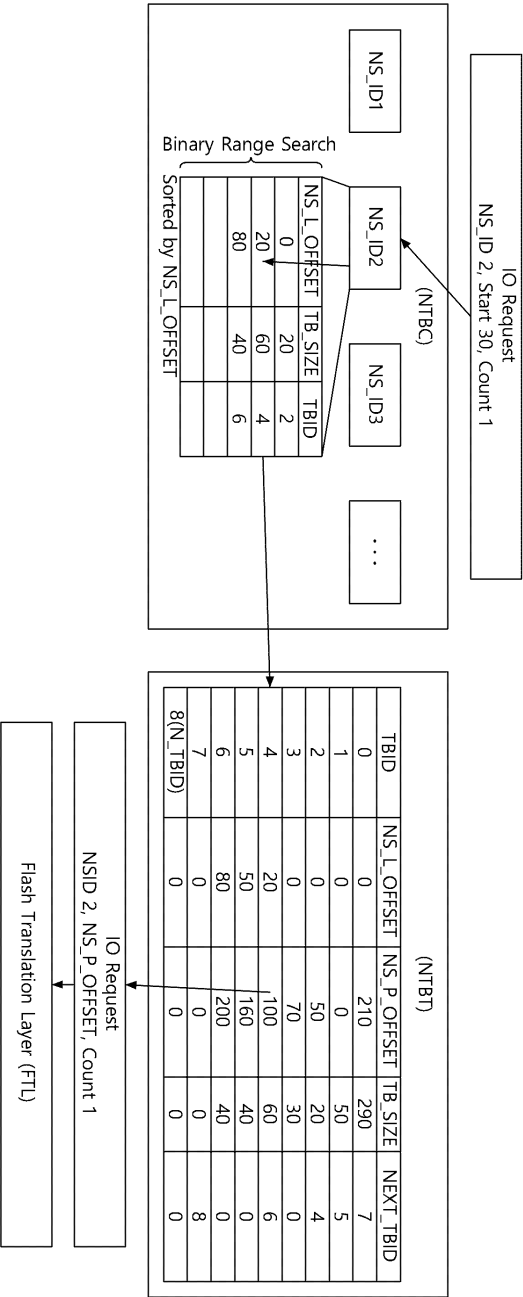
도면7



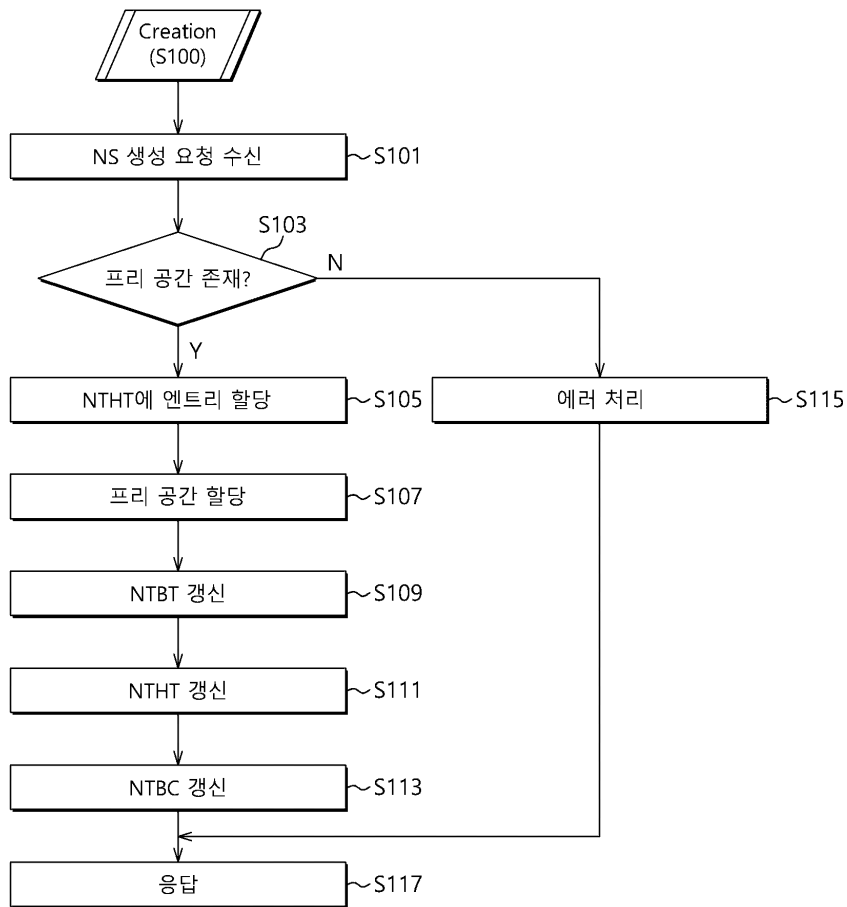
도면8

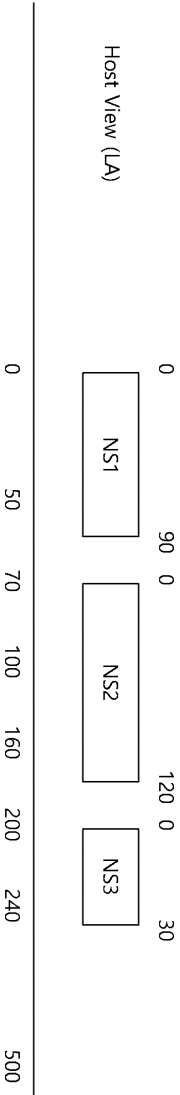


도면9



도면10





(NTH1)

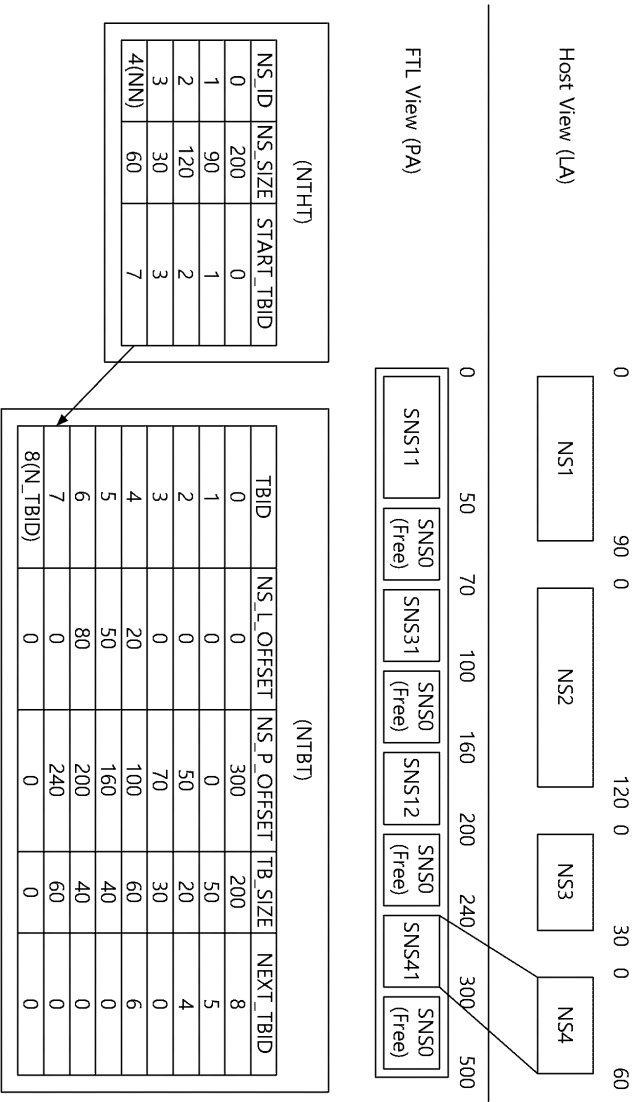
NS_ID	NS_SIZE	START_TBID
0	260	0
1	90	1
2	120	2
3	30	3
4(NN)	0	0

(NTB1)

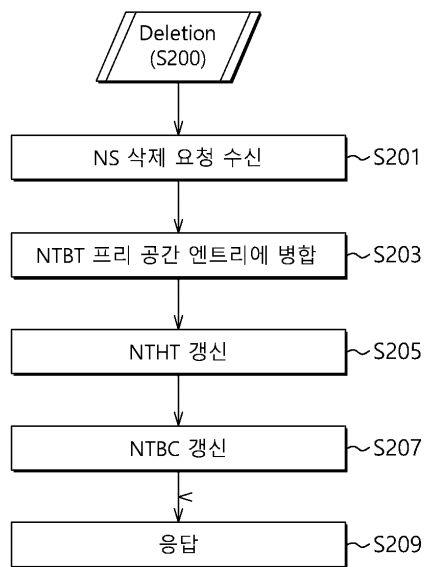
TBID	NS_L_OFFSET	NS_P_OFFSET	TB_SIZE	NEXT_TBID
0	0	240	260	7
1	0	0	50	5
2	0	50	20	4
3	0	70	30	0
4	20	100	60	6
5	50	160	40	0
6	80	200	40	0
7	0	240	60	8
8(N_TBID)	0	0	0	0

도면11

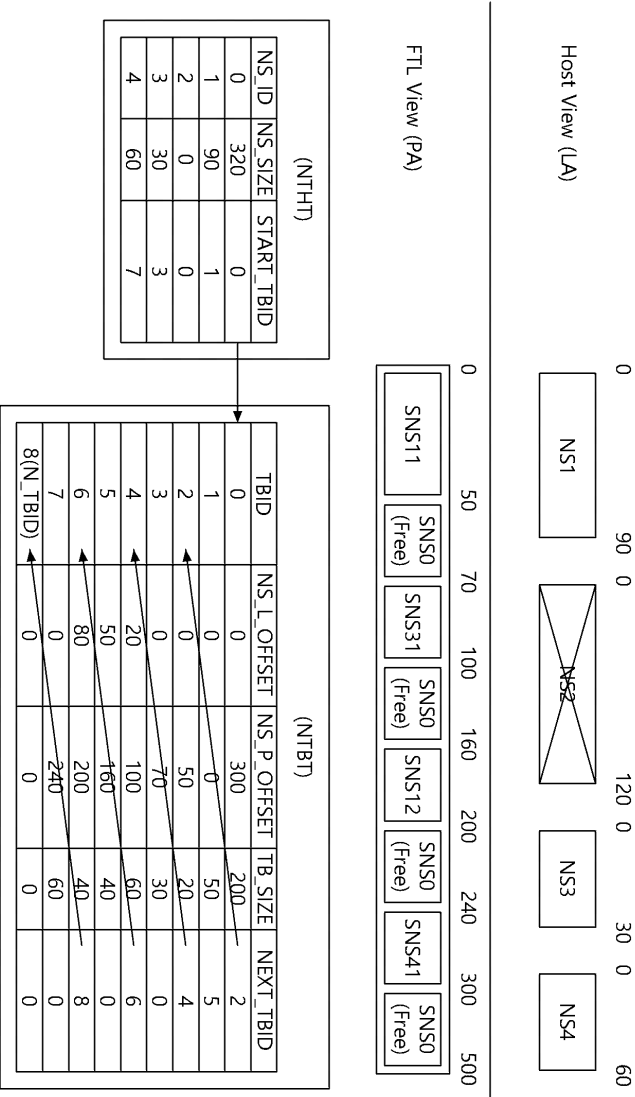
도면12



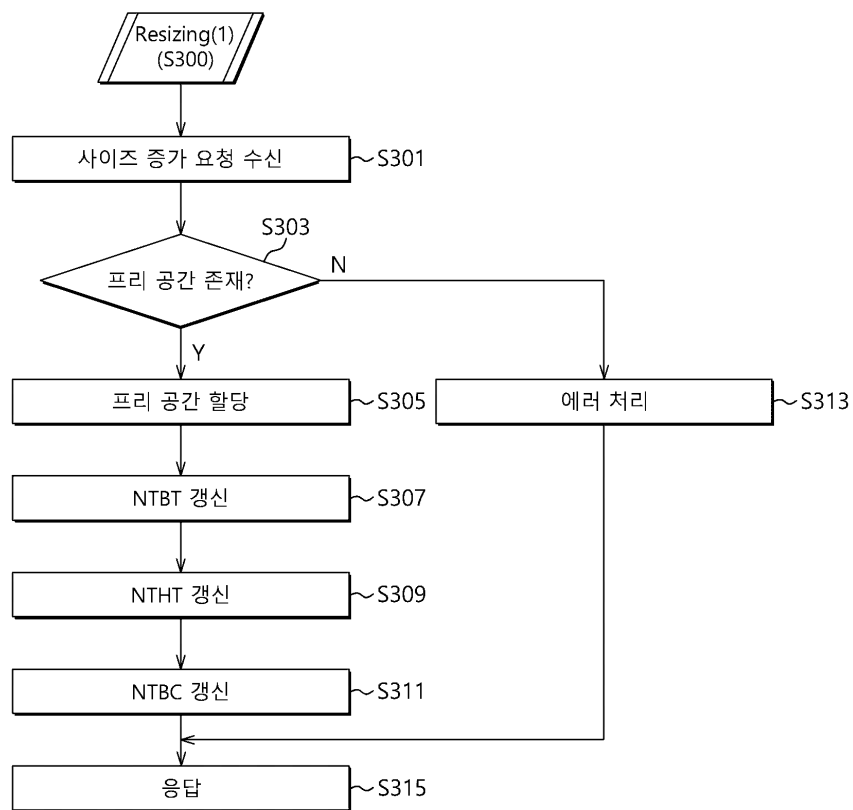
도면13



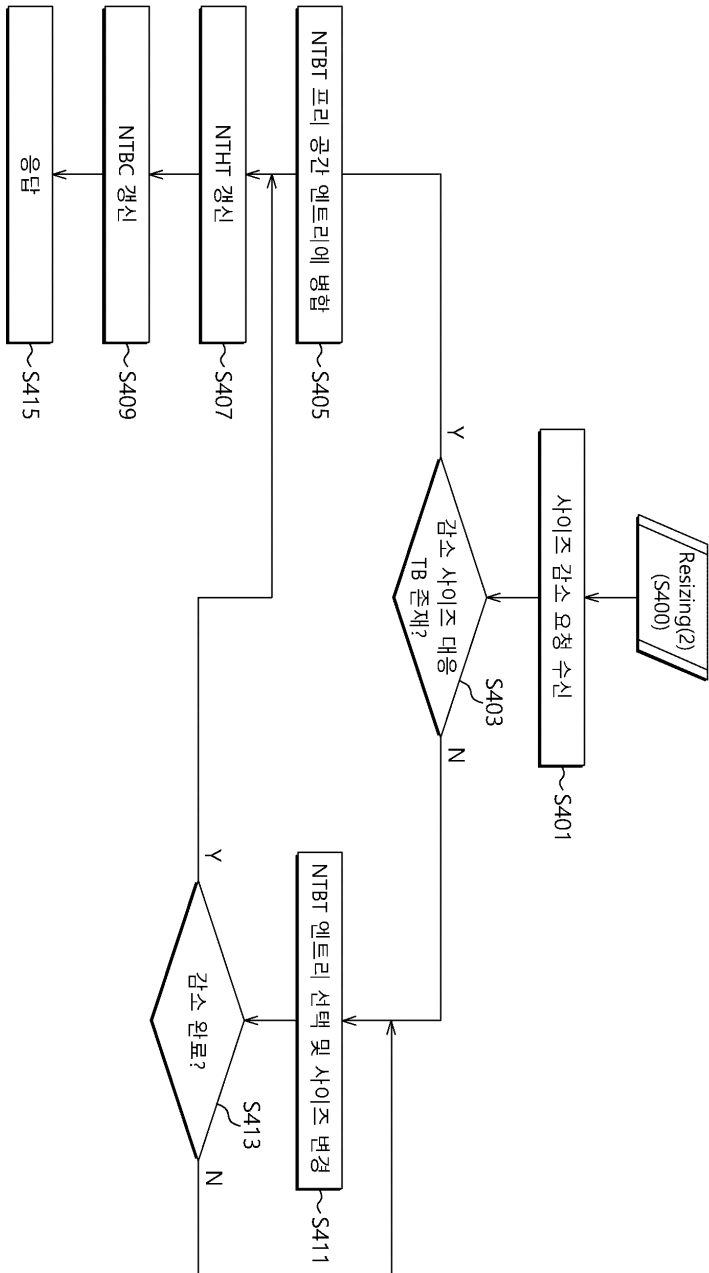
도면14



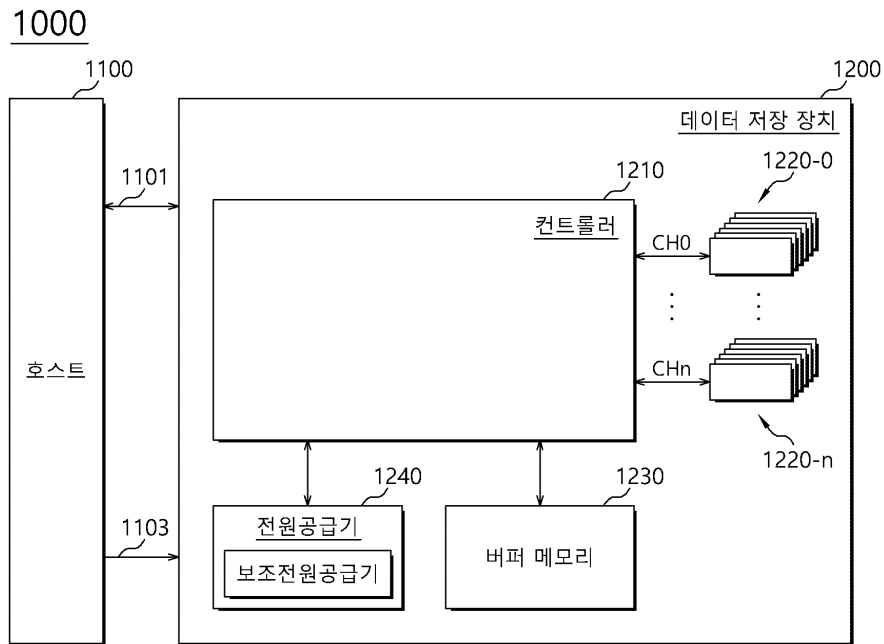
도면15



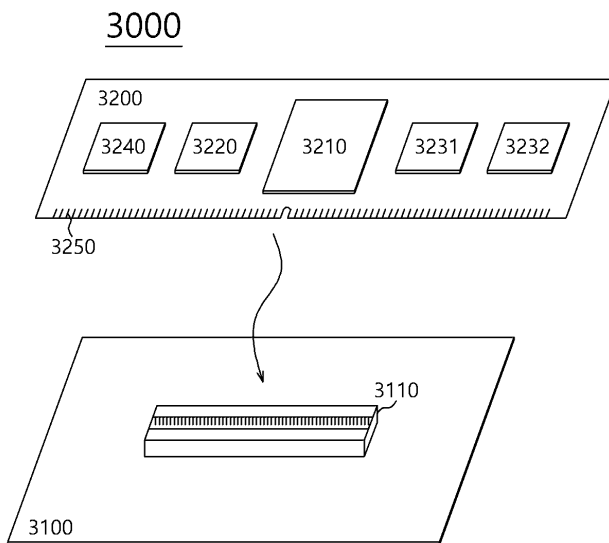
도면16



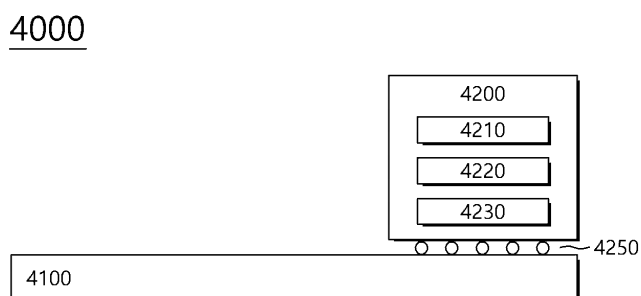
도면17



도면18

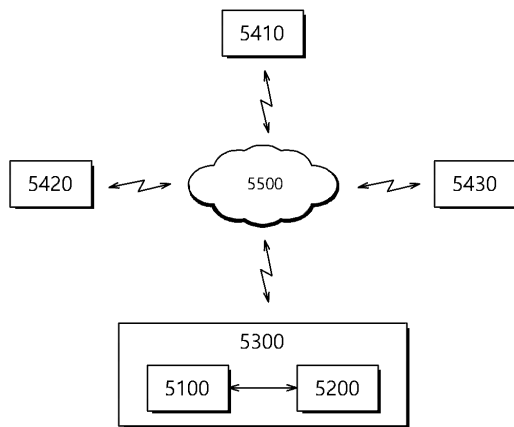


도면19



도면20

5000



도면21

300

