

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2016年7月14日(14.07.2016)



(10) 国際公開番号  
WO 2016/110968 A1

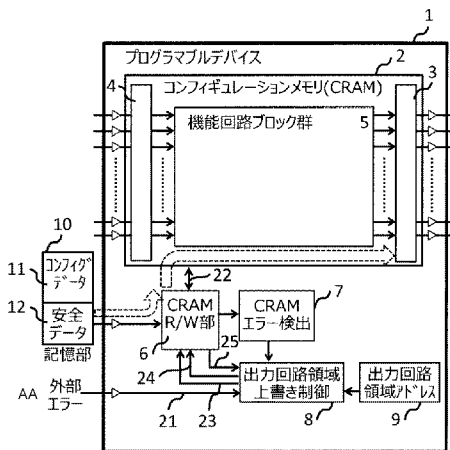
- (51) 国際特許分類:  
H03K 19/173 (2006.01)
- (21) 国際出願番号: PCT/JP2015/050283
- (22) 国際出願日: 2015年1月7日(07.01.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 株式会社日立製作所 (HITACHI, LTD.) [JP/JP]; 〒1008280 東京都千代田区丸の内一丁目6番6号 Tokyo (JP).
- (72) 発明者: 鳥羽 忠信 (TOBA Tadanobu); 〒1008280 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内 Tokyo (JP). 新保 健一 (SHIMBO Kenichi); 〒1008280 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内 Tokyo (JP). 大坂 英樹 (OSAKA Hideki); 〒1008280 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内 Tokyo (JP). 菅野 雄介 (KANNO Yusuke); 〒1008280 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内 Tokyo (JP). 佐圓 真 (SAEN Makoto); 〒1008280 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内 Tokyo (JP).
- (74) 代理人: 青稜特許業務法人 (SEIRYO I.P.C.); 〒1040032 東京都中央区八丁堀二丁目24番2号 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー

[続葉有]

(54) Title: PROGRAMMABLE DEVICE, CONTROL APPARATUS USING SAME, AND FAILURE COUNTERMEASURE METHOD

(54) 発明の名称: プログラマブルデバイス及びそれを用いた制御装置、及びその障害対策方法

図1



- AA External error
- 1 Programmable device
- 2 Configuration memory (CRAM)
- 5 Function circuit block group
- 6 CRAM read/write part
- 7 CRAM error detection
- 8 Output circuit region overwriting control
- 9 Output circuit region address
- 10 Storage part
- 11 Configuration data
- 12 Safe data

(57) Abstract: When a difficult-to-foresee abnormal state arises, such as a fault due to environmental radiation occurring in a configuration memory of a programmable device, leading to output signal abnormality, a hazardous operation may result in the apparatus in which the device is mounted. To solve the aforementioned problem, the present invention provides a programmable device having a configuration memory, wherein the programmable device comprises an error detection part that detects a data inversion fault in the configuration memory and a control part that controls the reading and writing of the configuration memory, the configuration memory has an output circuit region storing circuit information for controlling the output signal of the programmable device, and the control part is triggered by an error detection signal from the error detection part so as to read configuration data for fixing the output signal level of the programmable device from a safe data storage part storing the configuration data and overwrite the configuration data to the output circuit region.

(57) 要約: プログラマブルデバイスで発生するコンフィギュレーションメモリの環境放射線による障害等の想定が困難な異常状態発生時に出力信号が異常となり搭載装置が危険動作に至ることがある。上記課題を解決するために、コンフィギュレーションメモリを有するプログラマブルデバイスであって、コンフィギュレーションメモリのデータ反転障害を検出するエラー検出部と、コンフィギュレーションメモリのリード、ライトを制御する制御部とを有し、コンフィギュレーションメモリはプログラマブルデバイスの出力信号を制御する回路情報を格納する出力回路領域を有しており、制御部は、エラー検出部からのエラー検出信号をトリガとして、プログラマブルデバイスの出力信号レベルを固定化するためのコンフィギュレーションデータを格納する安全データ格納部から該コンフィギュレーションデータを読み出し出力回路

領域に上書きする構成とする。

WO 2016/110968 A1

ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG). 添付公開書類:  
— 国際調査報告 (条約第 21 条(3))

## 明 細 書

発明の名称：

プログラマブルデバイス及びそれを用いた制御装置、及びその障害対策方法

### 技術分野

[0001] 本発明は、プログラマブルデバイス及びそれを用いた制御装置に係り、その障害対策に関する。

### 背景技術

[0002] 様々な電子システム装置の制御用ロジックLSIとしてプログラマブルデバイスが多用されており、特にFPGA (Field Programmable Gate Array) の利用が増大している。FPGAは、ロジック回路情報をデバイス内部のメモリ (以下コンフィギュレーションメモリ、CRAMと称す) に格納して演算回路や制御回路を構築するものであり、CRAMの内容を書き換えることで即座に別な論理回路に変更できることが特徴である。

[0003] 本技術分野の背景技術として、特開2007-72807号公報 (特許文献1) がある。この特許文献1には、「電源投入後、第1の時間内にリセット信号を送出するパワーオンリセット回路と、電源の投入を監視し、前記第1の時間経過後に、電源が投入されたことを示す信号を出力する電源監視回路と、自己がシステムコントローラであるかどうかを判定するシステムコントローラ検知回路と、前記第1の時間より長い第2の時間内にコンフィギュレーションを完了するフィールドプログラマブルゲートアレーを有し、自己がシステムコントローラであることを判定する信号およびデジチェーン接続されるバスグラント出力信号を、少なくとも前記パワーオンリセット回路の動作開始から前記第1の時間までは強制的に固定し、第2の時間経過後からは前記フィールドプログラマブルゲートアレーにより、制御することを特徴とするVMEシステムコントローラ」と記載されている。

## 先行技術文献

### 特許文献

[0004] 特許文献1：特開2007-72807号公報

### 発明の概要

#### 発明が解決しようとする課題

[0005] 半導体デバイスの微細化に伴い、環境放射線（地上における宇宙線中性子， $\alpha$ 線）等に

[0006] 起因するソフトエラーの問題が特にSRAMや論理ゲート、クロック系などについて顕在化している。ソフトエラーのメカニズムとしては、以下が知られている。すなわち、極めて高いエネルギーを有する中性子がデバイスを構成する原子核内に突入すると核内の核子（中性子、陽子）が衝突を繰り返し、特に高いエネルギーを持った核子は核外に放出される。核子が核外に飛び出すだけの運動エネルギーを持ち得ない状態になると、励起状態にある残留原子核から陽子、中性子、重陽子、アルファ粒子などの軽粒子が蒸発する過程が続き、最終的に残留核も反跳エネルギーを持つためこれらの2次粒子は全てその飛程に見合った距離デバイスの中を飛ぶことになる。半導体パッケージなどに含まれる放射性同位元素から発生する $\alpha$ 線や、核反応の結果発生する電荷を持った2次イオンがSRAMの“high”状態にあるストレージノードの空乏層を通過すると電子はノードに吸収され正孔は反対方向に流れイオンの飛跡に沿って電荷収集領域が広がるファネリングメカニズムによってストレージノードに電荷が収集される。臨界電荷量以上の電荷が収集されると“high”状態が“low”状態に推移し、ソフトエラーになる。

[0007] FPGAのCRAMは、SRAMで構成されているものが多く、環境放射線によるソフトエラーによって回路情報が破壊され、電子システム装置の誤作動を引き起こす可能性があることが問題視されつつある。中でも社会インフラを制御する電子システム装置では安全上の問題を招く恐れがある。通常、電子システム装置として誤動作による影響がでないよう、複数の部品、装

置を用いて対策されているが、消費電力、開発、検証工数、コスト等の増大を招く要因となっている。

[0008] また、ソフトエラーに限らず経年劣化等によるハードエラー（固定故障）も考慮が必要だが、一般的なFPGAのハードエラーの発生確率はソフトエラーに比べ1/10000より小さく、ソフトエラーへの対策が信頼性、安全性の向上には有効である。

[0009] 従来の特許文献1に記載の技術は、バス接続されたプログラマブルデバイスが、電源投入直後のCRAMメモリへの回路情報書き込み中の電源ノイズ等による不安定動作を他デバイスに影響を与えないためのもので、プログラマブルデバイスの出力を論理的なマスクにより固定化している。これは、プログラマブルデバイスのCRAMの情報が破壊されることとは無関係であり、ソフトエラー時の誤作動による影響を排除するものではない。

[0010] 本発明の目的は、プログラマブルデバイスのCRAMで発生した障害で電子システム装置の動作を危険側故障にしないことである。そして、これにより、電子システム装置の安全性の向上を低消費電力、低コストで実現することである。

### 課題を解決するための手段

[0011] 上記課題を解決するために、例えば請求の範囲に記載の構成を採用する。本願は上記課題を解決する手段を複数含んでいるが、その一例を挙げるならば、コンフィギュレーションメモリを有するプログラマブルデバイスであって、コンフィギュレーションメモリのデータ反転障害を検出するエラー検出部と、コンフィギュレーションメモリのリード、ライトを制御する制御部とを有し、コンフィギュレーションメモリはプログラマブルデバイスの出力信号を制御する回路情報を格納する出力回路領域を有しており、制御部は、エラー検出部からのエラー検出信号をトリガとして、プログラマブルデバイスの出力信号レベルを固定化するためのコンフィギュレーションデータを格納する安全データ格納部から該コンフィギュレーションデータを読み出し出力回路領域に上書きする構成とする。

## 発明の効果

[0012] 本発明によれば、FPGAを使用した装置の危険側障害リスクを削減することができ、装置の安全性向上に貢献できる。

## 図面の簡単な説明

- [0013] [図1]実施例1に係るプログラマブルデバイスの構成図である。  
[図2]実施例1に係る処理フローである。  
[図3]実施例1に係るプログラマブルデバイスの出力回路領域の回路構成図である。  
[図4]実施例1に係る出力回路領域上書き制御部の構成図である。  
[図5]実施例1に係る出力回路領域上書き制御部の動作シーケンス図である。  
[図6]実施例2に係る安全データの構成図である。  
[図7]実施例3に係る出力回路領域部分を示した構成図である。  
[図8]実施例4に係るプログラマブルデバイスの構成図である。  
[図9]実施例5に係るプログラマブルデバイスの構成図である。  
[図10]実施例6及び7に係るプログラマブルデバイスの構成図である。  
[図11]実施例8に係るプログラマブルデバイスを搭載した装置基板の構成図である。  
[図12]実施例9に係るプログラマブルデバイスの構成図である。  
[図13]実施例10に係るプログラマブルデバイスを搭載した制御装置の構成図である。  
[図14]実施例11に係るプログラマブルデバイスを搭載した車載制御装置の構成図である。  
[図15]実施例12に係るプログラマブルデバイスを搭載したモータ制御部の構成図である。  
[図16]実施例13に係るプログラマブルデバイスを搭載したロボットの構成図である。  
[図17]実施例14に係るプログラマブルデバイスを搭載した建設機械の構成図である。

## 発明を実施するための形態

[0014] 以下、実施例を図面を用いて説明する。

### 実施例 1

[0015] 図 1 は、本実施例のプログラマブルデバイスの構成図である。本実施例のプログラマブルデバイス 1 は、ユーザロジックとして、所望の機能を実現するための論理回路データを有するコンフィギュレーションメモリ (CRAM) 2 を有している。そして、CRAM 2 内には、論理回路情報を格納する機能回路ブロック群 5 と、プログラマブルデバイス 1 の出力回路領域である出力ピンの信号レベルを設定できる領域 3 と、プログラマブルデバイス 1 の入力ピンの設定を保持する領域 4 を有している。

[0016] また、プログラマブルデバイス 1 は、CRAM 2 内のデータへのアクセスを制御し、CRAM にリード、ライトする CRAM R/W 制御部 6 と、CRAM 2 内のデータのエラーの有無を判定する CRAM エラー検出部 7 を有す。CRAM エラー検出部 7 のエラー検出方法については、例えば CRAM 2 内の論理回路データにエラー検出のための CRC (Cyclic Redundancy Code) コードを付加し、CRAM 2 内全体を巡回しながらリードし、エラー判定を行う機能を有している。

[0017] さらに、プログラマブルデバイス 1 は、出力回路領域上書き制御部 8 と、出力回路領域のアドレスを記憶保持する出力回路領域アドレス保持部 9 を有している。また、外部記憶部 10 には、プログラマブルデバイス 1 の機能を定義する回路情報であるコンフィギュレーションデータ 11 と、プログラマブルデバイス 1 の出力ピンの信号レベルを設定できる領域 3 の出力信号レベルを固定化する安全データ 12 が格納されている。ここで、安全データ 12 は、出力信号レベルを固定化するためのコンフィギュレーションデータであり、回路構造を強制的に出力固定にするようなコンフィギュレーションデータであるが、プログラマブルデバイス 1 の機能を定義する回路情報であるコンフィギュレーションデータ 11 と区別するために、本実施例では安全データと称す。なお、コンフィギュレーションデータ 11 と安全データ 12 は、

物理的に別なデバイスに格納しても良い。

- [0018] C R A Mエラー検出部7は、C R A Mの環境放射線等の要因によるデータ反転を検出後、このエラー検出信号をトリガとして出力回路領域上書き制御部8に出力する。出力回路領域上書き制御部8は、出力回路領域のアドレスを記憶保持する出力回路領域アドレス保持部9から、プログラマブルデバイス1の出力回路領域である出力ピンの信号レベルを設定できる領域3のアドレスを取得し、そのアドレスをC R A M R/W制御部6に送出する(24)。また、同時に外部記憶部10の中の出力信号レベルを固定化する安全データ12の格納領域アドレスとデータサイズをC R A M R/W制御部6に送出する(23)。なお、安全データ12の格納アドレスは、C R A M R/W制御部6が保持していても良い。C R A M R/W制御部6は、受信したアドレスに従い安全データ12をリードするとともに、C R A M内の出力ピンの信号レベルを設定できる領域3にライトする。ライト処理が終了したら完了信号を送出する(25)。
- [0019] なお、出力回路領域アドレス保持部9にプログラマブルデバイス1の入力ピンの設定を保持する領域4のアドレスを保持し、出力回路領域上書き制御部8を通じて、入力ピンの設定を保持する領域4用の安全データを書き込むことで入力を遮断することもできる。
- [0020] 図2に本実施例の構成要素の制御手順を示す。図2において、本実施例によるプログラマブルデバイス1が稼働を開始(31)し、C R A Mエラー検出部7は、上述したようにC R A M R/W制御部6を介してC R A M 2内のエラーの有無を監視、検出を行う(32)(33)。エラーが無い場合(33b)は、継続してエラー監視を行い、エラーを検出した場合(33a)、C R A Mエラー検出部7からのエラー検出信号を出力する(34)。出力回路領域上書き制御部8は安全データ12のリード指示をC R A M R/W制御部6に送出する(35)。さらに出力回路領域上書き制御部8は、出力回路領域を記憶保持する出力回路領域アドレス保持部9から、プログラマブルデバイス1の出力ピンの信号レベルを設定できる領域3のアドレスを取得し、

そのアドレスをCRAM R/W制御部6に送出する(36)。続いて、CRAM内の出力ピンの信号レベルを設定できる領域3に安全データ12をライトする(37)。

[0021] 図3に、CRAM内の出力回路領域である出力ピンの信号レベルを設定できる領域3の具体的な回路構成例を示す。この領域は個々の出力ピン毎に接続される出力ピンブロック41で構成され、個々の出力ピンブロック41は、一時的なデータ保持機構であるフリップフロップ42と、このフリップフロップ42へのデバイス側入力信号44、外部信号43と、外部信号43の入出力やフリップフロップ42の初期値や入出力方向、信号電位レベル等を記憶する設定レジスタ45で構成される。

[0022] 図4に出力回路領域上書き制御部8の回路構成例を示す。出力回路領域上書き制御部8は、領域アドレスの入出力処理を行うリード・ライト制御部16と、安全データ12の起点アドレスとデータサイズを保持するデータサイズ記憶部18と、安全データ12格納場所のアドレスを生成するアドレス計算部17とで構成する。

[0023] 図5に図4で示した構成要素の中で主要なシーケンス制御を行うリード・ライト制御部16の状態遷移図を示す。図5において、稼動開始からエラー検出信号を待つアイドル状態であるP0で待機する。トリガ信号である外部エラー信号21またはCRAMエラー検出部7からのエラー検出信号を入力すると、状態P1に移動し、アドレス計算部17に計算開始指示(16a)を発行する。その後、状態P2に移動し、安全データ12の格納アドレスを受信(16b)する。CRAM R/W制御部6が外部記憶部10へのアクセスを開始し、安全データ12の入力を開始したことを知らせる信号(25)を待つ。安全データ入力開始信号25を受信した後、状態P3に移動し、CRAMへの安全データの上書き指示(24)を発行し、CRAMへのライトが完了したら(25)、状態P0に移動し、待機状態に戻る。

[0024] なお、CRAM R/W制御部6と出力回路領域上書き制御部8をまとめて

C R A Mのリード、ライトを制御する制御部としても良い。

[0025] 以上のように、本実施例は、コンフィギュレーションメモリを有するプログラマブルデバイスであって、コンフィギュレーションメモリのデータ反転障害を検出するエラー検出部と、コンフィギュレーションメモリのリード、ライトを制御する制御部とを有し、コンフィギュレーションメモリはプログラマブルデバイスの出力信号を制御する回路情報を格納する出力回路領域を有しており、制御部は、エラー検出部からのエラー検出信号をトリガとして、プログラマブルデバイスの出力信号レベルを固定化するためのコンフィギュレーションデータを格納する安全データ格納部から該コンフィギュレーションデータを読み出し出力回路領域に上書きする構成とする。

[0026] また、コンフィギュレーションメモリを有するプログラマブルデバイスの障害対策方法であって、コンフィギュレーションメモリ内のプログラマブルデバイスの出力信号を制御する回路情報を格納する出力回路領域の出力を安全な信号レベルに設定するコンフィギュレーションデータを準備し、コンフィギュレーションメモリのデータ反転障害を検出した際に、前記安全な信号レベルに設定するコンフィギュレーションデータを出力回路領域に上書きする構成とする。

[0027] よって、本実施例によれば、電子システム製品に用いるプログラマブルデバイスで発生するC R A Mの環境放射線による障害等、設計時に考えられない想定が困難な異常状態発生時に、即安全な状態に出力信号を遷移させることが可能となり、F P G Aを使用した装置の危険側障害リスクをF P G A単体で削減することができる。これにより、特に社会インフラシステムである、鉄道、車両制御、信号制御、電力送電機器制御等の安全性を要求される電子システム装置の安全性の向上を低消費電力、低コストで実現することが出来る。

## 実施例 2

[0028] 図6は、本実施例における安全データの構成図である。本実施例は、他の構成は図1と同一で、安全データを複数持つ例(12a)を示す。すなわち

、図6（A）は実施例1での安全データ12を1つ持つ場合を示しており、図6（B）は安全データを複数持つ12aを示している。本実施例では、エラー検出時のトリガ信号に属性データを付与し、例えば外部エラー信号21とCRAM内でのエラー信号の種類、例えばどこのブロックのエラーかを示す属性データとして送出し、出力回路領域上書き制御部8は、この属性データをもとに所望の安全データのアドレスを計算する。

[0029] よって、本実施例によれば、エラーの種類によって出力信号の固定化パターンを変えることができ、エラーの種類に合わせて、より安全な動作に移行できる出力信号に固定化することができる。

### 実施例 3

[0030] 図7は、本実施例における出力回路領域部分を示した構成図である。本実施例では、CRAM内の出力ピンの信号レベルを設定できる領域3に加え、この領域に接続されるコンフィギュレーションデータ領域5aも出力回路領域上書き制御部8の上書き対象領域とする。すなわち、図7において、コンフィギュレーションデータ領域5aは、通常の回路情報を格納する領域で、ここに信号レベルを変化させ順序制御する論理情報を持つコンフィギュレーションデータである安全データを上書きする。コンフィギュレーションデータ領域5aは論理情報を格納するブロック5bを有しており、例えば、ルックアップテーブルとフリップフロップで構成される。

[0031] よって、本実施例によれば、プログラマブルデバイス1の出力信号を固定化する直前に出力信号を変化させることができ、本実施例のプログラマブルデバイス1の出力信号に接続される次段のデバイス部品に対し、安全な状態に移行するための順序制御信号を送出することができる。これにより、一気に固定値とするのではなく、一旦準備信号を出力できるので、次段のデバイス部品の、前段出力の固定化による通常の動作ではない異常動作に対する後処理対策を簡易化することが可能となる。

### 実施例 4

[0032] 図8は、本実施例に係るプログラマブルデバイスの構成図である。図1と

同じ部分には同じ符号を付しており、構成、動作が同じ部分については説明を省略する。

[0033] 本実施例では、図8に示すように、安全データを保持する安全データ保持部13をプログラマブルデバイス1内に設けることを特徴としている。制御動作は図1と同様であり、安全データの入力が安全データ保持部13からとなる。

[0034] この構成により、実施例1と比較して、外部記憶部10からの安全データ入力にかかるレイテンシを削減することができ、CRAM内の出力ピンの信号レベルを設定できる領域3へのライト処理完了までの時間を短縮することができる。

[0035] なお、安全データであるコンフィグレーションデータの代わりに、CRAM内に論理情報として格納しても良い。すなわち、CRAM内に回路構造の定義段階で、出力を固定化する回路を入れ込んでおき、イネーブル制御等で出力を固定にするようにしてもよい。以上のことから、本実施例によれば、プログラマブルデバイス1の出力信号を固定化する直前に出力信号を高速に安全状態に移行するための信号レベルに固定できる。

## 実施例 5

[0036] 図9は、本実施例に係るプログラマブルデバイスの構成図である。図1と同じ部分には同じ符号を付しており、構成、動作が同じ部分については説明を省略する。

[0037] 本実施例では、図9に示すように、出力回路領域上書き制御部8と出力回路領域アドレス保持部9をプログラマブルデバイス1から分離し、別デバイスとして構成している。すなわち、図9において、14で示す出力回路領域上書き制御LSIに出力回路領域上書き制御部8と出力回路領域アドレス保持部9を格納し、プログラマブルデバイス1から分離する構成とする。制御動作は、図1と同様なので説明を省略する。

[0038] この構成により、出力回路領域上書き制御部8と出力回路領域アドレス保持部9をCRAMと同じプログラマブルデバイス1上に構成する場合に比べ

、環境放射線によるソフトエラーの影響を受け難くすることができ、信頼性を向上できる。また、複数デバイスによる多様性で機能安全規格に示される安全度水準を上げることが可能となる。

## 実施例 6

[0039] 図10は、本実施例に係るプログラマブルデバイスの構成図である。図8と同じ部分には同じ符号を付しており、構成、動作が同じ部分については説明を省略する。本実施例では、図10に示す構成において、プログラマブルデバイス1で実現する論理回路情報を格納する機能回路ブロック群5で、個々の回路ブロックからの論理エラー信号（図中(1)(2)(3)）を、エラー収集部15で受信し、そのエラー信号を出力回路領域上書き制御部8へ出力する構成とする。そして、このエラー信号をトリガとして、CRAM内の出力ピンの信号レベルを設定する領域3へのライト処理を開始する。なお、CRAMエラー検出部7からのエラー検出信号とエラー収集部15からのエラー信号の両者を用いて、それとトリガとしてCRAM内の出力ピンの信号レベルを設定する領域3へのライト処理を開始するようにしても良い。

[0040] これにより、CRAM内のエラーを巡回して検出する時間によるエラー検出の遅延をなくし、CRAM内の出力ピンの信号レベルを設定する領域3へのライト処理を開始することができる。

[0041] よって、本実施例によれば、CRAMのビット反転から出力信号固定化までの時間が高速化可能となり、誤動作要因となりえる後出力の影響を一層小さくできる。

[0042] なお、安全データを外部記憶部10に配置する構成（図1と同じ）としても良い。

## 実施例 7

[0043] 本実施例に係るプログラマブルデバイスの構成図を図10に示す。本実施例は、図10に示すように、実施例6の構成に、出力信号状態を、一時的に保持する手段である、ラッチする出力信号一時ラッチ部5cと、そのラッチした結果を収集し、一時的に保持し、その後安全データ13を更新する安全デ

ータ更新部 13a を設けた構成である。

[0044] これにより、エラー発生直前の出力信号データを保持し、その状態を安全データとして出力信号を固定化することができる。

### 実施例 8

[0045] 図 11 は、本実施例におけるプログラマブルデバイスを搭載した装置基板の構成図である。

図 11 において、本実施例によるプログラマブルデバイス 1 を複数個装置基板 51 上に配置し、その個々のプログラマブルデバイスからのエラー信号 54 を、エラー信号収集部 56 で収集する。エラー信号収集部 56 は、統合エラー信号 55 を出力し、実施例 1 から 7 で示したプログラマブルデバイス 1 の外部エラー信号として出力する。複数のプログラマブルデバイス 1 は、全プログラマブルデバイスの出力信号レベルを一括して固定化し、安全状態出力に設定し、次段のデバイス部品、例えば L S I である、52, 53 に対して、安全動作となる信号レベルを出力し続ける。

[0046] よって、本実施例によれば、装置基板の安全性を向上できる。

### 実施例 9

[0047] 本実施例に係るプログラマブルデバイスの構成図を図 12 に示す。図 8 と同じ部分には同じ符号を付してあり、構成、動作が同じ部分については説明を省略する。

[0048] 本実施例では、図 12 に示すように、外部センサ 50 と、外部センサからのデータを入力し正常状態との比較により異常状態を判定するセンサ異常状態判定部 19 を設ける。センサ異常状態判定部 19 は、センサ異常を検出すると出力回路領域上書き制御部 8 に異常検出信号を出力し、C R A M 内の出力ピンの信号レベルを設定できる領域 3 へのライト処理を開始する。

[0049] よって、本実施例によれば、プログラマブルデバイス 1 に接続されるセンサの異常状態を検出し、その異常状態を次段のデバイス部品に伝播しないことで、センサがつながる電子システム装置の安全性を向上できる。

[0050] なお、安全データを外部記憶部 10 に配置する構成（図 1 と同じ）として

もよい。

- [0051] また、図8に示す外部エラーと、本実施例の外部センサからのデータ入力とのORで異常状態を検出し、それをトリガとして、出力信号レベルを固定化し安全状態出力に設定してもよい。

### 実施例 10

- [0052] 本実施例におけるプログラマブルデバイスを搭載した制御装置の構成図を図13に示す。図13において、57は制御装置、58は装置基板群、59は入出力I/F、60aは入出力装置、60bは出力装置、60cは入力装置である。

- [0053] 図13において、実施例1から実施例9のプログラマブルデバイスを搭載した制御装置57は、装置基板群58に搭載されているプログラマブルデバイス1で環境放射線によるソフトエラーや、外部エラーが発生した場合、出力信号が装置動作として安全側となる出力に固定化し、入出力装置60a、出力装置60bに出力される。

- [0054] すなわち、本実施例は、コンフィギュレーションメモリを有するプログラマブルデバイスと、入出力I/Fを備えた制御装置であって、プログラマブルデバイスは、コンフィギュレーションメモリのデータ反転障害を検出するエラー検出部と、コンフィギュレーションメモリをリード、ライトする制御部とを有し、コンフィギュレーションメモリはプログラマブルデバイスの出力信号を制御する回路情報を格納する出力回路領域を有しており、制御部は、エラー検出部からのエラー検出信号をトリガとして、プログラマブルデバイスの出力信号レベルを固定化するためのコンフィギュレーションデータを格納する安全データ格納部から該コンフィギュレーションデータを読み出し出力回路領域に上書きする構成とする。

- [0055] よって、本実施例によれば、プログラマブルデバイスが搭載される制御装置の安全性を向上できる。

### 実施例 11

- [0056] 図14は、本実施例の、実施例1から実施例9のプログラマブルデバイス

を搭載した車載制御装置の構成図である。図14において、エンジン制御ユニット68は、エアフローセンサ61、カムポジションセンサ62、クランクポジションセンサ63、水温センサ64、車速センサ65、バッテリーセンサ66等からの各種センシングデータをプログラマブルデバイス1に入力する構成である。プログラマブルデバイス1は、各種センサからの入力データをもとにインジェクタ67への制御信号を計算、生成し出力する。

[0057] ここで、従来技術では、プログラマブルデバイス1の論理情報が破壊され、インジェクタ67への制御信号が異常状態となり、急加速指示や急停止指示になると、エンジン制御ユニット68を搭載する自動車は異常動作となり、乗車している人等に危険を及ぼす可能性がある。

[0058] 従来の自動車では、エンジン制御ユニット内の制御部を複数使用して、お互いに比較、監視することで異常状態となったことを検出し、論理的な制御を用いて安全状態に遷移するよう制御する。しかし、複数部品を使用することになり、消費電力が増大し、コストが高くなるという問題があった。

[0059] しかし、本実施例によれば、単一のプログラマブルデバイスで異常状態となった場合の出力を安全状態に即座に遷移することができることから、消費電力、コストを削減することができる。

## 実施例 12

[0060] 図15は、本実施例の、実施例1から実施例9のプログラマブルデバイスを搭載した鉄道車両制御装置の例であるモータ制御部の構成例である。図15において、鉄道車両全体を制御する車上コントローラ79からの指示を本実施例によるプログラマブルデバイス1で入力する。プログラマブルデバイス1は、上述の車上コントローラ79からの指示に従ってモータ73をドライブするドライブ回路72にドライブ制御信号75を出力する。ドライブ回路は、電源71から電力の供給を受け、モータ73に対してドライブ信号77、78を出力する。モータ73の回転数、回転速度は、エンコーダ74で計測され、プログラマブルデバイス1にフィードバックされる。

[0061] ここで、プログラマブルデバイス1にエラーが発生した場合、本実施例の

構成を有しない従来技術では、ドライブ制御信号75が誤ったデータを出力し、異常な加速、減速を引き起こす。その結果がエンコーダ74からフィードバックされるが、その結果も誤って解釈される恐れがあり、回転数の急激な変化につながる恐れがある。

[0062] しかし、本実施例によれば、ドライブ制御信号75をモータ73が停止する状態に固定化することで、エンコーダ74のフィードバックの影響も排除でき、安全にモータを停止することができる。さらに実施例3によるプログラマブルデバイス1を用いることにより、モータの回転数を徐々に落とすドライブ制御信号75を出力することで、鉄道車両の急停車を防ぐことができ、より安全に停止することができる。

### 実施例 13

[0063] 図16は、本実施例の、実施例1から実施例9のプログラマブルデバイスを搭載したロボットの構成例である。

[0064] 図16において、80はロボット全体制御部、81は駆動部制御信号、82、83、84はロボット関節駆動部である。ロボット全体制御部80からの指示を受けて、本実施例によるプログラマブルデバイス1を搭載した装置基板51から、ロボットの動きを制御するロボット関節駆動部82、83、84に駆動部制御信号81を出力する。

[0065] 本実施例では、ロボットの作業状態でのロボット関節駆動部84の位置が84aにあった場合、プログラマブルデバイス1にエラーが発生したら、ロボット関節駆動部を即座に停止する信号レベルに固定化する。また、実施例3によるプログラマブルデバイス1を用いることにより、安全な位置であるロボット関節駆動部84の位置に徐々に移動する出力を行うことができる。

### 実施例 14

[0066] 図17は、本実施例の、実施例1から実施例9を搭載した建設機械の構成例である。図17において、91は建設機械本体、92はエンジン制御部、93、94はアーム駆動部、95はショベル、96はキャタピラであり、本実施例によるプログラマブルデバイス1を搭載した装置基板51から、建設

機械のアーム駆動部 93, 94 及びショベル 95 に制御信号を出力する（図中では破線矢印で示す）。さらに移動動作を制御するエンジン制御部 92 へも移動制御信号を出力する。

[0067] 本実施例では、プログラマブルデバイス 1 にエラーが発生したら、駆動部およびエンジンを即座に停止する信号レベルに固定化する。また、実施例 3 によるプログラマブルデバイス 1 を用いることにより、駆動部を安全な位置に徐々に移動することができる。

[0068] 以上述べたように、本実施例によれば、プログラマブルデバイスで発生するコンフィギュレーションメモリの環境放射線による障害等、想定が困難な異常状態発生時に即安全な状態に出力信号を遷移させることで、FPGA を使用した装置の危険側障害リスクを削減することができ、装置の安全性向上に貢献できる。

[0069] さらに電子システム装置として機能安全に関する国際標準規格 IEC (International Electrotechnical Commission) 61508 で要求される安全度水準として SIL (Safety Integrity level) 3 以上の認証取得も容易となる。すなわち、従来は、その設定値が安全側であることを説明する必要があったが、本実施例では、出力値を装置の仕様で決まる安全パターンに固定化するので、その説明は容易となるからである。さらに電子システム装置の信頼性および安全性の向上を簡易な構成で実現でき消費電力やコストを削減できる。

[0070] なお、上記した実施例は本発明を分かりやすく説明するために詳細に説明したものであり、必ずしも説明した全ての構成を備えるものに限定されるものではない。また、ある実施例の構成の一部を他の実施例の構成に置き換えることが可能であり、また、ある実施例の構成に他の実施例の構成を加えることも可能である。また、各実施例の構成の一部について、他の構成の追加・削除・置換をすることが可能である。

## 符号の説明

[0071] 1…プログラマブルデバイス、2…コンフィギュレーションメモリ (CRA

M)

- 3…CRAM内の出力ピンの信号レベルを設定できる領域、
- 4…CRAM内の入力ピンの信号レベルを設定できる領域、
- 5…機能回路ブロック群、5 a…コンフィギュレーションデータ領域、
- 5 b…論理情報を格納するブロック、5 c…出力信号一時ラッチ部、
- 6…CRAM R/W制御部、7…CRAMエラー検出部、
- 8…出力回路領域上書き制御部、9…出力回路領域アドレス保持部、
- 10…外部記憶部、11…コンフィギュレーションデータ、12…安全データ、
- 13…安全データ格納部、13 a…安全データ更新部、
- 14…出力回路領域上書き制御LSI、15…エラー収集部、
- 16…リード・ライト制御部、17…アドレス計算部、18…データサイズ記憶部、
- 19…センサ異常状態判定部、21…外部エラー信号、
- 22…CRAMとのR/Wアクセス信号、
- 23…安全データの格納領域アドレスとデータサイズ信号、
- 24…CRAM内の出力ピンの信号レベルを設定できる領域アドレスデータ信号、
- 25…CRAMライト完了信号、41…出力ピンブロック、42…フリップフロップ、
- 43…外部信号、44…デバイス側入力信号、45…設定レジスタ、50…外部センサ、
- 51…装置基板、52, 53…装置基板に搭載されたデバイス部品、例えばLSI、
- 54…エラー信号、55…エラー集約信号、56…エラー収集部、
- 57…制御装置、58…装置基板群、68…エンジン制御ユニット、
- 72…ドライブ回路、73…モータ本体、75…ドライブ制御信号、
- 77、78…ドライブ信号、80…ロボット全体制御部、81…駆動部制御

信号、

82, 83, 84…ロボット関節駆動部、91…建設機械本体、92…エンジン制御部

## 請求の範囲

- [請求項1] コンフィギュレーションメモリを有するプログラマブルデバイスであって、  
前記コンフィギュレーションメモリのデータ反転障害を検出するエラー検出部と、  
前記コンフィギュレーションメモリのリード、ライトを制御する制御部とを有し、  
前記コンフィギュレーションメモリは前記プログラマブルデバイスの出力信号を制御する回路情報を格納する出力回路領域を有しており、  
前記制御部は、前記エラー検出部からのエラー検出信号をトリガとして、前記プログラマブルデバイスの出力信号レベルを固定化するためのコンフィギュレーションデータを格納する安全データ格納部から該コンフィギュレーションデータを読み出し前記出力回路領域に上書きすることを特徴とするプログラマブルデバイス。
- [請求項2] 請求項1に記載のプログラマブルデバイスであって、  
前記制御部は、前記コンフィギュレーションメモリをリード、ライトするリードライト部と出力回路領域上書き制御部であり、  
前記出力回路領域のアドレス情報を格納する出力回路領域アドレス保持部を有し、  
前記出力回路領域上書き制御部は、前記エラー検出部からのエラー検出信号をトリガとして、前記リードライト部に前記安全データ格納部のリード指示を行い、  
前記リードライト部は、前記安全データ格納部から読み出した前記プログラマブルデバイスの出力信号レベルを固定化するためのコンフィギュレーションデータを前記出力回路領域アドレス保持部から読み出したアドレス情報を基に前記出力回路領域に上書きすることを特徴とするプログラマブルデバイス。
- [請求項3] 請求項1に記載のプログラマブルデバイスであって、

前記制御部は、外部エラー信号をトリガとして、前記安全データ格納部から読み出した前記プログラマブルデバイスの出力信号レベルを固定化するためのコンフィギュレーションデータを前記出力回路領域に上書きすることを特徴とするプログラマブルデバイス。

[請求項4] 請求項1に記載のプログラマブルデバイスであって、前記安全データ格納部は、前記プログラマブルデバイスの出力信号レベルを固定化するためのコンフィギュレーションデータを複数格納することを特徴とするプログラマブルデバイス。

[請求項5] 請求項1に記載のプログラマブルデバイスであって、前記コンフィギュレーションメモリは、前記出力回路領域に接続され、プログラマブルデバイスの出力信号レベルを変化させ順序制御するコンフィギュレーションデータを格納するコンフィギュレーションデータ領域を有することを特徴とするプログラマブルデバイス。

[請求項6] 請求項1に記載のプログラマブルデバイスであって、前記安全データ格納部は前記プログラマブルデバイス内に設けられていることを特徴とするプログラマブルデバイス。

[請求項7] 請求項2に記載のプログラマブルデバイスであって、前記出力回路領域アドレス保持部と前記出力回路領域上書き制御部は、前記プログラマブルデバイスとは別のデバイスに構成したことを特徴とするプログラマブルデバイス。

[請求項8] 請求項1に記載のプログラマブルデバイスであって、前記コンフィギュレーションメモリ内の論理回路で論理エラーを検出する手段と、当該検出したエラー信号を収集するエラー収集部を有し、前記エラー収集部からのエラー信号をトリガとして、前記制御部は、前記プログラマブルデバイスの出力信号レベルを固定化するためのコンフィギュレーションデータを格納する安全データ格納部から該コンフィギュレーションデータを読み出し前記出力回路領域に上書きする

ことを特徴とするプログラマブルデバイス。

[請求項9]

請求項1に記載のプログラマブルデバイスであって、

前記プログラマブルデバイスの出力信号の状態を一時的に保持する手段と、当該保持した結果をプログラマブルデバイスの出力信号レベルを固定化するためのコンフィギュレーションデータとして更新する更新部を有することを特徴とするプログラマブルデバイス。

[請求項10]

コンフィギュレーションメモリを有するプログラマブルデバイスと、入出力I/Fを備えた制御装置であって、

前記プログラマブルデバイスは、

前記コンフィギュレーションメモリのデータ反転障害を検出するエラー検出部と、

前記コンフィギュレーションメモリをリード、ライトする制御部とを有し、

前記コンフィギュレーションメモリは前記プログラマブルデバイスの出力信号を制御する回路情報を格納する出力回路領域を有しており、前記制御部は、前記エラー検出部からのエラー検出信号をトリガとして、前記プログラマブルデバイスの出力信号レベルを固定化するためのコンフィギュレーションデータを格納する安全データ格納部から該コンフィギュレーションデータを読み出し前記出力回路領域に上書きすることを特徴とする制御装置。

[請求項11]

請求項10に記載の制御装置であって、

前記制御部は、前記コンフィギュレーションメモリをリード、ライトするリードライト部と出力回路領域上書き制御部であり、

前記出力回路領域のアドレス情報を格納する出力回路領域アドレス保持部を有し、

前記出力回路領域上書き制御部は、前記エラー検出部からのエラー検出信号をトリガとして、前記リードライト部に前記安全データ格納部のリード指示を行い、

前記リードライト部は、前記安全データ格納部から読み出した前記プログラマブルデバイスの出力信号レベルを固定化するためのコンフィギュレーションデータを前記出力回路領域アドレス保持部から読み出したアドレス情報を基に前記出力回路領域に上書きすることを特徴とする制御装置。

[請求項12] 請求項10に記載の制御装置であって、  
前記制御部は、外部エラー信号をトリガとして、前記安全データ格納部から読み出した前記プログラマブルデバイスの出力信号レベルを固定化するためのコンフィギュレーションデータを前記出力回路領域に上書きすることを特徴とする制御装置。

[請求項13] 請求項10に記載の制御装置であって、  
前記安全データ格納部は、前記プログラマブルデバイスの出力信号レベルを固定化するためのコンフィギュレーションデータを複数格納することを特徴とする制御装置。

[請求項14] 請求項10に記載の制御装置であって、  
前記コンフィギュレーションメモリは、前記出力回路領域に接続され、プログラマブルデバイスの出力信号レベルを変化させ順序制御するコンフィギュレーションデータを格納するコンフィギュレーションデータ領域を有することを特徴とする制御装置。

[請求項15] 請求項10に記載の制御装置であって、  
前記安全データ格納部は前記プログラマブルデバイス内に設けられていることを特徴とする制御装置。

[請求項16] 請求項11に記載の制御装置であって、  
前記出力回路領域アドレス保持部と前記出力回路領域上書き制御部は、前記プログラマブルデバイスとは別のデバイスに構成したことを特徴とする制御装置。

[請求項17] 請求項10に記載の制御装置であって、  
前記コンフィギュレーションメモリ内の論理回路で論理エラーを検出

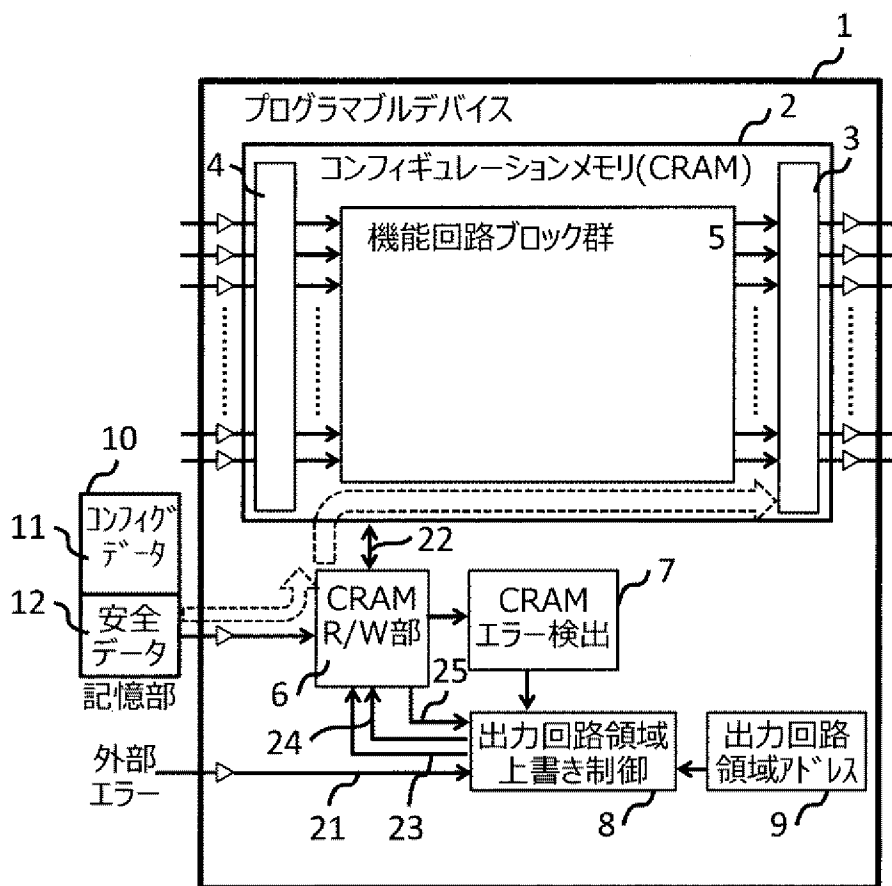
する手段と、当該検出したエラー信号を収集するエラー収集部を有し、  
前記エラー収集部からのエラー信号をトリガとして、前記制御部は、前記プログラマブルデバイスの出力信号レベルを固定化するためのコンフィギュレーションデータを格納する安全データ格納部から該コンフィギュレーションデータを読み出し前記出力回路領域に上書きすることを特徴とする制御装置。

[請求項18] 請求項10に記載の制御装置であって、  
前記プログラマブルデバイスの出力信号の状態を一時的に保持する手段と、当該保持した結果をプログラマブルデバイスの出力信号レベルを固定化するためのコンフィギュレーションデータとして更新する更新部とを有することを特徴とする制御装置。

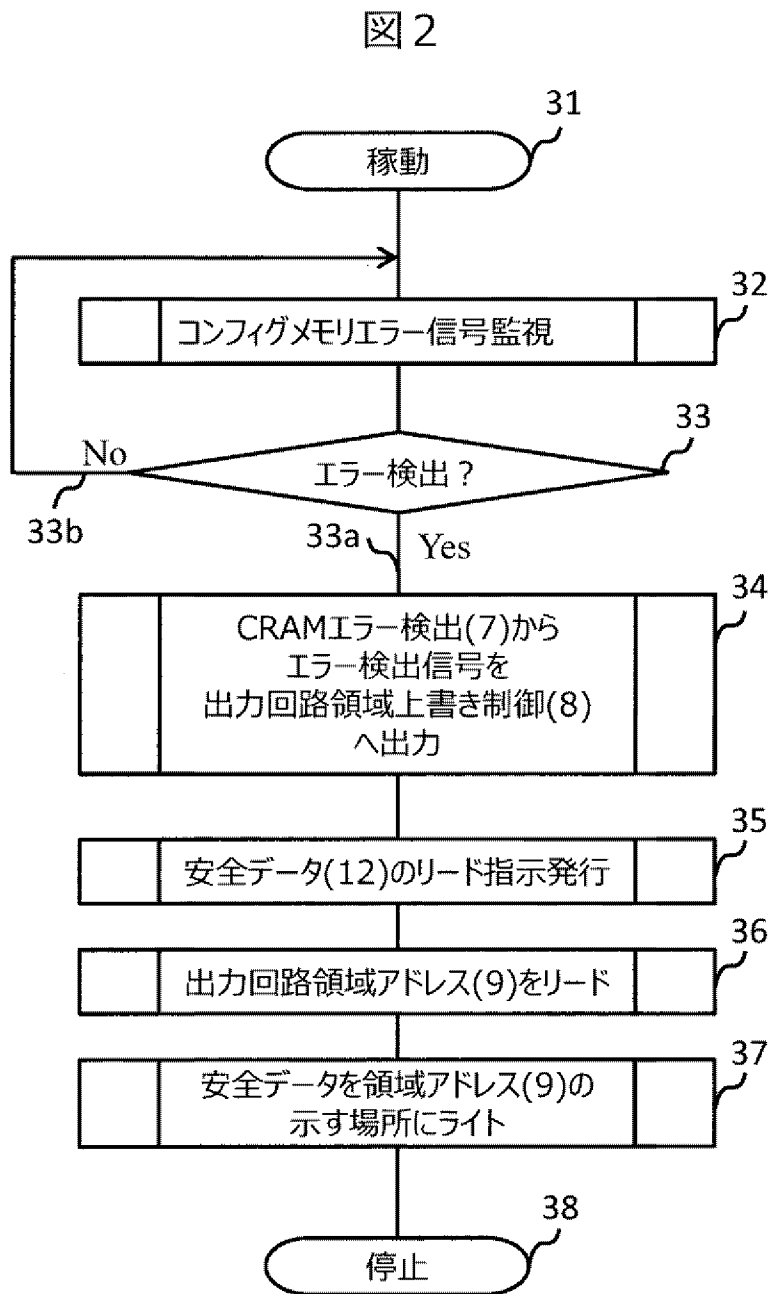
[請求項19] コンフィギュレーションメモリを有するプログラマブルデバイスの障害対策方法であって、  
前記コンフィギュレーションメモリ内のプログラマブルデバイスの出力信号を制御する回路情報を格納する出力回路領域の出力を安全な信号レベルに設定するコンフィギュレーションデータを準備し、  
前記コンフィギュレーションメモリのデータ反転障害を検出した際に、前記安全な信号レベルに設定するコンフィギュレーションデータを前記出力回路領域に上書きすることを特徴とするプログラマブルデバイスの障害対策方法。

[図1]

図 1

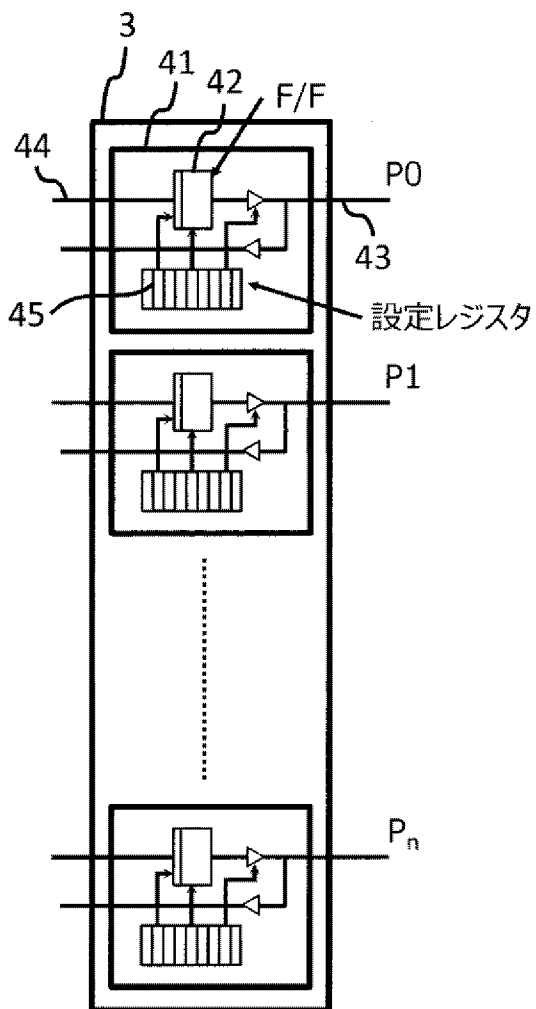


[図2]



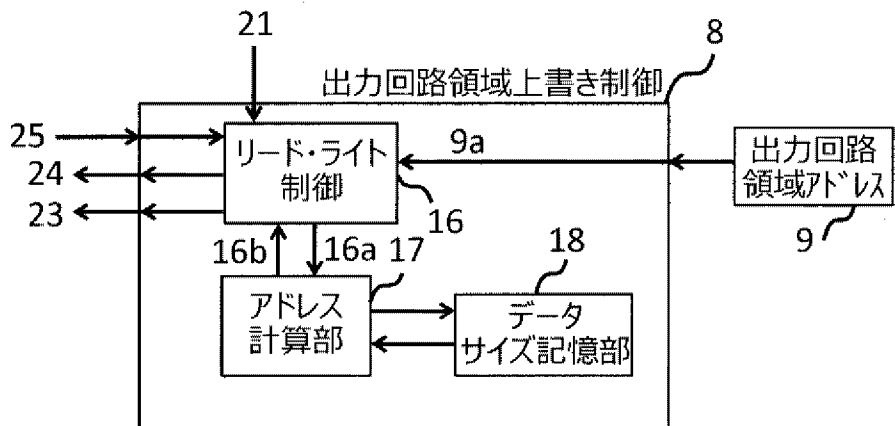
[図3]

図 3



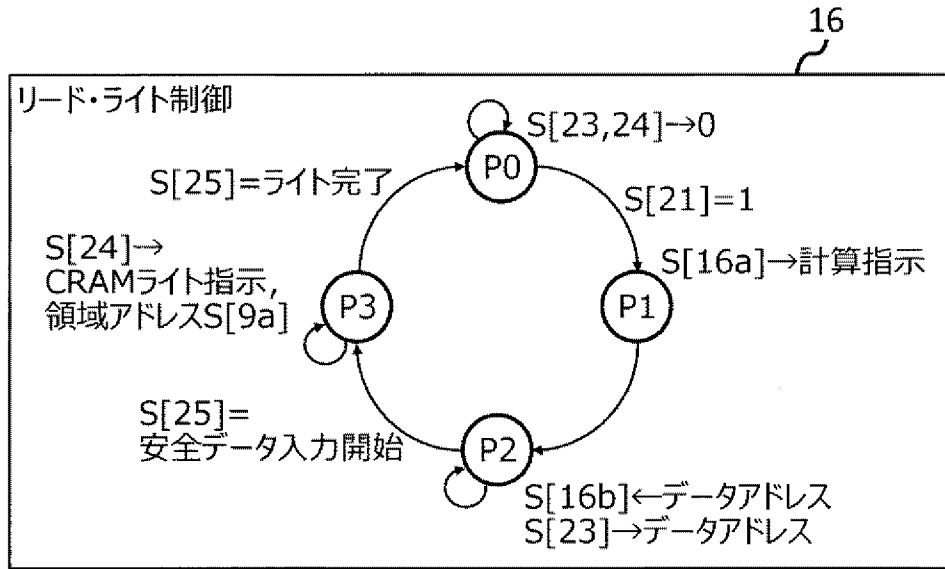
[図4]

図 4



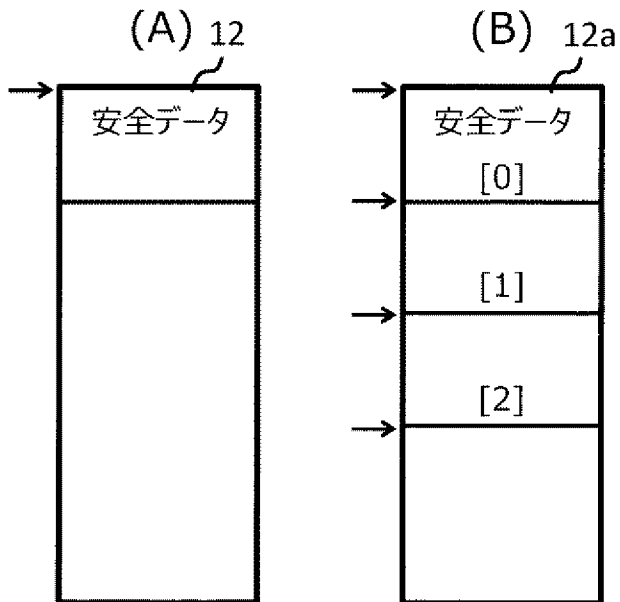
[図5]

図 5



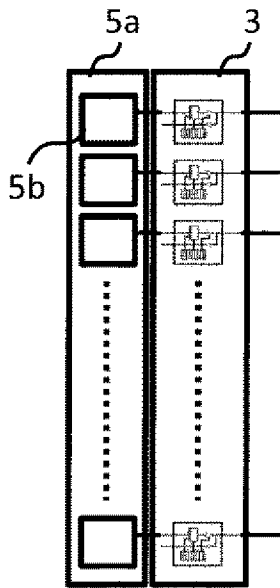
[図6]

図 6



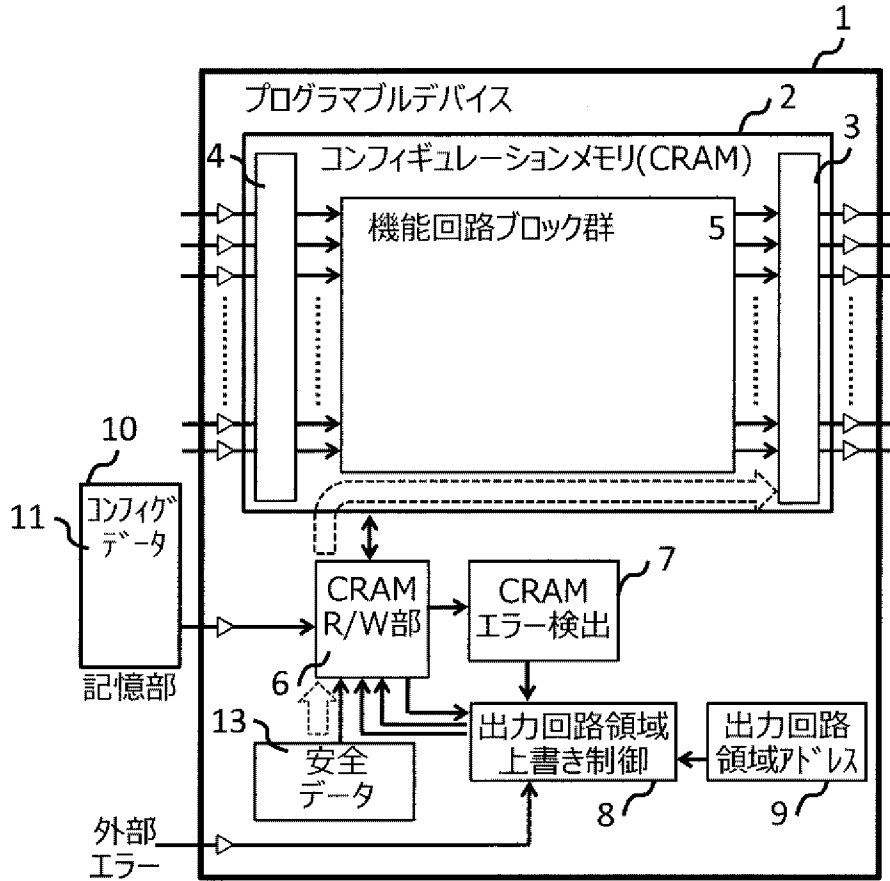
[図7]

図 7



[図8]

図 8

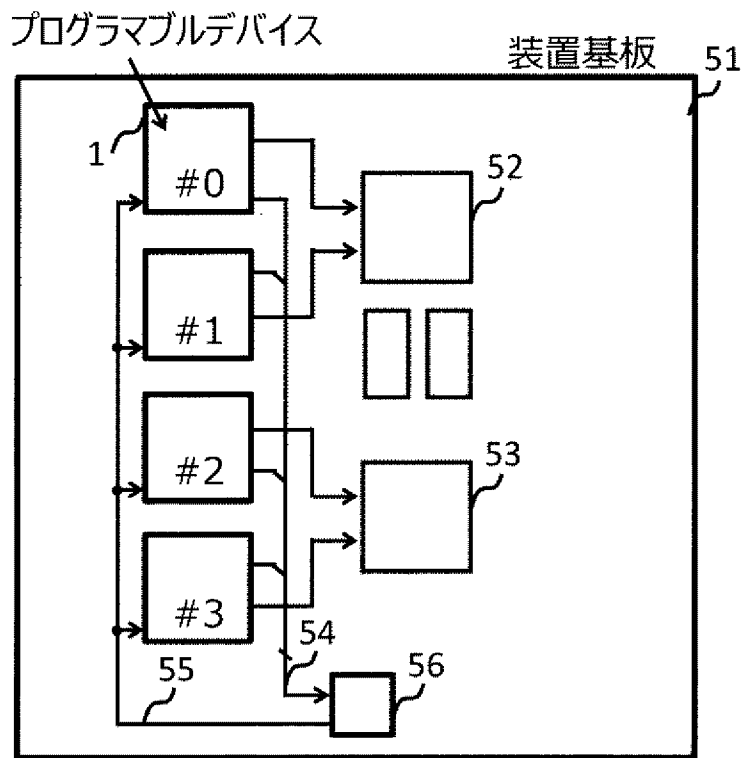






[図11]

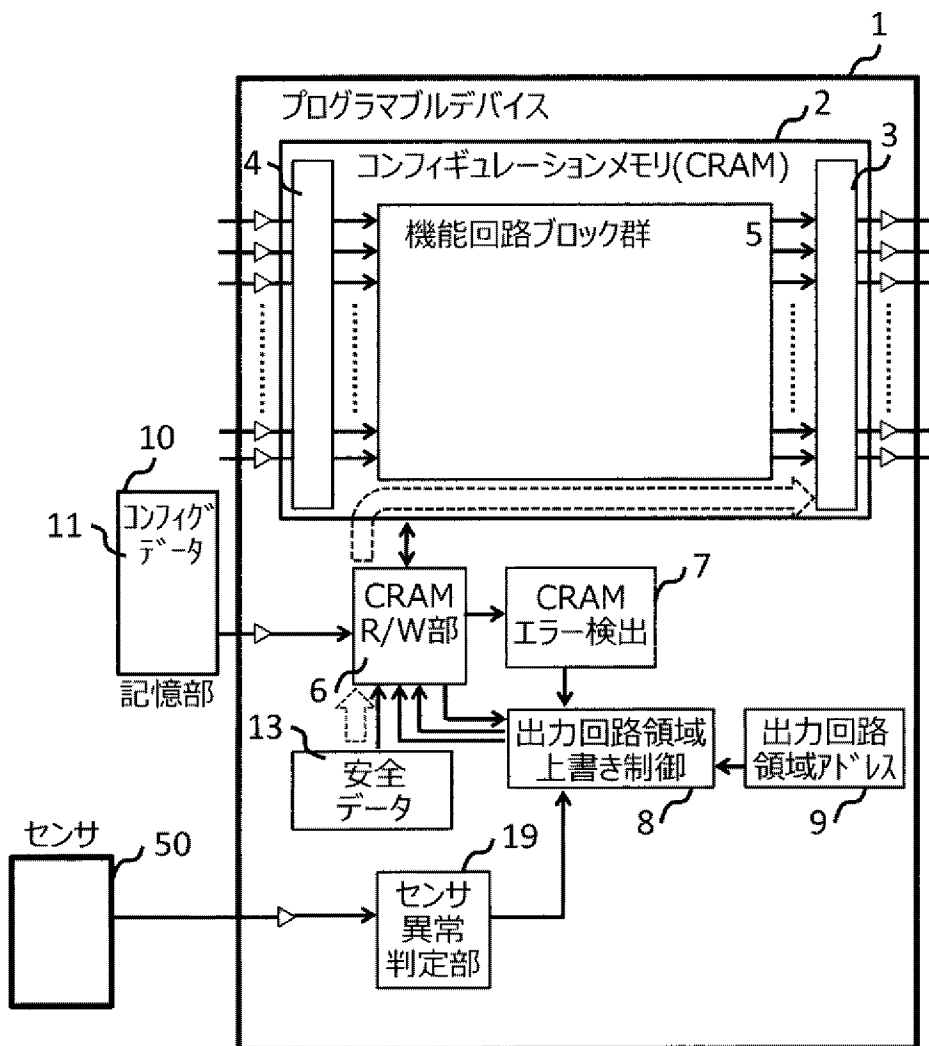
図 1 1



全デバイスを一括で安全状態出力に設定

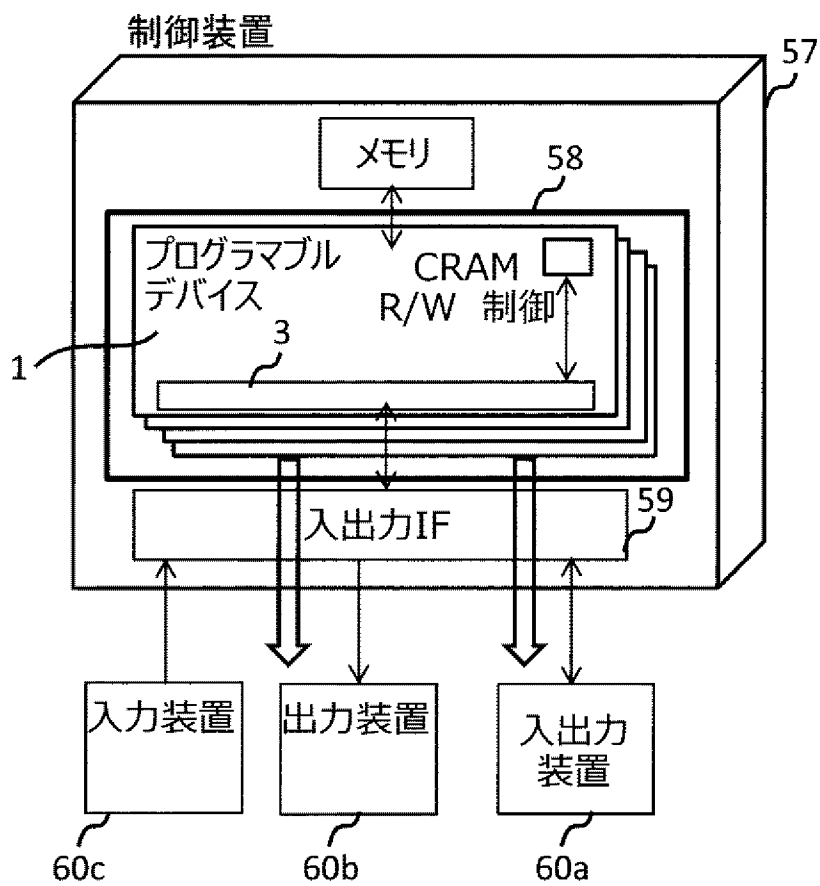
[図12]

図 1 2



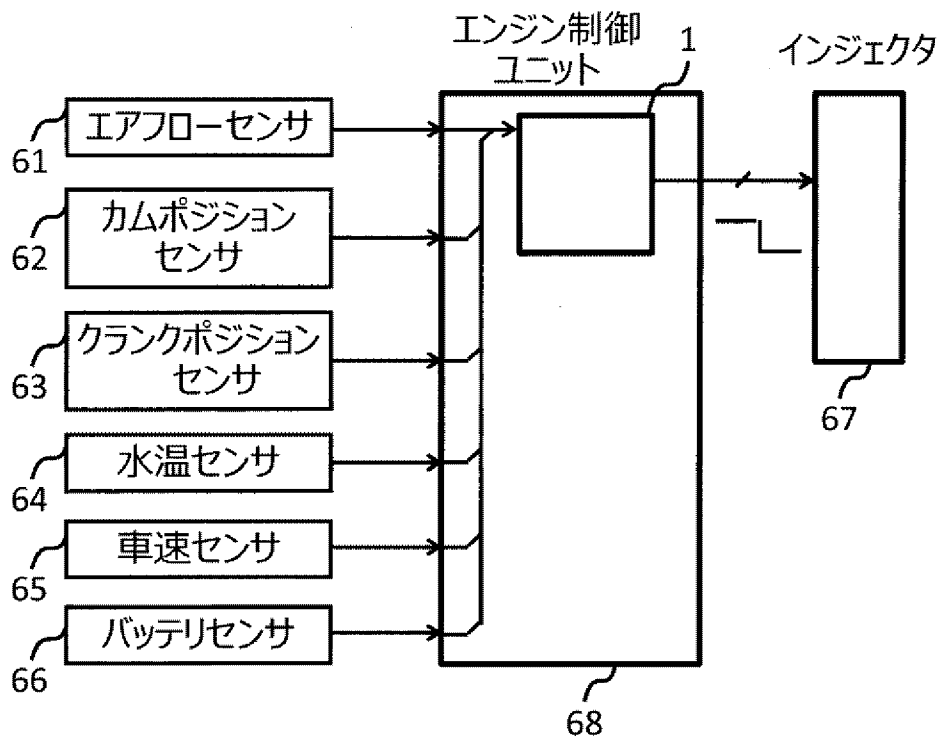
[図13]

図13



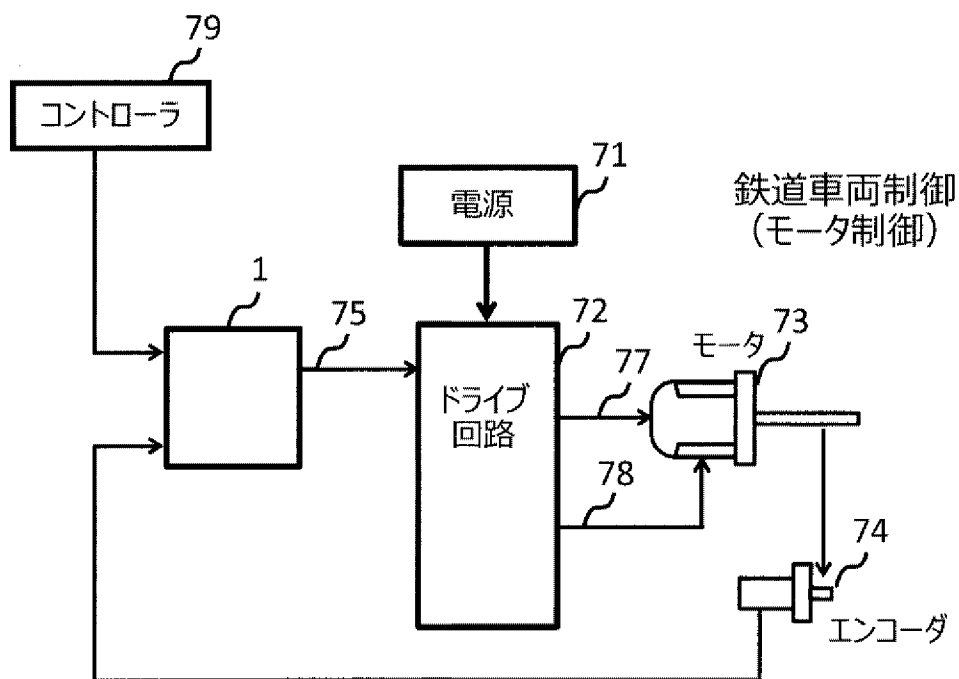
[図14]

図 1 4



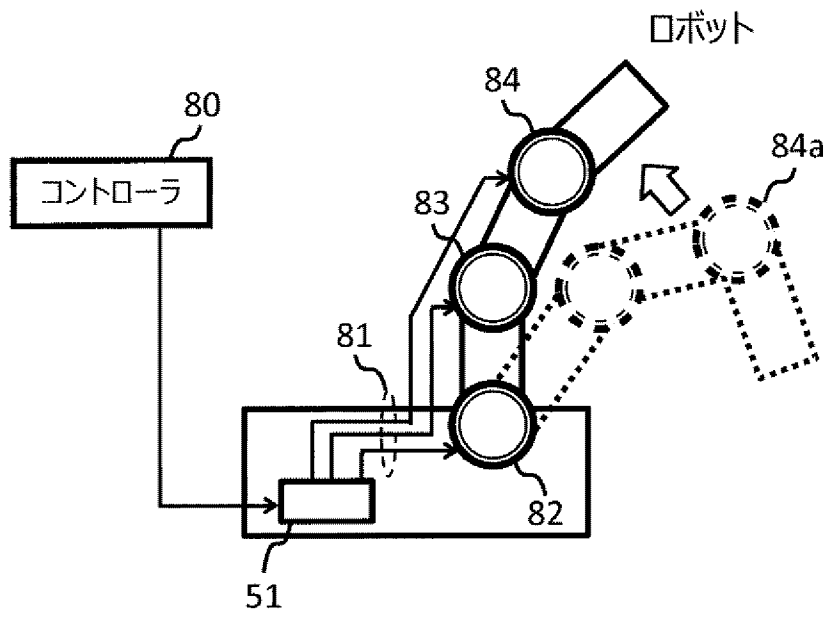
[図15]

図 1 5



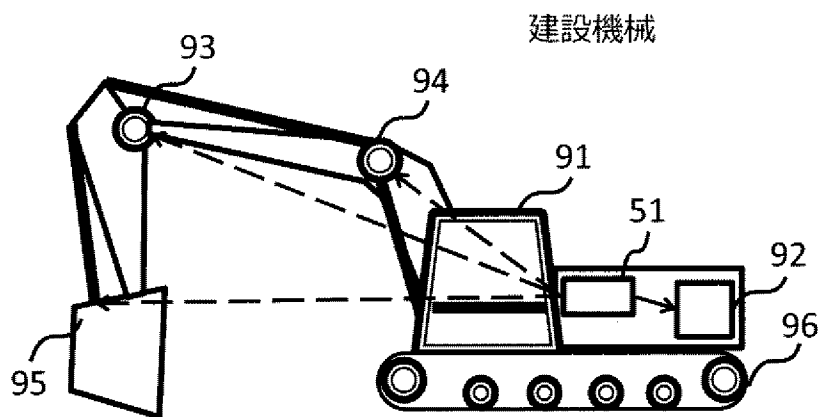
[図16]

図 1 6



[図17]

図 1 7



**INTERNATIONAL SEARCH REPORT**

International application No.  
PCT/JP2015/050283

**A. CLASSIFICATION OF SUBJECT MATTER**  
H03K19/173(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
H03K19/173

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-58419 A (Hitachi, Ltd.), 08 March 2007 (08.03.2007), paragraphs [0051], [0055]; fig. 3, 6 & US 2007/0050689 A1	1-19
A	JP 2008-15965 A (Fuji Xerox Co., Ltd.), 24 January 2008 (24.01.2008), entire text; fig. 1 to 3 (Family: none)	1-19
A	JP 2013-187699 A (Fujitsu Telecom Networks Ltd.), 19 September 2013 (19.09.2013), paragraphs [0008], [0014]; fig. 1 (Family: none)	1-19

Further documents are listed in the continuation of Box C.       See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 26 March 2015 (26.03.15)	Date of mailing of the international search report 07 April 2015 (07.04.15)
---	--

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer  Telephone No.
--	---

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2015/050283

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-357962 A (Hitachi, Ltd.), 26 December 2000 (26.12.2000), paragraph [0105] & US 2002/0044007 A1      & US 6380798 B1 & US 2004/0012397 A1      & EP 986177 A2 & KR 10-2000-0022921 A    & KR 10-2006-0022296 A & CN 1253379 A              & CN 1519906 A	1-19

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H03K19/173(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H03K19/173		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2015年 日本国実用新案登録公報 1996-2015年 日本国登録実用新案公報 1994-2015年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2007-58419 A (株式会社日立製作所) 2007.03.08, 【0051】, 【0055】, 図3, 6 & US 2007/0050689 A1	1-19
A	JP 2008-15965 A (富士ゼロックス株式会社) 2008.01.24, 全文、図1-3 (ファミリーなし)	1-19
A	JP 2013-187699 A (富士通テレコムネットワークス株式会社) 2013.09.19, 【0008】、【0014】、図1 (ファミリーなし)	1-19
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 26.03.2015	国際調査報告の発送日 07.04.2015	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 宮島 郁美 電話番号 03-3581-1101 内線 3596	5 X   8 5 2 3

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2000-357962 A (株式会社日立製作所) 2000. 12. 26, 【0105】 & US 2002/0044007 A1 & US 6380798 B1 & US 2004/0012397 A1 & EP 986177 A2 & KR 10-2000-0022921 A & KR 10-2006-0022296 A & CN 1253379 A & CN 1519906 A	1-19