



(12)发明专利

(10)授权公告号 CN 103913689 B

(45)授权公告日 2017.03.01

(21)申请号 201310013916.6

(22)申请日 2013.01.15

(65)同一申请的已公布的文献号
申请公布号 CN 103913689 A

(43)申请公布日 2014.07.09

(30)优先权数据
102100083 2013.01.03 TW

(73)专利权人 矽品精密工业股份有限公司
地址 中国台湾台中市

(72)发明人 赖佳助 蔡明汎 林河全 庄明翰
方柏翔

(74)专利代理机构 北京戈程知识产权代理有限公司 11314
代理人 程伟 王锦阳

(51)Int.Cl.

G01R 31/26(2014.01)

(56)对比文件

TW 200525160 A, 2005.08.01,
TW 584926 B, 2004.04.21,
TW 200508614 A, 2005.03.01,
TW 201102663 A1, 2011.01.16,

审查员 姜楠

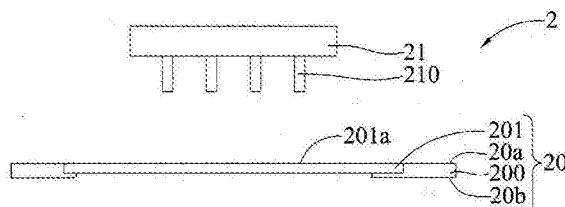
权利要求书1页 说明书5页 附图3页

(54)发明名称

测试装置及测试方法

(57)摘要

一种测试装置及测试方法,该测试方法包括提供一包含承载件及测试件的测试装置,该承载件具有相对的第一表面及第二表面,且该第一表面具有弹性导电区;接着,设置至少一待测组件于该弹性导电区上;之后,将该测试件电性连接该待测组件与该承载件,使该承载件、待测组件及测试件形成电性回路。通过该弹性导电区的设计,仅需施以微小压力即可固定该待测组件,因而能避免该待测组件破碎。



1. 一种测试装置,包括:

承载件,其具有相对的第一表面及第二表面,且该承载件具有贯穿该第一表面及该第二表面的开口,其中于该开口中设有弹性导电区,以供设置至少一待测组件;以及测试件,其于测试时与该弹性导电区电性连接。

2. 根据权利要求1所述的测试装置,其特征在于,该承载件由具有该开口的一环座与一导电层所构成,该导电层位于该环座的该开口中,且该导电层的一侧做为该弹性导电区。

3. 根据权利要求2所述的测试装置,其特征在于,该环座具有供置放该导电层的定位部。

4. 根据权利要求3所述的测试装置,其特征在于,该定位部为形成于该环座的内环面上的阶状结构。

5. 根据权利要求1所述的测试装置,其特征在于,该测试件具有用以电性连接该待测组件的探测部。

6. 根据权利要求1所述的测试装置,其特征在于,该承载件与该测试件通过线路进行电性连接。

7. 一种测试方法,包括:

提供一包含承载件及测试件的测试装置,该承载件具有相对的第一表面及第二表面,且该承载件具有贯穿该第一表面及该第二表面的开口,其中于该开口中设有弹性导电区;设置至少一待测组件于该弹性导电区上;以及

令该测试件电性连接该待测组件与该承载件,使该承载件、待测组件及测试件形成电性回路。

8. 根据权利要求7所述的测试方法,其特征在于,该承载件由具有该开口的一环座与一导电层所构成,该导电层位于该环座的该开口中,且该导电层的一侧做为该弹性导电区。

9. 根据权利要求8所述的测试方法,其特征在于,该环座具有供置放该导电层的定位部。

10. 根据权利要求9所述的测试方法,其特征在于,该定位部为形成于该环座的内环面上的阶状结构。

11. 根据权利要求7项所述的测试方法,其特征在于,该测试件具有电性连接该待测组件的探测部。

12. 根据权利要求11所述的测试方法,其特征在于,是将该探测部碰触该待测组件以电性连接该待测组件。

13. 根据权利要求7所述的测试方法,其特征在于,是将该测试件碰触该待测组件以电性连接该待测组件。

14. 根据权利要求7所述的测试方法,其特征在于,该承载件与该测试件通过线路进行电性连接。

测试装置及测试方法

技术领域

[0001] 本发明涉及一种测试装置及测试方法,尤指一种用于测试半导体组件的测试装置及测试方法。

背景技术

[0002] 随着电子产品向轻薄短小高密度发展,电子产品功能多样化与体积轻薄化的需求与日俱增,伴随着半导体工艺技术的进步,在一定面积上整合更多电子零件与功能遂成为电子产品的趋势,所以遂将芯片立体堆栈化整合为三维集成电路(3D IC)芯片堆栈技术。

[0003] 目前三维集成电路芯片堆栈技术是将不同功能、性质或基板的芯片,各自采用最合适的工艺分别制作后,再利用硅穿孔(Through-Silicon Via,TSV)技术进行立体堆栈整合(即所谓的2.5D IC技术),以有效缩短线路传导路径的长度,因而能降低导通电阻,且能减少芯片面积,进而具有体积小、高整合度、高效率、低耗电量及低成本等优点,并同时符合数字电子轻薄短小的需求。

[0004] 其中,三维集成电路芯片结构(或2.5D IC)的工艺中,为避免不良品的增加影响产率,构装前的先行过滤出电性功能不良的芯片为量产的关键,且具有TSV的半导体组件的电性测试更为关键,因此封装前晶圆针测(chip probe,CP)尤其重要。

[0005] 如图1A及图1B所示,将一具导电硅穿孔90的晶圆基板9结合一芯片8进行封装前晶圆针测(CP),其方式为将一待测组件7(即芯片8与具导电硅穿孔90的晶圆基板9)置放于一测试装置1上,该测试装置1具有一基座10与一上盖11,且通过气压接合方式,使该基座10、待测组件7与上盖11相密合,以令该上盖11的弹簧针(PogoPin)110电性连接该晶圆基板9上侧的电性接点91,且该基座10的线路100与导电凸块101电性连接该晶圆基板9下侧的电性接点92,以通过另一组弹簧针(图略)接触该导电凸块101而进行测试,以形成双面(上、下侧)针测电路回路L1及L2。

[0006] 然而,一般具导电硅穿孔90的晶圆基板9的厚度偏薄,约10至180 μm ,所以于晶圆针测中,当该弹簧针110下压时,该晶圆基板9容易破碎。

[0007] 此外,由于该晶圆基板9并未确实与该基座10牢固结合,使用气压接合的方式时,更容易损伤该晶圆基板9。

[0008] 此外,现有测试装置1中,因气压接合方式的对位较不准确,所以该待测组件7与测试装置1所形成的双面针测电路回路L1,L2容易发生对位失准的问题。

[0009] 因此,如何克服现有技术中的种种问题,实已成目前亟欲解决的课题。

发明内容

[0010] 鉴于上述现有技术的缺点,本发明的主要目的在于揭露一种测试装置及测试方法,通过该弹性导电区的设计,仅需施以微小压力即可固定该待测组件,因而能避免该待测组件破碎。

[0011] 本发明的测试装置包括:承载件,其具有相对的第一表面及第二表面,且该第一表

面具有弹性导电区,以供设置至少一待测组件;以及测试件,于测试时与该弹性导电区电性连接。

[0012] 本发明还揭露一种测试方法,包括:提供一承载件及测试件的测试装置,该承载件具有相对的第一表面及第二表面,且该第一表面具有弹性导电区;设置至少一待测组件于该弹性导电区上;以及令该测试件电性连接该待测组件与该承载件,使该承载件、待测组件及测试件形成电性回路。

[0013] 前述的测试方法中,是将该测试件碰触该待测组件以电性连接该待测组件。

[0014] 前述的测试方法中,该承载件与该测试件通过线路进行电性连接。

[0015] 前述的测试装置及测试方法中,该承载件由一环座与一导电层所构成,该导电层位于该环座上,且该导电层的一侧做为该弹性导电区。其中,该环座具有供置放该导电层的定位部,例如,形成于该环座的内环面上的阶状结构。

[0016] 前述的测试装置及测试方法中,该承载件由一板座与一形成于该板座上的导电层所构成。

[0017] 另外,前述的测试装置及测试方法中,该测试件具有电性连接该待测组件的探测部,以通过碰触该待测组件而电性连接该待测组件。

[0018] 由上可知,本发明的测试装置及测试方法,通过该弹性导电区的设计,所以仅需施以微小压力即可固定该待测组件,因而能避免该待测组件破碎,且因该弹性导电区为一整面导体,所以当该待测组件的电性接点产生偏移,该些电性接点仍全部接触该弹性导电区,因而该待测组件无对位的问题。

[0019] 此外,当该待测组件的电性接点高度不一致时,仍可通过微小下压力,使高度较高的电性接点咬入该弹性导电区中,而高度较低的电性接点接触该弹性导电区表面,所以全部电性接点均能接触该弹性导电区,以维持电性连接品质的稳定性。

附图说明

[0020] 图1A至图1B为现有测量装置与待测组件的测试方法的侧视示意图;

[0021] 图2A为本发明的测试装置的侧视示意图;

[0022] 图2A'为本发明的测试装置的承载件的立体分解示意图;

[0023] 图2B为本发明的测试方式的侧视示意图;

[0024] 图2B'为图2B的局部放大图;以及

[0025] 图3为本发明的测试装置的另一实施例的侧视示意图。

[0026] 符号说明

[0027] 1、2、2' 测试装置

[0028] 10 基座

[0029] 100、22 线路

[0030] 101 导电凸块

[0031] 11 上盖

[0032] 110 弹簧针

[0033] 20、20' 承载件

[0034] 20a 第一表面

[0035]	20b	第二表面
[0036]	200	环座
[0037]	200a	定位部
[0038]	200'	板座
[0039]	201、201'	导电层
[0040]	201a、201a'	弹性导电区
[0041]	21	测试件
[0042]	210	探测部
[0043]	3、7	待测组件
[0044]	30、90	导电硅穿孔
[0045]	31	第一导电凸块
[0046]	32、32'	第二导电凸块
[0047]	33	线路重布结构
[0048]	8	芯片
[0049]	9	晶圆基板
[0050]	91、92	电性接点
[0051]	L1、L2	针测电路回路。

具体实施方式

[0052] 以下通过特定的具体实施例说明本发明的实施方式,本领域技术人员可由本说明书所揭示的内容轻易地了解本发明的其它优点及功效。

[0053] 须知,本说明书所附图式所绘示的结构、比例、大小等,均仅用以配合说明书所揭示的内容,以供本领域技术人员的了解与阅读,并非用以限定本发明可实施的限定条件,所以不具技术上的实质意义,任何结构的修饰、比例关系的改变或大小的调整,在不影响本发明所能产生的功效及所能达成的目的下,均应仍落在本发明所揭示的技术内容得能涵盖的范围内。同时,本说明书中所引用的如“上侧”、“第一”、“第二”及“一”等的用语,也仅为便于叙述的明了,而非用以限定本发明可实施的范围,其相对关系的改变或调整,在无实质变更技术内容下,当也视为本发明可实施的范畴。

[0054] 图2A及图2A'为本发明的测试装置2的示意图。如图2A及图2A'所示,所述的测试装置2包括一承载件20以及一测试件21。

[0055] 所述的承载件20具有相对的第一表面20a及第二表面20b,且该第一表面20a定义出弹性导电区201a。

[0056] 于本实施例中,该承载件20由一环座200与一导电层201构成,该导电层201位于该环座200的环中,且该导电层201的上侧做为该弹性导电区201a。

[0057] 该环座200具有供置放该导电层201的定位部200a,例如,于该环座200的内环面上形成阶状结构以作为该定位部200a;于其它实施例中,该定位部也可为凹凸结构、柱体等,并无特别限制。

[0058] 该导电层201为导电胶或导电膜(如金属膜),其材料为具粘着功能的导电材料,例如导电环氧树脂(conductive epoxy)、银胶,但不限于此。

[0059] 所述的测试件21具有探测部210。于本实施例中,该测试件21为探针卡,且该测试件21内部具有发电机(current generator,图略)、放大电路(amplifier circuit,图略)及比较电路(Comparator circuit,图略),配置电性导通该比较电路的一LED灯具(图略)。

[0060] 于所述的测试装置2中,该测试件21通过线路22(如图2B所示),以电性连接至该承载件20,以形成导通回路。

[0061] 图2B为应用本发明的测试装置2所进行的测试方法的侧视示意图。

[0062] 首先,设置至少一待测组件3于该弹性导电区201a上,以令该待测组件3通过该导电层201电性连接该环座200。接着,将该探测部210碰触该待测组件3,使该测试件21电性连接该待测组件3,且通过至少一线路22电性连接该环座200与该测试件21,使该弹性导电区201a、待测组件3及测试件21形成电性回路,以进行电性测试。

[0063] 于本实施例中,所述的待测组件3为具有导电硅穿孔(Through silicon via,TSV)30的中介板(interposer),且该待测组件3的尺寸可为晶粒或晶圆,而该待测组件3的上侧与下侧分别具有线路重布结构(redistribution layer,RDL)33,且该上侧与下侧的线路重布结构33分别具有多个第一导电凸块31与第二导电凸块32,以供作电性接点,令该探测部210碰触该第一导电凸块31,而该第二导电凸块32接触该弹性导电区201a。于其它实施例中,该待测组件3也可为其它结构或其它电子组件(如图1A的待测组件7),并不限于上述。

[0064] 此外,该第一导电凸块31的直径为80um且高度为75um,而各该第一导电凸块31之间的距离为150um。该第二导电凸块32的直径为80um,而各该第二导电凸块32之间的距离为250um。

[0065] 于电性测试作业中,该待测组件3的导电硅穿孔30作为电阻,且该测试件21的发电机将提供一电流经该探测部210而流至该待测组件3的导电硅穿孔30,并提供一电压至该测试件21的放大电路,再将经由该放大电路放大后的电压输送至该测试件21的比较电路,以通过该比较电路中内建的参考数据进行比对,之后将比对后的信号输送至该测试件21的LED灯具,若该LED灯具闪灯,则表示该导电硅穿孔30的导电功能良好。

[0066] 另外,该承载件20也可结合现有封装厂的晶粒取放机,以自动将该待测组件3放入该测试装置2中,可提升工艺效率并降低成本。

[0067] 本发明的测试方法中,通过该弹性导电区201a的设计,所以仅需施以微小压力即可使该待测组件3夹固于该测试件21与该承载件20之间,以避免该待测组件3破碎,且因该弹性导电区201a能缓冲该测试件21施于该待测组件3上的压力,而更能避免该待测组件3被压碎。

[0068] 此外,若该弹性导电区201a为胶材,仅需施以更微小压力即可固定该待测组件3,因而更能避免该待测组件3破碎。

[0069] 又,因该弹性导电区201a为一整面导体,而使该第二导电凸块32无对位的问题,也就是当该些第二导电凸块32产生偏移,该些第二导电凸块32仍完全接触该弹性导电区201a而呈现电性导通的状态。

[0070] 另外,如图2B'所示,当各该第二导电凸块32,32'的高度不一致时,仍可通过微小下压力,使全部的第二导电凸块32,32'接触该弹性导电区201a,也就是高度较高的第二导电凸块32'会咬入该弹性导电区201a中,而高度较低的第二导电凸块32接触该弹性导电区201a表面,藉以维持电性连接品质的稳定性。

[0071] 图3为本发明的测试装置2'的另一实施例的侧视示意图。本实施例与上述实施例的差异在于该承载件20'的结构。

[0072] 于本实施例中,该承载件20'由一板座200'与一导电层201'构成,该导电层201'形成于该板座200'的表面上,例如,以贴附薄膜的方式形成该导电层201',藉以于该板座200'的表面上形成弹性导电区201a'。

[0073] 综上所述,本发明的测试装置及测试方法,主要通过该弹性导电区的设计,因而仅需施以微小压力即能固定该待测组件,所以不仅能避免该待测组件破碎,且能避免因对位不良而影响电性测试的问题。

[0074] 此外,当该待测组件的电性接点高度不一致时,能通过将部分电性接点压入该弹性导电区中,使全部电性接点接触该弹性导电区,以稳定维持电性连接的品质。

[0075] 此外,本发明的测试装置不需额外的固定件即可稳固接着且电性连接该待测组件,因而不会受到该待测组件的大小形状的限制,所以本发明的测试方法不仅适用于封装前的晶圆针测,也能广泛的适用于封装后的功能测试,实具广泛且灵活的应用性。

[0076] 上述实施例仅用以例示性说明本发明的原理及其功效,而非用于限制本发明。任何本领域技术人员均可在不违背本发明的精神及范畴下,对上述实施例进行修改。因此本发明的权利保护范围,应如权利要求书所列。

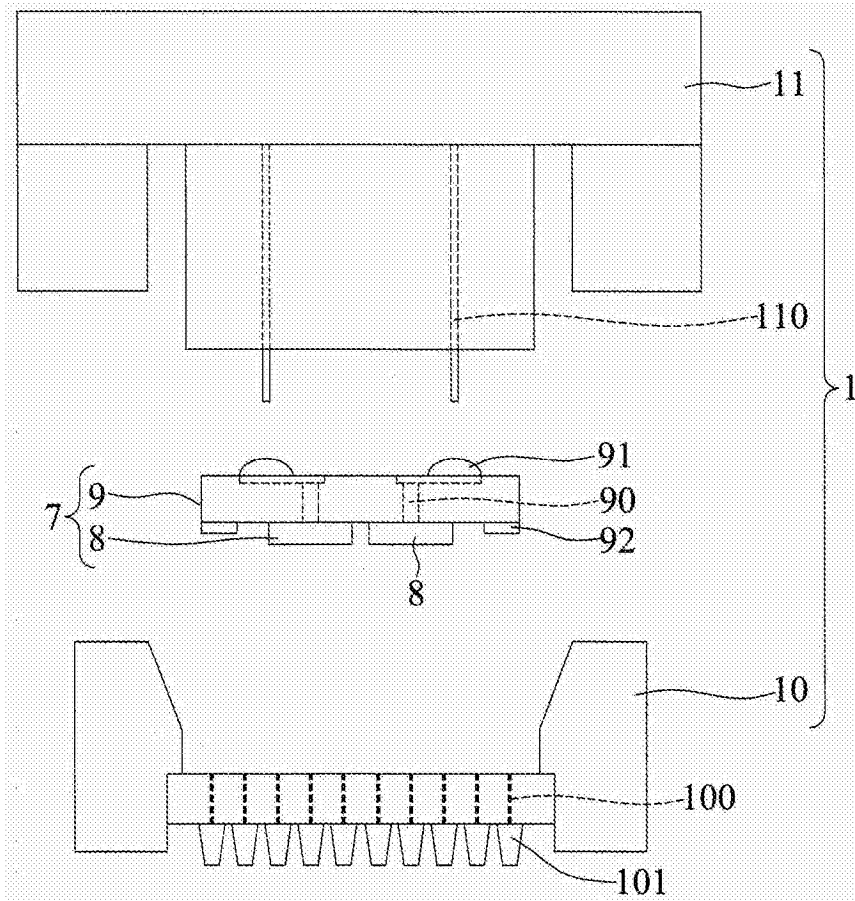


图1A

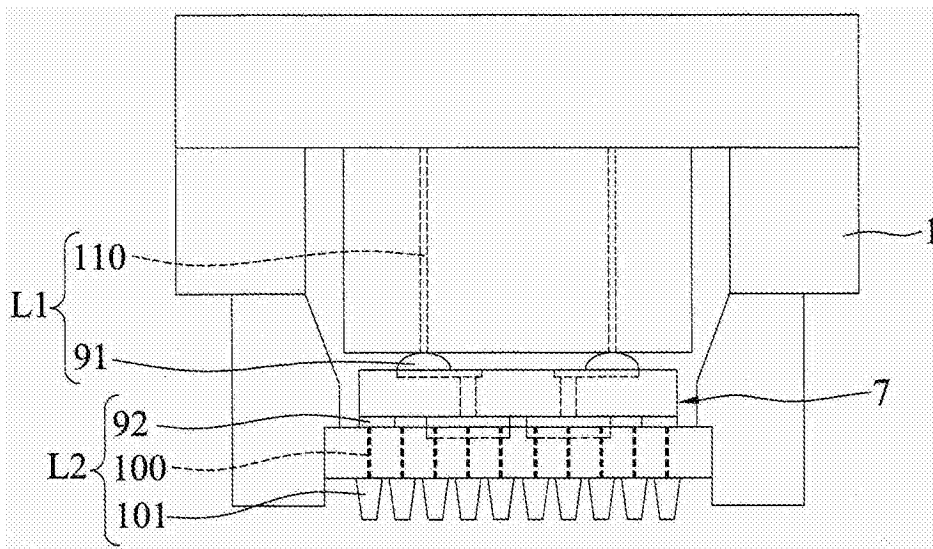


图1B

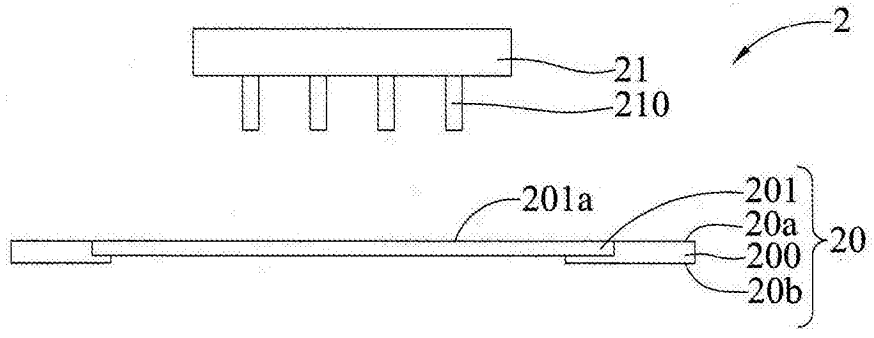


图2A

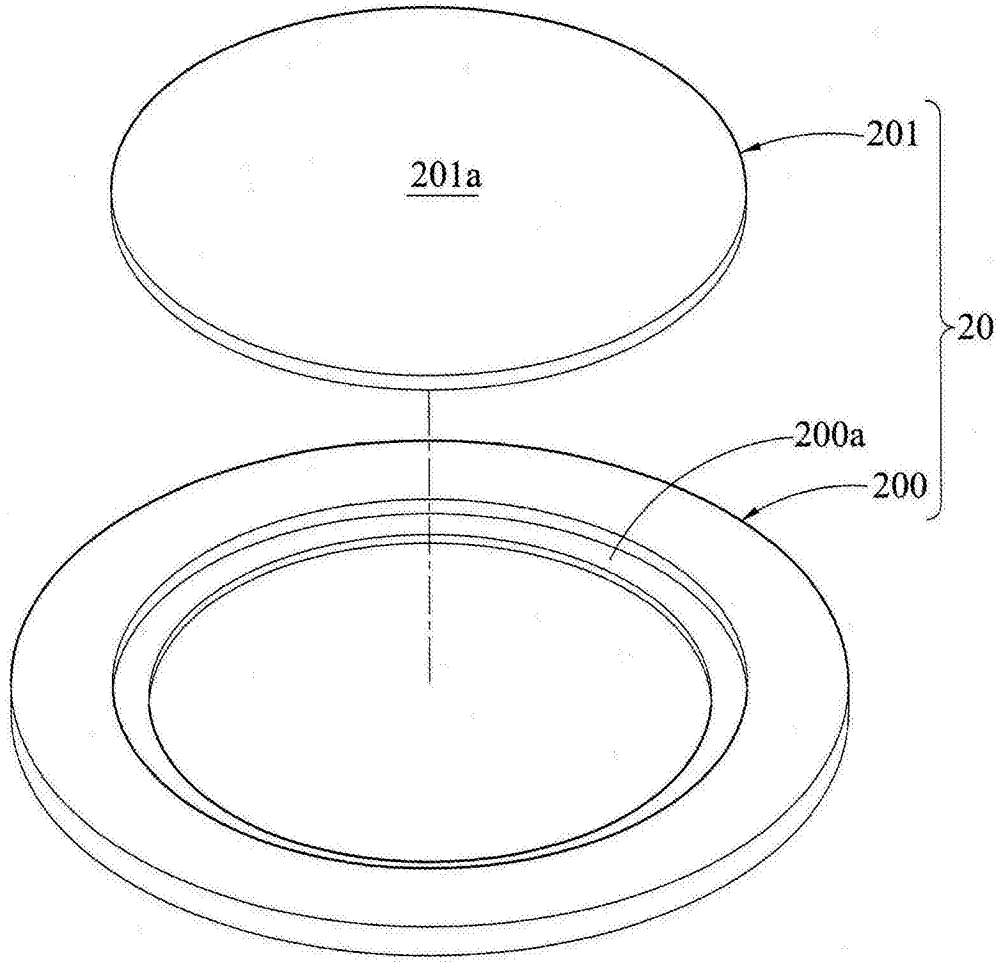


图2A'

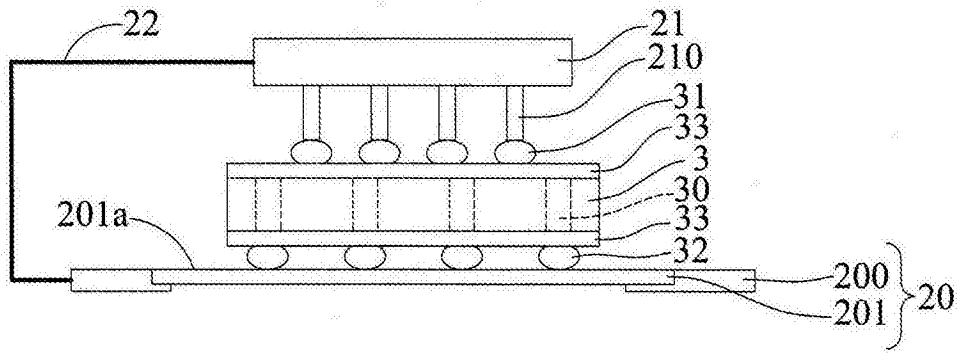


图2B

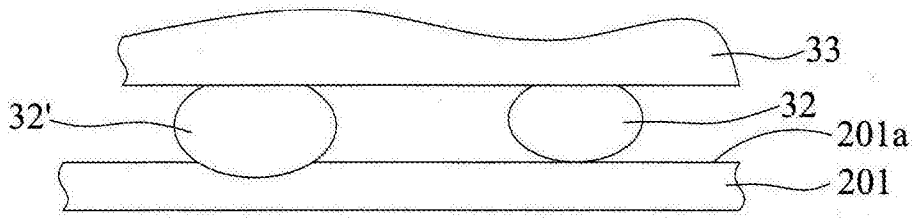


图2B'

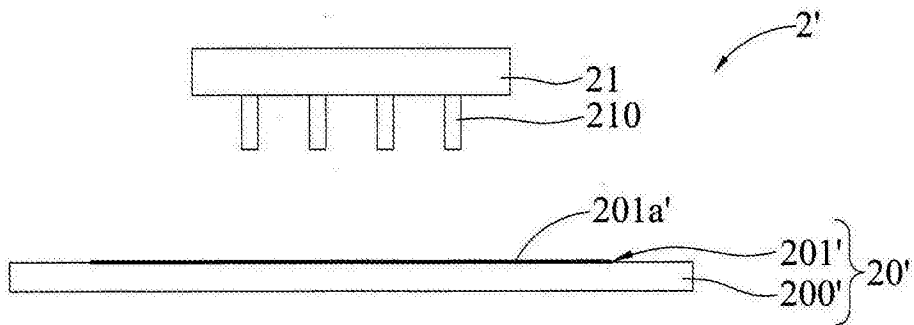


图3