

⑤④ ENSEMBLE COMPRENANT AU MOINS DEUX MÉMOIRES RÉSISTIVES NON-VOLATILES ET UN SÉLECTEUR, MATRICE ET PROCÉDÉS DE FABRICATION ASSOCIÉS.

②② Date de dépôt : 23.12.21.

③③ Priorité :

⑥⑥ Références à d'autres documents nationaux apparentés :

☐ Demande(s) d'extension :

⑦① Demandeur(s) : COMMISSARIAT A L'ENERGIE ATOMIQUE ET AUX ENERGIES ALTERNATIVES
Organisme à but non lucratif du secteur de la recherche —FR et WEEBIT NANO LTD Société à responsabilité limitée de droit israélien — IL.

④③ Date de mise à la disposition du public de la demande : 30.06.23 Bulletin 23/26.

④⑤ Date de la mise à disposition du public du brevet d'invention : 20.09.24 Bulletin 24/38.

⑦② Inventeur(s) : DORY Jean-Baptiste, MOLAS Gabriel, NODIN Jean-François et VERDY Anthonin.

⑤⑥ Liste des documents cités dans le rapport de recherche :

Se reporter à la fin du présent fascicule

⑦③ Titulaire(s) : COMMISSARIAT A L'ENERGIE ATOMIQUE ET AUX ENERGIES ALTERNATIVES
Organisme à but non lucratif du secteur de la recherche, WEEBIT NANO LTD Société à responsabilité limitée de droit israélien.

⑦④ Mandataire(s) : Cabinet CAMUS LEBKIRI.



Description

Titre de l'invention : ENSEMBLE COMPRENANT AU MOINS DEUX MÉMOIRES RÉSISTIVES NON-VOLATILES ET UN SÉLECTEUR, MATRICE ET PROCÉDÉS DE FABRICATION ASSOCIÉS

DOMAINE TECHNIQUE DE L'INVENTION

- [0001] Le domaine technique de l'invention est celui des mémoires résistives non-volatiles. Il concerne également la fabrication de telles mémoires.

ARRIÈRE-PLAN TECHNOLOGIQUE DE L'INVENTION

- [0002] L'invention s'insère dans le développement de matrices de mémoires dites « crossbar » en anglais, dans lesquelles une pluralité de points mémoire sont chacun situés au croisement entre une ligne conductrice et une colonne conductrice. Chaque point mémoire est alors adressé, par exemple par l'application d'une tension entre la ligne conductrice et la colonne conductrice auxquelles il est connecté.
- [0003] L'invention concerne plus particulièrement des points mémoire comprenant une mémoire résistive, c'est à dire une mémoire dans laquelle l'information est stockée sous la forme d'une valeur de résistance électrique. Une mémoire résistive peut être de différents types, selon les phénomènes mis en œuvre pour écrire, stocker et lire l'information.
- [0004] Les mémoires résistives sont typiquement réalisées dans des couches situées au-dessus d'un substrat (par exemple un substrat en Silicium) sur lequel est réalisée la matrice. On parle alors de composants appartenant au BEOL pour « Back-End-Of-Line » en anglais (fabriqués lors des étapes finales de fabrication), contrairement aux composants appartenant au FEOL pour « Front-End-Of-Line » (FEOL) en anglais. Les composants appartenant au BEOL sont par exemple intégrés entre les niveaux métalliques d'interconnexion. Les composants FEOL sont fabriqués à la surface du substrat (diodes et transistors CMOS par exemple).
- [0005] Par exemple, une mémoire dite « à changement de phase » ou PCRAM pour « Phase Change Random Access Memory » en anglais met en œuvre le fort contraste de propriétés électroniques entre une phase amorphe et une phase cristalline d'un matériau.
- [0006] Une mémoire dite « à pont conducteur » ou CBRAM pour « Conductive Bridge RAM » en anglais, met en œuvre la formation/dissolution d'un filament conducteur dans un électrolyte solide suite à une diffusion d'ions provenant d'une électrode active.
- [0007] Une mémoire dite « à claquage réversible d'oxyde » ou OxRAM pour « Oxide RAM » en anglais, met en œuvre le claquage réversible d'un matériau diélectrique en

fonction d'une tension électrique appliquée à ce matériau.

- [0008] Une mémoire dite magnétique ou MRAM pour « Magnetic RAM » en anglais, met en œuvre l'aimantation relative entre une couche magnétique de référence et une couche magnétique programmable.
- [0009] L'utilisation des mémoires résistives se révèle une solution prometteuse pour l'augmenter la densité des matrices de mémoires. Elles s'insèrent également dans le développement de nouvelles applications telles que le calcul dit « neuromorphique » ou le développement d'une nouvelle classe de mémoires appelée « Storage Class Memory » en anglais. Cependant, les mémoires résistives peuvent présenter différents inconvénients.
- [0010] Dans une matrice de points mémoire, une pluralité de mémoires résistives sont connectées à une même ligne ou une même colonne. L'application d'une tension d'adressage aux bornes d'une de ces mémoires (par exemple pour la lire) crée toutefois un courant de fuite non-négligeable au niveau des autres mémoires de la même ligne, et de la même colonne. Ce courant de fuite dégrade les capacités de lecture et/ou d'écriture de l'information au niveau d'une des mémoires.
- [0011] Afin de résoudre ce problème, il est connu d'ajouter des dispositifs de sélection, appelé « sélecteurs », relié chacun en série avec chaque mémoire (agencement de type « 1S1R »). L'activation d'un seul sélecteur parmi la pluralité des sélecteurs permet ainsi de sélectionner une seule mémoire, tandis que les autres sélecteurs, bloqués, suppriment ou réduisent les courants de fuites des autres mémoires.
- [0012] Un type de sélecteur cointégré dans le « back-end », appelé sélecteur « cointégré » ou sélecteur « back end » dans la suite, offre une facilité de cointégration avec la mémoire, en série avec celle-ci, ses dimensions pouvant être ajustées aux dimensions de la mémoire résistive. En effet, l'état passant d'un sélecteur « back-end » est suffisamment conducteur et permet de réduire ses dimensions au même niveau que celles de la mémoire avec laquelle il peut être connecté en série. Par ailleurs, un sélecteur « back-end » peut être formé de couches déposées sur ou sous un couche mémoire, et gravées en bloc, en même temps que la couche mémoire. Il existe plusieurs types de sélecteurs back-end. Il existe plusieurs types de sélecteurs back-end dont une liste non exhaustive regroupe les types suivants :
- [0013] Un sélecteur ovonique à seuil ou OTS pour « Ovonic Threshold Switching » en anglais, met en œuvre une propriété caractéristique de certains matériaux chalcogénures ; Il s'agit du passage, sous l'effet d'un champ électrique, d'un état résistif à un état conducteur métastable ; L'état conducteur métastable peut être maintenu aussi longtemps qu'un courant de maintien circule dans le sélecteur OTS ; En dehors de quoi, le sélecteur OTS retrouve l'état résistif (état bloqué) ;
- [0014] Un sélecteur à pont conducteur instable ou TS pour « Threshold Switch » en anglais,

met en œuvre la formation d'un filament métallique métastable par la diffusion, sous l'effet d'un champ électrique, d'une électrode active dans un électrolyte ; Lorsque le champ n'est plus appliqué, le filament métallique métastable se dissout ;

[0015] Un sélecteur à conduction électronique et ionique ou MIEC pour « Mixed ion-electronic conduction » en anglais, met en œuvre la mobilité d'ions métalliques permettant la création d'un courant électrique sous l'effet d'un champ électrique ;

[0016] Un sélecteur à transition métal-isolant met en œuvre un matériau à forte corrélation électronique nécessitant l'application d'un champ électrique dépassant un champ seuil pour créer un courant électrique, le champ seuil étant fonction de la répulsion coulombienne forçant la localisation des électrons libres dudit matériau ;

[0017] Un sélecteur à barrière Schottky ou barrière tunnel mettant en œuvre une forte non-linéarité dans sa caractéristique courant-tension.

[0018] Un point mémoire comprenant un sélecteur « back-end » offre un encombrement réduit et sa fabrication est commode (il peut être gravé en même temps que la partie mémoire résistive du point mémoire). Toutefois, la bonne fonctionnalité de l'ensemble repose sur une faible variabilité des propriétés électriques de son sélecteur et de sa mémoire.

[0019] Dans ce contexte, il est connu de mettre en œuvre un transistor ou une diode de sélection à la place d'un sélecteur « back-end », (en effet, les transistors ou les diodes de sélection permettent de réaliser la même fonction qu'un sélecteur cointégrable dans le back-end), et de mettre en œuvre un agencement de type « 1TnR » où n est le nombre de mémoires partagées par un même transistor. Comme plusieurs mémoires partagent le même « sélecteur » (plus précisément, le même transistor), le problème de variabilité des caractéristiques individuelles, d'un sélecteur à l'autre, est en partie résolu (en tout cas à l'échelle du groupe de n mémoires en question). Mais l'utilisation d'un transistor comme sélecteur augmente nettement l'encombrement de l'ensemble.

[0020] Il existe donc un besoin de fournir un ensemble comprenant au moins une mémoire résistive associée à un sélecteur de type « back-end », qui soit peu encombrant, commode à fabriquer, et dans lequel le problème de variabilité mentionné ci-dessus soit au moins partiellement résolu.

Résumé de l'invention

[0021] L'invention concerne un ensemble comprenant au moins deux mémoires résistives non volatiles disposées électriquement en parallèle entre elles et étant chacune électriquement connectées en série à une couche sélectrice commune, l'ensemble comprenant :

- un empilement sélecteur, comprenant :
 - une couche sélectrice qui s'étend parallèlement à un plan donné ;

- une électrode supérieure de sélecteur s'étendant sur la couche sélectrice, l'électrode supérieure étant délimitée latéralement par une surface latérale ;
- un premier empilement mémoire, qui s'étend de manière oblique ou perpendiculaire par rapport audit plan, comprenant une première couche active, une partie au moins de la première couche active s'étendant contre une partie de la surface latérale de l'électrode supérieure de sélecteur ;
- un deuxième empilement mémoire, qui s'étend de manière oblique ou perpendiculaire par rapport audit plan, comprenant une deuxième couche active, une partie au moins de la deuxième couche active s'étendant contre une autre partie de la surface latérale de l'électrode supérieure de sélecteur ;
- les premier et deuxième empilements mémoire étant disjoints, sans contact électrique direct entre eux ;
- un premier contact électrique, la première couche active étant connectée électriquement entre, le premier contact électrique d'une part, et, l'électrode supérieure de sélecteur d'autre part ;
- un deuxième contact électrique, la deuxième couche active étant connectée électriquement entre, le deuxième contact électrique d'une part, et, l'électrode supérieure de sélecteur d'autre part ;
- l'électrode supérieure de sélecteur étant commune aux premier et deuxième empilements mémoire tandis que les premier et deuxième contacts sont isolés électriquement l'un de l'autre, sans contact électrique direct entre eux.

[0022] Les premier et deuxième empilements mémoires, adressables indépendamment l'un de l'autre, permettent de stocker de manière distincte une information de manière non volatile. Chaque information peut être encodée sous la forme d'une valeur de résistance dans les première et deuxième couches actives.

[0023] Comme expliqué en détail en référence aux figures, l'orientation oblique par rapport au plan en question, ou même perpendiculaire à ce plan, d'une partie au moins des première et deuxième couches actives, combinée à l'utilisation d'une même couche sélectrice commune, horizontale, permet d'étendre la couche sélectrice tout en maintenant un encombrement réduit, et conduit ainsi à une variabilité réduite (meilleure reproductibilité/prédictibilité) des caractéristiques électriques de ce dispositif mémoire.

[0024] La partie de la première couche active, qui s'étend contre la partie en question de la surface latérale de l'électrode supérieure de sélecteur, peut s'étendre directement contre cette surface latérale (i.e. : sans couche intermédiaire), ou s'étendre contre cette surface latérale par l'intermédiaire d'une couche annexe intercalée entre les deux. Quoiqu'il en soit, cette partie de la première couche active s'étend en vis-à-vis de cette partie de la

surface latérale de l'électrode supérieure de sélecteur, par exemple parallèlement à celle-ci.

[0025] Il en est de même pour la partie de la deuxième couche active, qui s'étend contre l'autre partie de la surface latérale de l'électrode supérieure de sélecteur.

[0026] Outre les caractéristiques qui viennent d'être évoquées dans le paragraphe précédent, l'ensemble selon l'invention peut présenter une ou plusieurs caractéristiques complémentaires parmi les suivantes, considérées individuellement ou selon toutes les combinaisons techniquement possibles :

- la couche sélectrice est délimitée latéralement par une surface latérale située, par exemple, dans le prolongement de la surface latérale de l'électrode supérieure de sélecteur ;
- la couche sélectrice est située entre l'électrode supérieure de sélecteur et un via inférieur conducteur qui est situé sous la couche sélectrice ;
- le via inférieur a une section inférieure à la section de la couche sélectrice et étant entouré par un matériau diélectrique qui s'étend sous la couche sélectrice ;
- le via inférieur est délimité latéralement par une surface latérale ;
- le premier empilement mémoire est délimité par une surface latérale externe, qui est la surface latérale la plus externe de cet empilement, la plus éloignée de la couche sélectrice ;
- une partie de la surface latérale du via inférieur, qui est située du côté du premier empilement mémoire, et la surface latérale externe du premier empilement mémoire sont toutes deux situées sous le premier contact électrique (en projection sur le plan horizontal en question, elles ne débordent pas latéralement, par rapport à ce contact supérieur) ;
- une partie de la surface latérale du via inférieur, qui est située du côté du premier empilement mémoire, et la surface latérale externe du premier empilement mémoire sont toutes deux situées sous le premier contact électrique, en alignement avec celui-ci ;
- la ou les couches actives, qui s'étendent en partie au moins contre ladite partie ou ladite autre partie de la surface latérale de l'électrode supérieure du sélecteur, sont en contact avec cette surface latérale, directement, ou par l'intermédiaire d'une couche électriquement conductrice ;
- l'ensemble comprend en outre un espaceur électriquement isolant, qui s'étend au moins contre la surface latérale de la couche sélectrice, une partie de la première couche active étant séparée de la surface latérale de la couche sélectrice par cet espaceur ;
- l'espaceur s'étend en outre contre la surface latérale de l'électrode supérieure

de sélecteur, entre une partie de la première couche active et la surface latérale de l'électrode supérieure de sélecteur ;

- la première couche active comprend une portion qui s'étend parallèlement audit plan en venant recouvrir une partie de l'électrode supérieure de sélecteur, et qui est en contact avec une surface supérieure de l'électrode supérieure de sélecteur ;
- l'ensemble comprend au moins un empilement sélecteur additionnel, situé au-dessus et au droit (à la verticale) de l'empilement sélecteur, séparé de l'empilement sélecteur par une couche isolante ;
- l'empilement sélecteur additionnel comprend :
 - sur ladite couche isolante, une électrode de sélecteur additionnelle, délimitée latéralement par une surface latérale dite additionnelle ; et
 - sur l'électrode de sélecteur additionnelle, une couche sélectrice additionnelle ;
- la première couche active s'étend en outre contre une partie de la surface latérale additionnelle de l'électrode supérieure de sélecteur additionnelle ; la deuxième couche active s'étend contre une autre partie de la surface latérale additionnelle de l'électrode de sélecteur additionnelle ;
- l'ensemble comprend en outre un via supérieur, situé au-dessus de la couche sélectrice additionnelle et relié électriquement à la couche sélectrice additionnelle ;
- le via supérieur a une section inférieure à la section de la couche sélectrice additionnelle et est entouré d'un espaceur isolant additionnel qui s'étend également sur une portion de la couche sélectrice additionnelle.

[0027] L'invention concerne en outre une matrice de mémoires résistives non-volatiles comprenant une pluralité d'ensembles selon l'invention, dans laquelle, pour chaque ensemble :

- l'empilement sélecteur de l'ensemble considéré est relié électriquement à une ligne d'adressage de la matrice,
- les premier et deuxième contacts électriques de l'ensemble sont reliés électriquement, respectivement, à deux colonnes d'adressage distinctes de la matrice, ou forment respectivement deux colonnes d'adressage distinctes de la matrice.

[0028] Pour au moins deux desdits ensembles voisins l'un de l'autre, la couche sélectrice de l'un des deux ensembles et la couche sélectrice de l'autre ensemble peuvent former ensemble une même couche sélectrice globale commune aux deux ensembles, d'un seul tenant, et dans laquelle un même via inférieur, commun aux deux ensembles, est relié électriquement à une face inférieure de la couche sélectrice globale.

[0029] L'invention concerne également un procédé de fabrication d'un ensemble comprenant au moins deux mémoires résistives non volatiles associées à un sélecteur, comprenant :

- la formation d'un empilement sélecteur comprenant :
 - le dépôt d'une couche sélectrice s'étendant parallèlement à un plan ;
 - et
 - le dépôt d'une électrode supérieure de sélecteur s'étendant sur la couche sélectrice, l'électrode supérieure étant délimitée latéralement par une surface latérale ;
- la formation d'un premier empilement mémoire et d'un deuxième empilement mémoire comprenant :
 - le dépôt conforme d'une couche active globale sur l'empilement sélecteur, une première partie au moins de la couche active globale s'étendant contre une partie de la surface latérale de l'électrode supérieure de sélecteur et une deuxième partie au moins de la couche active globale s'étendant contre une autre partie de la surface latérale de l'électrode supérieure de sélecteur ;
 - la séparation de la couche active globale en au moins une première couche active et une deuxième couche active disjointes,
 - une partie au moins de la première couche active s'étendant de manière oblique, ou même perpendiculaire par rapport audit plan, et contre la partie de la surface latérale de l'électrode supérieure de sélecteur ; et une deuxième partie au moins de la deuxième couche active s'étendant de manière oblique, ou même perpendiculaire par rapport audit plan, et contre l'autre partie de la surface latérale de l'électrode supérieure de sélecteur ;
 - l'électrode supérieure de sélecteur étant commune aux premier et deuxième empilements mémoire ;
- la formation d'un premier contact électrique et d'un deuxième contact électrique, isolés électriquement l'un de l'autre, la première couche active étant connectée électriquement entre, le premier contact électrique d'une part, et, l'électrode supérieure de sélecteur d'autre part, la deuxième couche active étant connectée électriquement entre, le deuxième contact électrique d'une part, et, l'électrode supérieure de sélecteur d'autre part.

[0030] Les caractéristiques optionnelles, présentées plus haut en termes de dispositif (pour l'ensemble décrit ci-dessus), peuvent aussi s'appliquer au procédé qui vient d'être présenté.

[0031] L'invention et ses différentes applications seront mieux comprises à la lecture de la

description qui suit et à l'examen des figures qui l'accompagnent.

BRÈVE DESCRIPTION DES FIGURES

- [0032] Les figures sont présentées à titre indicatif et nullement limitatif de l'invention. Sauf précision contraire, un même élément apparaissant sur des figures différentes est repéré par le même signe de référence.
- [0033] [Fig.1] représente schématiquement un premier mode de réalisation d'un ensemble comprenant au moins deux mémoires résistives non volatiles associées à un sélecteur selon l'invention.
- [0034] [Fig.2] représente schématiquement un mode de réalisation d'une matrice d'ensembles de ce type.
- [0035] [Fig.3] représente schématiquement un deuxième mode de réalisation de l'ensemble selon l'invention.
- [0036] [Fig.4] représente schématiquement un troisième mode de réalisation de l'ensemble selon l'invention.
- [0037] [Fig.5] représente schématiquement un quatrième mode de l'ensemble selon l'invention.
- [0038] [Fig.6a] et [Fig.6b] représentent schématiquement, selon une coupe et une vue de dessus, une première étape d'un procédé de fabrication de l'ensemble selon l'invention.
- [0039] [Fig.7a] et [Fig.7b] représentent schématiquement, selon une coupe et une vue de dessus, une deuxième étape du procédé de fabrication de l'ensemble selon l'invention.
- [0040] [Fig.8a] et [Fig.8b] représentent schématiquement, selon une coupe et une vue de dessus, une troisième étape du procédé de fabrication de l'ensemble selon l'invention.
- [0041] [Fig.9a] et [Fig.9b] représentent schématiquement, selon une coupe et une vue de dessus, une quatrième étape du procédé de fabrication de l'ensemble selon l'invention.
- [0042] [Fig.10a] et [Fig.10b] représentent schématiquement, selon une coupe et une vue de dessus, une cinquième étape du procédé de fabrication de l'ensemble selon l'invention.
- [0043] [Fig.11a] et [Fig.11b] représentent schématiquement, selon une coupe et une vue de dessus, une sixième étape du procédé de fabrication de l'ensemble selon l'invention.

DESCRIPTION DÉTAILLÉE

- [0044] L'invention concerne un ensemble comprenant au moins deux mémoires résistives non-volatiles associées à un sélecteur, 1a, 1b, 1c, 1d. L'ensemble 1a, 1b, 1c, 1d selon l'invention permet de limiter le problème de variabilité des caractéristiques électriques des sélecteurs mentionné plus haut tout en présentant un encombrement réduit.
- [0045] Pour cela, selon un premier aspect, l'ensemble 1a, 1b, 1c, 1d mutualise un empilement sélecteur 10 (en l'occurrence, un empilement sélecteur de type « backend », co-intégrable en série avec la ou les mémoires, dans le BEOL) avec au moins deux em-

pilements mémoire 20, 30 distincts, disposés électriquement en parallèle entre eux et connectés en série à l'empilement sélecteur 10 commun. Cet agencement, de type 1SnR (avec n supérieur ou égal à 2, n étant par exemple pair), permet de limiter l'influence de la variabilité entre sélecteurs, puisque c'est le même sélecteur qui est employé pour plusieurs mémoires. D'un point de vue électrique, les deux empilements mémoire 20, 30 sont en quelque sorte, disposés en parallèle entre eux, puisque, d'un côté, ils sont tous deux reliés à conducteur électrique commun (à une borne commune, en quelque sorte), qui est l'électrode supérieure de sélecteur. On notera néanmoins que, de l'autre côté, ces deux empilements mémoire 20, 30 sont reliés à des contacts électriques (50 et 60) distincts, isolés électriquement l'un de l'autre.

[0046] L'empilement sélecteur 10, planaire, « horizontal », s'étend parallèlement à un plan P donné. Il comprend au moins :

- une couche sélectrice (11), qui s'étend parallèlement au plan P ; et
- une électrode supérieure de sélecteur 12 s'étendant sur la couche sélectrice 11, l'électrode supérieure étant délimitée latéralement par une surface latérale 121, 122.

[0047] Selon un deuxième aspect de l'invention, pour chacun des deux empilements mémoire 20, 30 de l'ensemble 1a, 1b, 1c, 1d :

- une partie au moins du premier empilement mémoire 20 de l'ensemble 1a, 1b, 1c, 1d s'étend de manière oblique, ou même perpendiculaire, par rapport au plan P en question, et contre une partie de la surface latérale 121 de l'électrode supérieure de sélecteur 12, et
- une partie au moins du deuxième empilement mémoire 30 de l'ensemble 1a, 1b, 1c, 1d s'étend de manière oblique, ou même perpendiculaire, par rapport au plan P, et contre une autre partie de la surface latérale 122 de l'électrode supérieure de sélecteur 12.

[0048] Cette structure remarquable rend l'ensemble, de type 1SnR (par exemple, de type 1S2R) particulièrement compact.

[0049] Dans la suite, on désignera par planaire, ou horizontale une orientation parallèle audit plan P (par exemple parallèle à mieux que 5 degrés près). Le plan P en question est par exemple parallèle à un substrat sur lequel l'ensemble 1a, 1b, 1c, 1d est réalisé. On indiquera par oblique, une orientation présentant un angle supérieur à 45° par rapport au plan P ou autrement dit, une orientation présentant un angle de $90^\circ \pm 45^\circ$ par rapport au plan P. Et l'on indiquera par verticale (ou perpendiculaire au plan P) une orientation présentant un angle de 90 degrés (par exemple à plus ou moins 5 degrés près) par rapport au plan P. En l'occurrence, dans les exemples décrits ici en référence aux figures, une partie au moins des premier et deuxième empilements mémoire 20, 30 s'étend verticalement (perpendiculairement au plan P). En variante, chacun de ces

deux empilements pourrait toutefois être orienté différemment, en s'étendant par exemple parallèlement à un plan faisant un angle de 60 degrés avec ledit plan P horizontal (ou, plus généralement, un angle compris entre 60 et 80 degrés, par exemple).

[0050] Ici, la partie du premier empilement mémoire 20, mentionnée plus haut, qui s'étend contre la partie de la surface latérale 121 de l'électrode supérieure de sélecteur 12, s'étend parallèlement (parallèlement à mieux que 5 ou 10 degrés, par exemple) et en vis-à-vis de cette partie de surface latérale 121.

[0051] De même, la partie du deuxième empilement mémoire 30, mentionnée plus haut, qui s'étend contre l'autre partie de la surface latérale 122 de l'électrode supérieure de sélecteur 12, s'étend parallèlement (parallèlement à mieux que 5 ou 10 degrés, par exemple) en vis-à-vis de cette autre partie de surface latérale 122.

[0052] Dans l'ensemble 1a, 1b, 1c, 1d, les différentes couches (dont les électrodes) qui s'étendent parallèlement au plan P sont délimitées latéralement, chacune, par une (ou éventuellement des) surface latérale, verticale, ou tout au moins oblique par rapport au plan P. Les parties de cette surface latérale sont aussi appelées flanc ou « flancs » dans la suite. Dans la suite, pour certaines couches, il est indiqué que la couche considérée est délimitée latéralement par une surface latérale comprenant notamment deux parties (i.e. : par un premier et deuxième flanc, ici), en pratique situées à l'opposé l'une de l'autre. La surface latérale en question peut néanmoins être continue, et faire tout le tour de l'électrode sans discontinuité, par exemple lorsque le bord de cette couche est circulaire (cette surface latérale étant alors cylindrique) ; dans ce cas, les deux portions en question correspondent à deux portions de cette surface continue, situées à l'opposée l'une de l'autre. Ces deux parties de surface latérale peuvent aussi correspondre à deux faces distinctes du pourtour de la couche en question, opposée l'une à l'autre, lorsque ce pourtour est par exemple rectangulaire (rectangulaire vu du dessus de la couche).

[0053] Quatre modes de réalisation de l'ensemble de mémoires 1a, 1b, 1c, 1d selon l'invention sont décrits, respectivement en référence aux [Fig.1], [Fig.3], [Fig.4] et [Fig.5]. Quel que soit le mode de réalisation considéré, l'ensemble 1a, 1b, 1c, 1d comprend, un premier 50 et un deuxième 60 contact électrique, en plus de l'empilement sélecteur 10. La [Fig.1] représente schématiquement, en coupe et vu de côté, un premier mode de réalisation de l'ensemble 1a.

[0054] Dans cet exemple, le plan P correspond à la surface d'une couche diélectrique 2 sur laquelle l'ensemble repose (on notera toutefois que, à la fin de la fabrication, la couche diélectrique 2 peut faire partie d'un enrobage diélectrique global, de protection, dans lequel l'ensemble est enrobé).

[0055] L'électrode supérieure de sélecteur 12 s'étend sur la couche sélectrice 11. La couche sélectrice 11 est délimitée par une surface supérieure 113 et une surface inférieure 114,

opposée à la surface supérieure 113. L'électrode supérieure de sélecteur 12 s'étend par exemple sur la surface supérieure 113 de la couche sélectrice 11, contre celle-ci. La surface inférieure 114 de la couche sélectrice 11 repose par exemple, au moins en partie, sur la couche diélectrique 2, parallèlement au plan P.

- [0056] L'électrode supérieure de sélecteur 12 est délimitée latéralement par la surface latérale 121, 122 mentionnée plus haut, comprenant une première partie 121 et une deuxième partie 122, appelées premier flanc 121 et deuxième flanc 122 dans la suite. Les premier et deuxième flancs 121, 122 sont sensiblement perpendiculaires au plan P. L'électrode supérieure de sélecteur peut, comme ici, avoir une forme d'ensemble rectangulaire. Elle est alors délimitée latéralement par quatre parties ou « flancs » (dont les premier et deuxième flancs 121, 122 en question), correspondant aux quatre côtés de ce rectangle.
- [0057] La couche sélectrice 11 est délimitée latéralement, elle aussi, par une surface latérale 111, 112, comprenant elle aussi des première et deuxième parties 111, 112, appelées troisième flanc et quatrième flanc dans la suite. Les troisième et quatrième flancs 111, 112 sont opposés l'un à l'autre. Ils peuvent également être situés dans le prolongement des premier et deuxième flancs 121, 122 de l'électrode supérieure de sélecteur 12 ; dans ce cas, le premier flanc 121 (de l'électrode supérieure de sélecteur), et le troisième flanc 111 (de la couche sélectrice) forment un même flanc, global, de l'empilement sélecteur 11 dans son ensemble (résultant d'une gravure de l'ensemble de l'empilement sélecteur); de même, les deuxième et quatrième flancs 122, 112 forment alors un autre flanc, global, de l'empilement sélecteur dans son ensemble. Ici, la couche sélectrice 11 a elle aussi une forme d'ensemble rectangulaire.
- [0058] Afin que l'empilement sélecteur 10 réalise une fonction de sélection, la couche sélectrice 11 est configurée pour modifier sa conductivité en fonction d'une tension appliquée entre ses surfaces supérieure et inférieure 113, 114, et/ou en fonction d'un courant électrique circulant entre ces surfaces 113, 114. On définit une tension seuil au-delà de laquelle la couche sélectrice 11 est dans un état dit « passant ». C'est à dire qu'une partie au moins de la couche sélectrice 11 est alors conductrice. Par conductrice, on entend que sa résistance est inférieure à $10\text{ k}\Omega$. En deçà de la tension seuil, la couche sélectrice 11 est dans un état dit « bloqué ». C'est à dire que la résistance de la couche sélectrice 11 est supérieure ou égale à $100\text{ k}\Omega$ au moins. L'état passant est préférentiellement métastable. C'est à dire que la couche sélectrice 11 est initialement dans l'état bloqué et qu'elle ne présente un état passant que lorsqu'une tension appliquée entre ces surfaces supérieure et inférieure 113, 114 devient supérieure à la tension seuil. La couche sélectrice 11 peut conserver un état passant tant qu'un courant circulant dans ladite couche 11 ou une tension appliquée à ladite couche 11 est supérieure à un courant/tension de maintien donné (en fonction de la technologie

du sélecteur).

- [0059] La couche sélectrice 11 comprend par exemple un chalcogénure, par exemple un alliage à base de sélénium, germanium, antimoine et azote. Auquel cas, l'empilement sélecteur 10 est alors un sélecteur ovonique ou « Ovonic Threshold Switching » en anglais.
- [0060] La couche sélectrice 11 peut également comprendre un matériau tel que l'empilement sélecteur 10 soit un sélecteur à pont conducteur instable ou TS pour « Threshold Switch » en anglais, ou un sélecteur à conduction électronique et ionique ou MIEC pour « Mixed ion-electronic conduction » en anglais ou encore un sélecteur à transition métal-isolant.
- [0061] L'électrode supérieure de sélecteur 12 est conductrice. Elle comporte une ou plusieurs couches, parallèles au plan P. L'une de ces couches peut être métallique. Une autre de ces couches peut former une barrière à la diffusion d'espèces dans la couche sélectrice 11 par exemple lors d'étapes de procédés postérieures à la formation de ladite couche 11. En effet, certaines étapes pouvant provoquer une oxydation de ladite couche 11. À titre d'exemple, cette électrode peut comprendre une couche en carbone intercalée entre une couche en nitrure de titane et la couche sélectrice 11.
- [0062] Dans ce premier mode de réalisation (ainsi que dans les deuxième et quatrième modes de réalisation), l'électrode supérieure de sélecteur 12 s'étend sur toute la surface supérieure 113 de la couche sélectrice 11, ou tout au moins sur la majeure partie de cette surface supérieure 113, en particulier au niveau d'une portion centrale 115 de la couche sélectrice 11 (portion centrale 115 située à l'aplomb d'un via inférieur 40).
- [0063] Le premier empilement mémoire 20 permet de stocker une information de manière non volatile. L'information est par exemple encodée sous la forme d'une valeur de résistance d'une couche active dudit premier empilement mémoire 20. Le premier empilement mémoire 20 peut être de type de PCRAM, CBRAM, OxRAM ou MRAM telle que décrit dans lors de la présentation de l'art antérieur. Le premier empilement mémoire 20 comprend pour cela au moins une première couche active 21. La première couche active 21 peut présenter un état dit « bas », c'est à dire une résistance faible, par exemple inférieure à $10\text{ k}\Omega$, ou un état dit « haut », c'est à dire une résistance élevée, par exemple supérieure à $50\text{ k}\Omega$. La première couche active 21 passe de l'état haut à l'état bas lorsqu'une tension, appliquée à cette couche, dépasse une tension de programmation, dite également tension de « set » en anglais. La première couche active 21 passe de l'état bas à l'état haut lorsqu'une tension ou un courant appliqué à la couche dépasse une tension ou un courant d'effacement (selon la technologie mise en œuvre), dite également tension/courant de « reset » en anglais. La première couche active 21 comprend par exemple une couche d'oxyde d'hafnium (en contact avec une couche en titane faisant office de réservoir à lacunes en oxygène), auquel cas le

premier empilement mémoire 20 réalise la fonction d'OxRAM.

- [0064] De la même manière, le deuxième empilement mémoire 30 comprend au moins une deuxième couche active 31, permettant d'encoder une information sous la forme d'une valeur de résistance. Les caractéristiques électriques des première et deuxième couches actives 21, 31, dont au moins les tensions de programmation et d'effacement, sont proches, voire identiques.
- [0065] La réduction de l'encombrement de l'ensemble 1a résulte notamment du partage du même plot sélecteur pour les deux mémoires, et de l'orientation oblique (par rapport au plan P), et préférentiellement verticale, d'une partie au moins de la première couche active 21.
- [0066] La première couche active 21 est connectée électriquement entre le premier contact électrique 50 et l'électrode supérieure de sélecteur 12. De la même manière, la deuxième couche active 31 est connectée électriquement entre le deuxième contact électrique 60 et l'électrode supérieure de sélecteur 12. Ainsi, l'électrode supérieure de sélecteur 12 est commune aux premier et deuxième empilements mémoire 20, 30. En d'autres termes, c'est la même électrode 12 qui connecte électriquement la couche sélectrice 11, d'une part à la première couche active 21, et d'autre part à la deuxième couche active 31. Les première et deuxième couches actives 21, 31 sont donc reliées électriquement l'une à l'autre par cette même électrode 12 conductrice, planaire. Cette électrode joue donc en quelque sorte un rôle de point milieu, entre les deux mémoires, d'un point de vue électrique (voir le schéma électrique équivalent de la [Fig.2]). Les premier et deuxième contacts 50, 60 sont en revanche isolés électriquement l'un de l'autre.
- [0067] Par isolés électriquement, on entend sans contact électrique direct entre eux. En d'autres termes, il n'y a pas d'élément conducteur, par exemple métallique, les reliant directement.
- [0068] L'ensemble 1a peut être enterré dans un oxyde de remplissage isolant 2a pouvant être un oxyde de silicium ou de la silice.
- [0069] La variabilité des caractéristiques électriques de l'empilement sélecteur 10 peut être causée par des étapes de fabrication dudit empilement 10 ou des empilements mémoires 20, 30 introduisant des défauts dans une partie de la couche sélectrice 11. Les défauts sont généralement localisés au niveau de la surface latérale de la couche sélectrice 11 et notamment au niveau des troisième et quatrième flancs 111, 112, exposés à des étapes de gravure ou de dépôt. Les caractéristiques électriques au niveau de ces flancs sont alors modifiées localement. Il est alors prévu d'éloigner les troisième et quatrième flancs 111, 112 l'un de l'autre, pour qu'ils soient séparés par une distance D3 supérieure à une largeur D4 du via 40 qui connecte électriquement l'empilement sélecteur 10, en partie inférieure. En d'autres termes, la couche sélectrice 11 est

disposée à l'aplomb du via inférieure 40 (c'est-à-dire qu'elle se superpose, au moins en partie, au via inférieur, en projection selon une direction verticale ; voire elle est alignée avec ce via, selon une direction verticale) et elle présente une distance D3, par exemple une largeur, supérieure à la largeur D4 du via inférieure 40. C'est alors au niveau d'une portion centrale 115 de la couche sélectrice 11 que cette couche devient conductrice, lorsque le sélecteur bascule à l'état passant. Autrement formulé, c'est seulement au niveau de cette portion centrale 115 que la couche sélectrice 11 est utilisée, d'un point de vue électrique. Et comme D3 est supérieure à D4, cette portion centrale 115 est éloignée des flancs 111, 112 de la couche sélectrice 11, et est donc peu ou pas influencée par les caractéristiques électriques au niveau des flancs 111, 112, possiblement dégradées par des opérations de gravure ou de dépôt des empilements mémoire. La portion centrale 115 de la couche sélectrice 11 présente ainsi une variabilité minimale de ses caractéristiques électriques.

- [0070] La distance D3 séparant les troisième et quatrième flancs 111, 112 est supérieure à la largeur de la zone active (du canal de conduction) du sélecteur. Elle est par exemple comprise entre 60 nm et 100 nm, voire entre 70 nm et 90 nm. En effet, dans une couche sélectrice 11 ovonique, le canal de conduction métastable peut présenter une étendue planaire pouvant être comprise entre 40 nm et 60 nm, et qui dépasse rarement 80 nm. En augmentant ainsi la distance D3 séparant les troisième et quatrième flancs 111, 112, on réduit la variabilité des caractéristiques électriques de l'empilement sélecteur, fixées par celles du canal de conduction, situé loin des flancs (loin des bords).
- [0071] L'orientation en partie verticale des premier et deuxième empilements mémoire 20, 30, et l'utilisation d'une couche sélectrice 11 commune, planaire, permet d'écarter les troisième et quatrième flancs 111, 112 l'un de l'autre, comme indiqué ci-dessus, pour réduire les problèmes de variabilité, sans augmenter l'encombrement de l'ensemble 1a, par rapport à des dispositif 1R1S de l'art antérieur, en tout cas du point de vue de l'encombrement selon la direction X représentée sur la [Fig.1] (direction perpendiculaire aux premier et deuxième flancs). Cet aspect est expliqué plus en détail ci-dessous.
- [0072] Dans la direction X, chaque empilement mémoire 20, 30 s'étend, à partir de la surface latérale 121, 122 de l'électrode supérieure 12, sur une deuxième distance D2 (dans le premier mode de réalisation, cette distance correspond en quelque sorte à l'épaisseur totale de l'empilement mémoire et de la couche métallique optionnelle 52 qui le recouvre). Par ailleurs, les surfaces latérales de la couche sélectrice 11 et de l'électrode supérieure 12 sont toutes deux décalées latéralement par rapport à une surface latérale 41, 42 du via inférieur 40 d'une première distance D1 non nulle. En d'autres termes, les flancs 121 et 111 sont tous deux décalés latéralement, par rapport à

une portion, dite cinquième flanc 41, de la surface latérale 41, 42 du via inférieur 40 de la première distance D1. De même, les flancs 112, 122 sont tous deux décalés latéralement, par rapport à une autre portion, dite sixième flanc 42, de la surface latérale 41, 42 du via inférieur 40, de cette distance D1 (on a donc $D3 = D4 + 2 \cdot D1$). La distance D1 est préférentiellement comprise entre 10 nm et 30 nm.

- [0073] En pratique, la largeur D4 du via inférieure est limitée par la finesse de gravure, F (elle est par exemple égale à cette finesse F, pour réduire au maximum les dimensions du via), finesse qui vaut par exemple 40 nm. De même, la largeur D5 et D6 des contacts supérieurs 5 et 6 est limitée par la finesse F, par exemple égale, ou sensiblement égale à F. Ces deux contacts sont séparés par une distance D56 qui est souvent appelée « metal pitch », car elle correspond à la distance entre deux lignes (ou deux colonnes) métalliques de la matrice (en pratique, il s'agit aussi de la distance, selon la direction X, entre deux ensembles 1 adjacents). Le « metal pitch » est ici limité par la finesse F. Il est par exemple égal ou sensiblement égal à F, pour maximiser la densité de la matrice.
- [0074] Dimensionner l'ensemble de sorte que la somme D1+D2 soit, comme ici, inférieure ou égale à la largeur D5 (largeur selon la direction X) du contact supérieur 50 permet alors de loger sous ce contact le premier empilement mémoire, ainsi que la partie de l'empilement sélecteur 10 qui débord latéralement au-delà du via inférieur 40. Selon la direction X, l'encombrement de l'ensemble est donc de 2F pour chaque empilement mémoire, comme pour un dispositif 1S1R classique de l'art antérieur, et cela alors même que la couche sélectrice 11 a une extension latérale supérieure à F (pour limiter l'influence indésirables des bords de couche).
- [0075] Le premier contact électrique 50 est disposé à l'aplomb du premier empilement mémoire 20, en s'étendant latéralement de la surface latérale 41, 42 du via inférieure 40, et plus particulièrement du cinquième flanc 41, à la surface latérale 201 du premier empilement mémoire 20 la plus externe (celle s'étend à la distance D2 du premier flanc 121). Le premier contact électrique 50 est ainsi disposé à l'aplomb de premier flanc 121 de l'électrode supérieure de sélecteur 12 et de chaque surface latérale du premier empilement mémoire 20.
- [0076] Vue en coupe, la première couche active 21, comprend par exemple une portion verticale et deux portions planaires, à chacune de ses extrémités. Vue en coupe, elle forme ainsi un « S » pouvant être logé sous le premier contact 50, au droit de celui-ci, sans en dépasser d'un point de vue latéral.
- [0077] Les deux portions planaires de la couche active 21 sont optionnelles. La couche active 21 pourrait être entièrement orientée verticalement et disposée sous le premier contact 50.
- [0078] De la même manière, la deuxième couche active 31, au moins en partie orientée de

manière oblique, voire verticalement, permet à la couche sélectrice 11 et/ou l'électrode supérieur de sélecteur 12 de s'étendre jusque sous le deuxième contact 60 sans pour autant augmenter l'encombrement de l'ensemble (dans la direction X).

[0079] La densité de stockage offerte par une matrice de points mémoire dépend en partie de l'espacement imposé entre des lignes d'adressage deux à deux et/ou des colonnes d'adressage deux à deux. Plus cet espacement est faible et plus la densité de stockage de la matrice finale est élevée. Cet espacement, qui correspond à la distance D56 entre les premier et deuxième contact électrique 50, 60, destinés à être connectés aux lignes/colonnes d'adressage, ou qui forment directement ces lignes/colonnes d'adressage, est limité en pratique par la finesse F de gravure.

[0080] L'empilement sélecteur 10 est également relié électriquement au via inférieur 40 mentionné plus haut (ou à un autre élément conducteur équivalent). La couche diélectrique 2 sur laquelle repose l'empilement sélecteur 10 est traversée par ce via inférieur 40. Le via inférieure 40 peut ainsi être relié électriquement à la surface inférieure 114 de la couche sélectrice 11, soit directement, en venant directement au contact de cette surface inférieure 114, soit par l'intermédiaire d'une couche ou plusieurs couches intermédiaires (telles que l'électrode inférieure de sélecteur 13 visible sur la [Fig.1]). Ainsi, la couche sélectrice 11 est reliée électriquement en série entre les deux éléments conducteurs que sont l'électrode supérieure de sélecteur 12 et le via conducteur 40. Lorsqu'une tension supérieure à la tension seuil de la couche sélectrice 11, est appliquée entre l'électrode supérieure de sélecteur 12 et le via inférieure 40, l'empilement sélecteur 10 peut ainsi passer de l'état bloqué à l'état métastable passant.

[0081] Comme mentionné plus haut, l'empilement sélecteur 10 comprend ici l'électrode inférieure de sélecteur 13, reliée électriquement en série entre la couche sélectrice 11 et le via inférieure 40. L'électrode inférieure 13 s'étend sur une partie au moins de la face inférieure 114 de la couche sélectrice 11. Lorsque la couche sélectrice 11 est de type OTS (ovonique), l'électrode inférieure 13 comprend avantageusement du nitrure de titane ou du carbone. L'électrode inférieure 13 peut également présenter de l'argent, notamment lorsque la couche sélectrice 11 est de type TS (pont à conducteur instable). L'électrode inférieure 13 est ainsi une électrode active et elle permet à la couche sélectrice 11 de changer d'état lorsqu'un potentiel positif est appliqué sur l'électrode inférieure 13. Pour les mêmes raisons, l'électrode inférieure 13 peut présenter du cuivre lorsque l'électrode inférieure 13 est de type MIEC (conduction électronique et ionique),

[0082] Ici, l'électrode inférieure 13, conductrice, présente les mêmes dimensions latérales que le via inférieur 40 et est disposée dans le prolongement, au droit de ce dernier. L'extension latérale de l'électrode inférieure 13, réduite par rapport à l'extension

latérale, D3, de la couche sélectrice 11 permet, comme discuté plus haut, de limiter la zone utilisée de la couche sélectrice à sa portion centrale 115. L'électrode inférieure 13 est délimitée ici par une surface latérale 131, 132, située dans le prolongement de surface latérale 41, 42 du via 40. Plus particulièrement, deux portions de la surface latérale 131, 132 de l'électrode inférieure 13, dites septième flanc 131 et huitième flanc 132, sont situées dans le prolongement des flancs 41 et 42 du via 40, et en tout cas distants de D1 des flancs 111, 121, 112, 122 de l'empilement.

- [0083] Le premier empilement mémoire 20 peut, comme ici, comprendre une première électrode supérieure 22. La première électrode supérieure 22 relie électriquement la première couche active 21 au premier contact supérieur 50. Elle est d'ailleurs préférentiellement disposée entre la première couche active 21 et le premier contact supérieur 50. Pour cela, la première électrode supérieure 22 s'étend sur la première couche active 21, contre celle-ci. De manière avantageuse, une partie au moins de la première électrode supérieure 22 s'étend également parallèlement au premier flanc 121 de l'électrode supérieure de sélecteur 12 et en vis-à-vis de ce premier flanc 121. Cette première électrode supérieure 22 peut comprendre une ou plusieurs couches, jouant par exemple un rôle de couche réservoir pour des lacunes en oxygène (une telle couche étant par exemple réalisée en titane), ou un rôle de couche d'isolation s'opposant au passage d'oxygène (couche en nitrure de titane, par exemple), ou jouer encore un autre rôle dans le fonctionnement de l'empilement mémoire 20.
- [0084] Le premier empilement mémoire 20 peut aussi comprendre une électrode inférieure (non représentée), qui s'étend, parallèlement à la première couche active 21, contre celle-ci, d'un côté opposé à la première électrode supérieure 22. En variante, l'électrode supérieure de sélecteur 11 pourrait jouer à la fois le rôle d'électrode supérieure de sélecteur, et d'électrode inférieure pour chacune des deux couches actives 21, 31 des empilements mémoire.
- [0085] De la même manière, le deuxième empilement mémoire 30 peut comprendre une deuxième électrode supérieure 32 reliant électriquement la deuxième couche active 31 au deuxième contact supérieur 60, et, une deuxième électrode inférieure.
- [0086] Le premier contact électrique 50 peut comprendre un premier via supérieur 51 s'étend par exemple à la verticale du premier empilement mémoire 20. Afin d'améliorer le contact électrique entre le premier contact 50 et le premier empilement mémoire 20, celui-ci peut également comprendre une première couche métallique 52, reliant électriquement le premier empilement mémoire 20. La première couche métallique 52 s'étend par exemple en partie sur le premier empilement mémoire 20 en recouvrant une partie verticale et une partie planaire dudit premier empilement mémoire 20. Dans un développement, la première couche métallique 52 joue directement le rôle de première électrode supérieure 22. La première couche métallique 52 pourrait aussi

former l'une des colonnes d'adressage de la matrice, le via 51 étant un via de connexion de cette colonne, éventuellement déporté par rapport au dispositif 1a.

- [0087] De la même manière, le deuxième contact électrique 60 peut comprendre un deuxième via supérieur 61 s'étendant, par exemple, à la verticale du premier empilement mémoire 20. Il peut également comprendre une deuxième couche métallique 62, reliant électriquement le deuxième empilement mémoire 30. La deuxième couche métallique 62 peut également s'étendre sur le deuxième empilement mémoire 30 en recouvrant une partie verticale et une partie planaire.
- [0088] Comme déjà indiqué, la première couche active 20 est reliée électriquement à l'électrode supérieure de sélecteur 12. Dans le mode de réalisation de la [Fig.1], la première couche active 20 est directement reliée électriquement à l'électrode supérieure de sélecteur 12. Plus précisément, elle vient directement en contact contre le premier flanc 121 cette électrode. Une première surface 211 de la première couche active est ainsi au contact de ce flanc de l'électrode supérieure de sélecteur 12. En variante, une couche électriquement conductrice (telle qu'une électrode inférieure du premier empilement mémoire) pourrait toutefois être intercalée entre la première couche active et ce premier flanc 121 (cette couche conductrice s'étendant contre le premier flanc 121, tandis que la première couche active 21 vient s'étendre contre cette couche conductrice intermédiaire).
- [0089] Ainsi, la première couche active 21 présente une portion disposée entre la première électrode supérieure 22 et l'électrode supérieure de sélecteur 12. Lorsque la première couche active 21 est par exemple de type OxRAM ou CBRAM, l'application d'une différence de potentiel entre la première électrode supérieure 22 et l'électrode supérieure de sélecteur 12 lors d'une opération initiale de forming (première création d'un filament conducteur) entraîne la formation d'un canal de conduction, dans la première couche active 21, au niveau d'une zone située en face du premier flanc 121 de l'électrode supérieure de sélecteur 12. La position du canal de conduction est donc contrôlée (et, en l'occurrence, elle est elle aussi éloignée des bords – i.e. des extrémités – de la première couche active), permettant de réduire la variabilité du premier empilement mémoire 20.
- [0090] La première couche active 21 peut comprendre une portion planaire, venant en quelque sorte recouvrir une partie de l'électrode supérieure de sélecteur 12. Afin de conserver la localisation du canal de conduction au niveau du premier flanc 121 de l'électrode supérieure de sélecteur 12, l'ensemble 1a peut alors comprendre une couche isolante 71. Il s'agit par exemple d'une couche en matériau diélectrique, par exemple en nitrure de silicium, tel qu'un masque dur. La couche isolante est au moins disposée entre ladite portion planaire de la première couche active 21 et l'électrode supérieure de sélecteur 12. La couche isolante s'étend par exemple sur la totalité de l'électrode su-

périeure de sélecteur 12, tel que représenté par la [Fig.1].

[0091] La [Fig.3] représente schématiquement un deuxième mode de réalisation de l'ensemble 1b. À la différence du mode de réalisation de la [Fig.1], la première couche active 21 du premier empilement mémoire 20 s'étend contre le premier flanc 121 de l'électrode supérieure de sélecteur 12 mais n'est pas directement en contact avec le premier flanc 121.

[0092] En effet, dans ce deuxième mode de réalisation, l'ensemble 1b comprend en outre un espaceur 72 électriquement isolant, qui s'étend contre le premier flanc 121, de l'électrode supérieure de sélecteur 12, et contre le troisième flanc 111, de la couche sélectrice 11. Cet espaceur 72 permet de protéger les flancs en question, notamment lors des opérations de dépôt et gravure des empilements mémoire 20, 30. Cela permet de réduire encore la variabilité des caractéristiques électrique de l'empilement sélecteur 10. Cet espaceur 72 est situé entre une partie de la première couche active 21 et les premier et troisième flancs 121, 111. Il est en quelque sorte pris en sandwich entre le flanc de l'empilement sélecteur et la partie verticale de la première couche active). Il s'étend contre les flancs 111 et 121, et la partie verticale de la première couche active s'étend contre cet espaceur 72.

[0093] Cet espaceur fait tout le tour de l'empilement sélecteur 10, et s'étend donc aussi entre, d'une part, les deuxième et quatrième flancs 122, 112, et, d'autre part, la deuxième couche active 31.

[0094] Par ailleurs, dans ce deuxième mode de réalisation, le premier empilement 20 comprend une première électrode inférieure 23 reliant électriquement la première couche active 21 à l'électrode supérieure de sélecteur 12. La première électrode inférieure 23 s'étend contre la première couche active 21, par exemple sur une face de la couche active 21 opposée la première électrode supérieure 22. Ainsi, la première couche active 21 est disposée entre (en quelques sorte prise entre) les premières électrodes supérieure et inférieure 22, 23. Selon ce mode de réalisation, la première électrode inférieure 23 est reliée directement à l'électrode supérieure de sélecteur 12. Les premières électrodes supérieure et inférieure 22, 23 distribuent les lignes de champs de manière homogène dans la couche active 21. Le canal de conduction peut donc être formé à une position dans la couche active 21, pas nécessairement en vis-à-vis du premier flanc 121, de l'électrode supérieure 12. La première électrode inférieure 23 peut être connectée à un flanc de l'électrode supérieure de sélecteur 12 ou, comme ici, sur une face supérieure de l'électrode supérieure de sélecteur 12, tel que présenté par la [Fig.3].

[0095] La [Fig.4] représente schématiquement, en une coupe, un troisième mode de réalisation de l'ensemble 1c. À la différence du mode de réalisation de la [Fig.1], l'ensemble 1c comprend des troisième et quatrième empilements mémoire 20', 30',

connectés à une même électrode supérieure de sélecteur additionnelle 12'. Les premier, deuxième, troisième et quatrième empilements mémoire 20, 30, 20', 30' sont par exemple alignés dans un même plan, par exemple celui de la [Fig.4]. Les troisième et quatrième empilement mémoires 20', 30' peuvent, pour l'essentiel, présenter les mêmes caractéristiques que les premier et deuxième empilements mémoire de la [Fig.1].

- [0096] L'électrode supérieure de sélecteur additionnelle 12' est délimitée par une surface latérale dont une première et deuxième parties 121', 122', opposées l'une à l'autre, sont appelées flancs additionnels 121', 122'. L'électrode supérieure de sélecteur additionnelle 12' est distincte de l'électrode supérieure de sélecteur 12, sans contact cette dernière (c'est-à-dire disjointe de l'électrode supérieure de sélecteur 12, et donc, notamment, sans contact électrique direct avec elle). Le troisième empilement mémoire 20' comprend une troisième couche active 21' qui s'étend parallèlement au premier flanc additionnel 121' et en vis-à-vis de celui-ci. Le quatrième empilement mémoire 30' comprend une quatrième couche active 31' qui s'étend parallèlement au deuxième flanc additionnel 122', également en vis-à-vis de celui-ci.
- [0097] La couche sélectrice 11 est commune aux deux électrodes supérieures de sélecteur 12, 12', et s'étend sous chacune d'elles. Les première et quatrième couches actives 21, 31' des premier et quatrième empilements mémoire 20, 30' s'étendent également respectivement en vis-à-vis des troisième et quatrième flancs 111, 112 de la couche sélectrice 11 (sur toute la hauteur de l'empilement sélecteur 10)
- [0098] En revanche, les deuxième et troisième couches actives 31, 21' ne sont pas en vis-à-vis de flancs de la couche sélectrice 11 (puisque la couche sélectrice 11 s'étend latéralement bien au-delà du deuxième flanc 122 de l'électrode supérieure 12, et au-delà aussi du premier flanc additionnel 121'). La couche sélectrice 11 s'étend sous les deuxième et troisième empilements mémoires 30, 20'.
- [0099] La mutualisation de la même couche sélectrice 11 pour quatre empilements mémoire 20, 30, 20', 30' permet d'obtenir une distance D4 importante séparant les troisième et quatrième flancs 111, 112 de la couche sélectrice 11. La variabilité étant améliorée avec l'augmentation de la distance D4 séparant lesdits flancs 111, 112, l'empilement sélecteur 10 présente une variabilité améliorée.
- [0100] Le via inférieur 40 s'étend en partie au droit des deux électrodes supérieures de sélecteur 12, 12' de manière à pouvoir créer un canal de conduction sous chacune desdites électrodes supérieure de sélecteur 12, 12'. Là aussi, les flancs 111, 112 de la couche sélectrice 11 sont séparés par la distance D3, supérieure à la largeur D4 du via inférieur 40 (et même, plus précisément égale à $D3 + 2 \cdot D1$).
- [0101] On notera que deux canaux de conduction indépendant sont formés dans cette même couche sélectrice 11, l'un sensiblement au droit de l'électrode supérieure 12, et l'autre

sensiblement au droit de l'électrode supérieure additionnelle 12'. L'ensemble 1c est donc en quelque sorte de la forme « 2S4R ».

- [0102] L'ensemble comprend également un troisième contact électrique 50' et un quatrième contact électrique 60'. De la même manière que les premier et deuxième contacts électriques 50, 60, les troisième et quatrième contacts 50', 60' sont également isolés électriquement l'un de l'autre.
- [0103] La troisième couche active 21' est reliée électriquement entre, le troisième contact 50' et l'électrode supérieure de sélecteur additionnelle 12'. La quatrième couche active 22' est reliée électriquement entre le quatrième contact 60' et l'électrode supérieure de sélecteur additionnelle 12'.
- [0104] La [Fig.5] représente schématiquement un quatrième mode de réalisation de l'ensemble 1d. L'ensemble 1d comprend une empilement sélecteur additionnel 10'. L'empilement sélecteur 10 et l'empilement sélecteur additionnel 10' sont orientés en tête-bêche et séparés l'un de l'autre par une couche isolante 71.
- [0105] L'empilement sélecteur additionnel 10' comprend une couche sélectrice additionnel 11' et une électrode supérieure de sélecteur additionnelle 12'. L'ensemble 1d comprend également la couche isolante 71 s'étendant entre les empilements sélecteur 10 et 10' de manière à les isoler électriquement l'un de l'autre. L'électrode supérieure 12 et l'électrode de sélecteur additionnel 12' sont en vis-à-vis l'une de l'autre, séparé par la couche isolante 71. La couche sélectrice additionnelle 11' s'étend sur l'électrode de sélecteur additionnel 12', contre celle-ci.
- [0106] L'empilement sélecteur 10 est relié électriquement à un via inférieur 40. L'empilement sélecteur 10' peut également être relié électriquement à un via 40', appelé supérieur ou via de sélecteur additionnel, situé au-dessus de la couche sélectrice additionnelle 11'. Ici, le via supérieur 40' vient au contact de la couche sélectrice additionnelle 11', contre celle-ci. Le via supérieur 40' est disposé entre les premier et deuxième contacts électriques 50, 60, d'un point de vue latéral.
- [0107] L'électrode de sélecteur additionnel 12' présente également une surface latérale 121', 122' dont deux parties, appelées flancs additionnels, sont orientées de manière oblique, voire verticalement. Les flancs additionnels 121', 122' de l'électrode de sélecteur additionnel 12' sont parallèles aux premier et deuxième flancs 121, 122 de l'électrode supérieure 12, ici. Chacun des flancs additionnels 121', 122' est préférentiellement aligné avec respectivement les premier ou deuxième flancs de l'électrode supérieure 12, situés dans le prolongement de ceux-ci. En pratique, l'empilement global formé par l'empilement sélecteur 10, la couche isolante 71 et l'empilement sélecteur additionnel 10' qui vient la recouvrir, peut être délimité latéralement lors d'une même opération de gravure, globale, produisant, une même surface latérale globale, d'ensemble, qui s'étend sur toute la hauteur de cet empilement global (et cela sur chaque côté, ou sur

chaque flanc de cet empilement global).

- [0108] La première couche active 21 du premier empilement mémoire 20 s'étend verticalement sur toute une partie de la hauteur de cet empilement global (ici, sur toute la hauteur de cet empilement global, et même plus). Elle s'étend non seulement en vis-à-vis du premier flanc 121 de l'électrode supérieure de sélecteur 12, mais aussi en vis-à-vis du premier flanc additionnel 121', de l'électrode de sélecteur additionnel 12', parallèlement à ces flancs 121, 121'. De cette manière, la couche active 21 du premier empilement mémoire peut comprendre deux canaux de conduction 215, 215' distincts (l'un, 215, situé en face du premier flanc 121, et l'autre, 215', situé en face du premier flanc additionnel 121'), adressables indépendamment l'un de l'autre, permettant d'encoder chacun une information distincte. Une seule couche active 21 permet ainsi de former deux « mémoires » distincts.
- [0109] La première couche active 21 est en partie orientée verticalement et libère ainsi un espace pouvant être occupé par chacune des couches sélecteur 11, 11'. De la sorte, chaque couche sélectrice 11, 11' voit sa variabilité réduite.
- [0110] De même que la première couche active 21, la deuxième couche active 31 s'étend verticalement sur toute une partie de la hauteur de l'empilement global en question (ici, sur toute la hauteur de cet empilement global, et même plus). Elle s'étend non seulement en vis-à-vis du deuxième flanc 122 de l'électrode supérieure de sélecteur 12, mais aussi en vis-à-vis du premier flanc additionnel 122', de l'électrode de sélecteur additionnel 12', parallèlement à ces flancs 122, 122'.
- [0111] Le via supérieur 40' est isolé de chaque empilement mémoires 20, 30. Il est par exemple isolé au moyen d'espaceurs isolants additionnels 73 entourant le via supérieur 40'. Le via supérieur 40' a une largeur ou une section plus petite que l'extension latérale, ou la section de la couche sélectrice additionnelle 11' (comme pour le via inférieur 40 et la couche sélectrice 11), de manière à n'utiliser la couche sélectrice additionnelle 11' que dans une zone centrale de cette couche. L'espaceur isolant additionnel 73 s'étend alors également sur une portion de la couche électrode additionnelle 11'.
- [0112] La [Fig.2] représente un schéma électrique équivalent de l'ensemble 1 tel que décrit en référence au [Fig.1] et [Fig.3]. La [Fig.2] représente de manière plus large une matrice 3 comprenant plusieurs ensembles 1, 1', préférentiellement identiques, connectés entre deux lignes d'adressage 81a, 81b et quatre colonnes d'adressage 82a, 82b, 82c, 82d. L'ensemble 1 tel que décrit précédemment est notamment connecté entre une ligne 81a et deux colonnes 82a, 82b.
- [0113] Le schéma électrique de l'ensemble 1 comprend trois branches connectées à un nœud commun (correspondant à l'électrode supérieure de sélecteur), formant ainsi un Y. Une première branche comprend l'empilement sélecteur 10, relié en série entre ledit nœud

commun et une ligne d'adressage 81a. Il est par exemple relié à la ligne d'adressage 81a au moyen du via inférieur 40. Une deuxième branche comprend le premier empilement mémoire 20. Le premier empilement mémoire 20 est relié en série entre ledit nœud et une première colonne d'adressage 82a. La colonne d'adressage est formée par ici par les couches conductrices 22 et 52, qui, à l'échelle de la matrice 3, ont une forme de bande allongée (voir la [Fig.10b]) qui s'étend sur toute la largeur de matrice. Le premier empilement mémoire est par exemple relié à ladite première colonne d'adressage 82a au moyen du premier contact électrique 50, situé en bout de colonne (au bout de la colonne 82a). Une troisième branche comprend le deuxième empilement mémoire 30. Le deuxième empilement mémoire 30 est également relié en série entre ledit nœud et une deuxième colonne d'adressage 82b (formée ici par les couches conductrices 32 et 62, de manière comparable à la colonne d'adressage 81a). Le deuxième empilement mémoire 30 est par exemple relié à la deuxième colonne d'adressage 82b au moyen du deuxième contact électrique 60.

[0114] La matrice 3 tire avantage du mode de réalisation de la [Fig.4]. Au moins deux ensembles 1, 1' voisins l'un de l'autre et connectés à la même ligne de d'adressage 81a peuvent avantageusement partager une seule et même couche sélectrice 11, s'étendant sous chaque électrode supérieure 12 de chaque ensemble 1, 1'. En pratique les couches sélectrices 11 de chaque ensemble 1, 1' forment ensemble une même couche sélectrice globale, commune à chaque ensemble. La couche sélectrice globale est avantageusement connectée à un même via inférieur 40, commun à chaque ensemble et relié électriquement à une face inférieure de la couche sélectrice globale 11.

[0115] Le [Table 1] ci-dessous présente un schéma de polarisation en tension des lignes et colonnes d'adressage 81a-b, 82a-d pour réaliser les opérations de programmation d'un état bas (SET), ou d'effacement (écriture d'un état haut, ou RESET) dans chacun des premier et deuxième empilements mémoires 20, 30. La valeur de la tension U appliquée est choisie de sorte que :

- U soit supérieur aux tensions de programmation et d'effacement de chaque circuit 1S1R de l'ensemble ; et
- $U/2$ soit inférieur à la tension de seuil de l'empilement sélecteur 10.

[0116] Le terme « Flottant » signifie que la ligne ou colonne d'adressage est laissée à un potentiel électrique flottant. Entre deux opérations, il peut être avantageux de décharger les lignes et/ou colonnes laissées à un potentiel flottant, par une mise à un potentiel nul.

[0117] [Tableaux1]

Opération	Empilement	81a	81b	82a	82b	82c	82d
Programmation	20	0	U/2	U	Flottant	U/2	U/2
	30			Flottant	U		
Effacement	20	U		0	Flottant		
	30			Flottant	0		

- [0118] La lecture de l'état d'un empilement mémoire peut être réalisée en utilisant un schéma de polarisation similaire, ou même identique, mais en choisissant une tension U dans une fenêtre de lecture, inférieure à la tension de programmation et d'effacement de chaque circuit 1S1R de l'ensemble.
- [0119] L'invention concerne également un procédé de fabrication d'un ensemble 1 tel que décrit précédemment. Un mode de mise en œuvre dudit procédé est décrit en référence aux [Fig.6a] à [Fig.11b].
- [0120] Les [Fig.8a] et [Fig.8b] représentent quatre premiers empilements intermédiaires 912a, 912b, 912c, 912d. Les quatre premiers empilements intermédiaires peuvent être réalisés simultanément, en vue de fabriquer une matrice 3 de mémoires résistives. La description ci-dessous vise un seul premier empilement intermédiaire 912a. Elle est toutefois transposable aux premiers empilements intermédiaires voisins 912b, 912c, 912d.
- [0121] Le premier empilement intermédiaire 912a comprend, par exemple à partir de la surface d'une couche diélectrique 2, un empilement sélecteur 10 comprenant une couche sélectrice 11 et une électrode supérieure de sélecteur 12, s'étendant sur la couche sélectrice 11.
- [0122] Pour obtenir ledit premier empilement intermédiaire 912a, le procédé de fabrication comprend dans un premier temps la formation de l'empilement sélecteur 10. Elle comprend notamment la formation d'une couche sélectrice 11, s'étendant parallèlement au plan P, par exemple sur la surface de la couche diélectrique 2. Il s'agit par exemple du dépôt d'une première couche, par exemple à base de Ge-Se-Sb-N et de la délimitation de ladite première couche de manière à former la couche sélectrice 11 (en pratique, l'ensemble de l'empilement sélecteur est délimité latéralement lors d'une même étape de gravure). La couche sélectrice 11 est ainsi délimitée par des troisième et quatrième flancs 111, 112.
- [0123] La formation de l'empilement sélecteur 10 comprend également la formation d'une électrode supérieure de sélecteur 12, s'étendant sur la couche sélectrice 11. Il s'agit par exemple du dépôt d'une deuxième couche, par exemple en TiN, sur la couche sélectrice 11. Dans un deuxième temps, la deuxième couche est délimitée de manière à

former l'électrode supérieure de sélecteur 12. L'électrode supérieure est ainsi délimitée latéralement une surface latérale comprenant au moins deux parties, dites premier et deuxième flancs 121, 122, ici.

- [0124] De manière avantageuse, les première et deuxième couches peuvent être déposées successivement, l'une sur l'autre. Lesdites deux couches sont ensuite délimitées dans une même étape, de manière à former la couche sélectrice 11 et l'électrode supérieure de sélecteur 12.
- [0125] Le premier empilement intermédiaire 912a peut également comprendre une couche isolante 71, s'étendant sur l'électrode supérieure de sélecteur 12. Auquel cas le procédé peut également comprendre une étape de dépôt d'une couche isolante sur les premières et deuxième couches de sorte que la délimitation de ces dernières permet également de délimiter la couche isolante 71.
- [0126] Les [Fig.9a] et [Fig.9b] représentent un deuxième empilement intermédiaire 921a comprenant une couche active globale 9211, recouvrant l'empilement sélecteur 10 et la surface de la couche diélectrique 2 non-recouverte par les empilements sélecteur 10. La couche active globale 9211 est destinée à former les première et deuxième couches actives 21, 31 des premier et deuxième empilement mémoire 20, 30.
- [0127] Le deuxième empilement intermédiaire 921a peut également comprendre une première couche conductrice 9212 s'étend sur la couche active globale 9211, destinée à former les première et deuxième électrodes supérieures 22, 32 des premier et deuxième empilements mémoires 20, 30. Il peut également comprendre une deuxième couche conductrice 9213, destinée à former une partie au moins des premier et deuxième contacts électrique 50, 60. Ici, la deuxième couche conductrice 9213 est destinée, après gravure, à former des colonnes d'adressage de la matrice.
- [0128] La formation des premier et deuxième empilements mémoire 20, 30 comprend dans un premier temps le dépôt de la couche active globale 9211 sur l'empilement sélecteur 10 et sur la couche diélectrique 2. Une première partie au moins de la couche active globale 9211 s'étend en vis-à-vis des premier et deuxième flancs 121, 122 de l'électrode supérieure de sélecteur 12. Le dépôt de la couche active globale 9211 est réalisé de manière conforme, par exemple de manière à présenter une épaisseur sensiblement constante en tout point. Par sensiblement constante, on entend à 20% près, voire 10% près, ou encore 5% près. Ce dépôt conforme est réalisé par exemple par « ALD » (pour « Atomic Layer Depositions » en anglais).
- [0129] Le procédé peut en outre comprendre le dépôt de la première couche conductrice 9212, par exemple par dépôt conforme, de sorte qu'elle s'étende sur la couche active 9211. Le procédé peut également comprendre le dépôt de la deuxième couche 9213, par exemple également par dépôt conforme, de sorte qu'elle s'étende sur la première couche conductrice 9212.

- [0130] Les [Fig.10a] et [Fig.10b] représentent un ensemble 1, différent du deuxième empilement intermédiaire 921a de la [Fig.9a] en ce qu'il comprend des premier et deuxième empilements mémoire 20, 30, disposés de part et d'autre de l'empilement sélecteur 10 et des premier et deuxième contact électrique 52, 62.
- [0131] Pour obtenir les premiers et deuxième empilements mémoire 20, 30, le procédé comprend la gravure de la couche active globale 9211 de manière à la séparer en une première couche active 21 et une deuxième couche active 31. La gravure est réalisée de sorte qu'une première partie au moins de la première couche active 21 s'étende en vis-à-vis du premier flanc 121 de l'électrode supérieure de sélecteur 12, préférentiellement parallèlement à celui-ci et de sorte qu'une deuxième partie au moins de la deuxième couche active 31 s'étende contre le deuxième flanc 122 de l'électrode supérieure de sélecteur 12, préférentiellement en vis-à-vis et parallèlement à celui-ci.
- [0132] La gravure peut être stoppée avant d'atteindre l'électrode supérieure de sélecteur 12, afin de ne pas la dégrader. Quoiqu'il en soit, elle est stoppée avant d'atteindre la couche sélectrice 11, pour que l'électrode supérieure de sélecteur reste d'un seul tenant, sur l'ensemble de la couche sélectrice 11.
- [0133] L'étape de gravure peut également graver dans le même temps la première couche conductrice 9212 en deux parties de sorte qu'elles forment respectivement les première et deuxième électrodes supérieures 22, 32, s'étendant par exemple respectivement sur les première et deuxième couches actives 21, 31.
- [0134] Le procédé peut également comprendre le dépôt d'une couche isolante 71 sur l'électrode supérieure de sélecteur 12, avant le dépôt de la couche active globale 9211. La gravure 922 peut alors s'arrêter sur la couche isolante 71 ou s'arrêter dans ladite couche 71, créant par exemple une tranchée.
- [0135] La formation des contacts électrique 52, 62 est par exemple réalisée au même moment que l'étape de gravure de la première couche conductrice 9212. Elle permet ainsi de séparer électriquement les contact électriques 52, 62 les uns des autres.
- [0136] L'étape de gravure peut également permettre de séparer électriquement les deuxièmes empilements intermédiaires 921a, 921b voisins en séparant les couches 9211, 9212, 9213 déposées sur chaque empilement de sélecteur 10.
- [0137] Le procédé peut comprendre, avant la formation de chaque empilement sélecteur 10, la formation d'au moins une ligne d'adressage 81a, 81b telle que représentée par les [Fig.6a] et [Fig.6b].
- [0138] Le procédé peut également comprendre, avant la formation de chaque empilement sélecteur 10, la formation d'au moins un via inférieur 40 sur chaque ligne d'adressage 81a, 81b, tel que représenté par les [Fig.7a] et [Fig.7b].
- [0139] Chaque ligne d'adressage 81a, 81b et chaque via inférieur 40 peut être réalisé par la mise en œuvre d'un procédé damascène. Il s'agit par exemple du dépôt d'un matériau

diélectrique, de la gravure de cavités destinées à former les lignes d'adressage 81a, 81b ou les vias inférieurs 40 et le remplissage desdites cavités par un revêtement ou « liner » en anglais, par exemple en titane, et un matériau conducteur, par exemple du tungstène, suivi d'un polissage mécano-chimique (ou CMP).

[0140] Les lignes d'adressage 81a, 81b sont enterrées dans la couche diélectrique 2. Chaque via inférieur 40 traverse la couche diélectrique 2. Ladite couche diélectrique 2 et chaque via inférieur 40 sont mis à niveau par exemple au moyen d'une planarisation.

[0141] Les [Fig.11a] et [Fig.11b] représentent des ensembles 1 formant une matrice 3 de mémoires résistives. Chacun des premier et deuxième empilements mémoire 20, 30 des ensembles 1 sont reliés à des colonnes d'adressage 82a, 82b, 82c, 82d distinctes. Afin de connecter chaque empilement mémoire 20, 30, le procédé 9 peut comprendre la formation de colonne d'adressage 82a-d. Pour cela, les ensembles 1 sont enterrés sous une couche complémentaire de diélectrique 2a. La couche complémentaire de diélectrique 2a est mise à niveau de chaque contacts électriques 50, 60 par planarisation.

Revendications

[Revendication 1]

Ensemble (1a ; 1b ; 1c ; 1d) comprenant au moins deux mémoires résistives non volatiles disposées électriquement en parallèle entre elles et étant chacune électriquement connectées en série à une couche sélectrice commune, l'ensemble comprenant :

- un empilement sélecteur (10), comprenant :
 - une couche sélectrice (11) qui s'étend parallèlement à un plan (P) donné ;
 - une électrode supérieure de sélecteur (12) s'étendant sur la couche sélectrice (11), l'électrode supérieure étant délimitée latéralement par une surface latérale (121, 122) ;
- un premier empilement mémoire (20), qui s'étend de manière oblique ou perpendiculaire par rapport audit plan (P), comprenant une première couche active (21), une partie au moins de la première couche active (21) s'étendant contre une partie de la surface latérale (121) de l'électrode supérieure de sélecteur (12) ;
- un deuxième empilement mémoire (30), qui s'étend de manière oblique ou perpendiculaire par rapport audit plan (P), comprenant une deuxième couche active (31), une partie au moins de la deuxième couche active (31) s'étendant contre une autre partie de la surface latérale (122) de l'électrode supérieure de sélecteur (12) ;
- les premier et deuxième empilements mémoire (20, 30) étant disjoints, sans contact électrique direct entre eux ;
- un premier contact électrique (50), la première couche active (21) étant connectée électriquement entre, le premier contact électrique (50) d'une part, et, l'électrode supérieure de sélecteur (12) d'autre part ;
- un deuxième contact électrique (60), la deuxième couche active (31) étant connectée électriquement entre, le deuxième contact électrique (60) d'une part, et, l'électrode supérieure de sélecteur (12) d'autre part ;
- l'électrode supérieure de sélecteur (12) étant commune aux premier et deuxième empilements mémoire (20, 30) tandis que les premier et deuxième contacts (50, 60) sont isolés élec-

triquement l'un de l'autre, sans contact électrique direct entre eux.

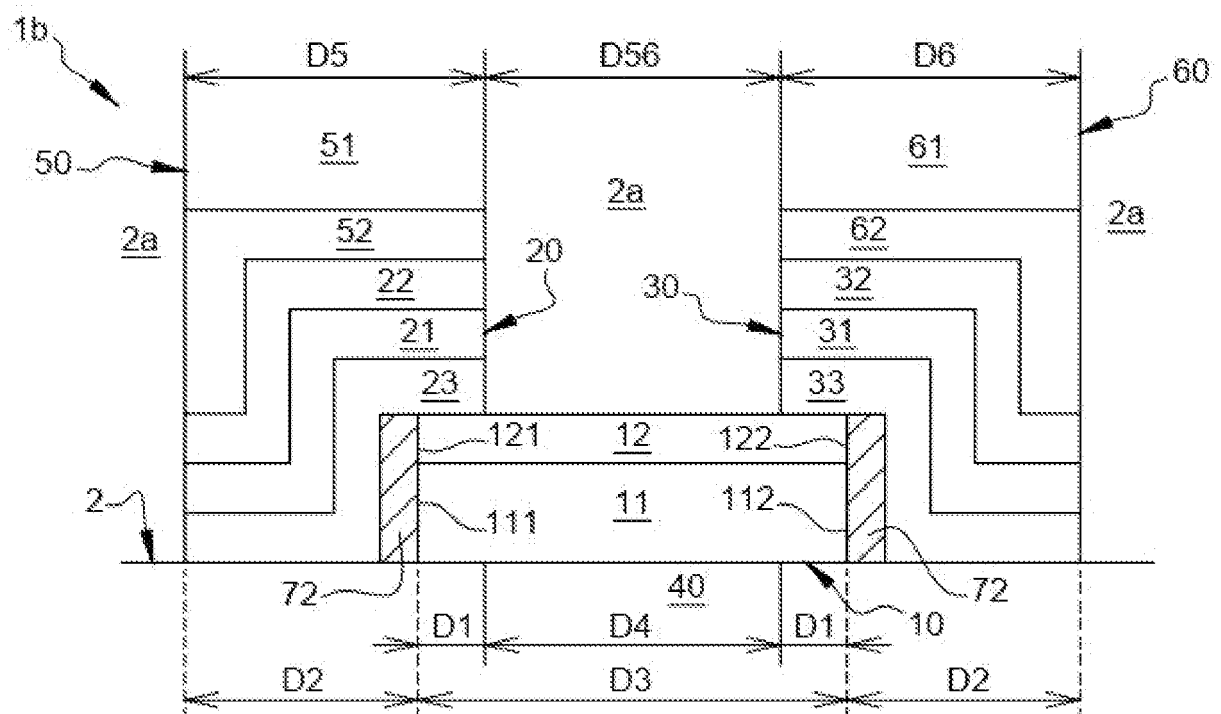
- [Revendication 2] Ensemble (1a ; 1b ; 1c ; 1d) selon la revendication précédente, dans lequel la couche sélectrice (11) est délimitée latéralement par une surface latérale (111, 112) située, par exemple, dans le prolongement de la surface latérale (121, 122) de l'électrode supérieure de sélecteur (12).
- [Revendication 3] Ensemble (1a ; 1b ; 1c ; 1d) selon l'une des revendications précédentes, dans lequel :
- la couche sélectrice (11) est située entre l'électrode supérieure de sélecteur (12) et un via inférieur (40) conducteur qui est situé sous la couche sélectrice (11) ;
 - le via inférieur (40) ayant une section inférieure à la section de la couche sélectrice (11) et étant entouré par un matériau diélectrique qui s'étend sous la couche sélectrice (11).
- [Revendication 4] Ensemble (1a ; 1b ; 1c ; 1d) selon la revendication précédente, dans lequel :
- le via inférieur (40) est délimité latéralement par une surface latérale (41, 42),
 - le premier empilement mémoire (20) est délimité par une surface latérale externe (201), qui est la surface latérale la plus externe de cet empilement (20), la plus éloignée de la couche sélectrice (11), et dans lequel
 - une partie de la surface latérale (41) du via inférieur (40), qui est située du côté du premier empilement mémoire (20), et la surface latérale externe (201) du premier empilement mémoire (20) sont toutes deux situées sous le premier contact électrique (50).
- [Revendication 5] Ensemble (1a ; 1c ; 1d) selon l'une des revendications précédentes, dans lequel la ou les couches actives (21, 31), qui s'étendent en partie au moins contre ladite partie ou ladite autre partie de la surface latérale (121, 122) de l'électrode supérieure du sélecteur (12), sont en contact avec cette surface latérale (121, 122), directement, ou par l'intermédiaire d'une couche électriquement conductrice.

- [Revendication 6] Ensemble (1b) selon la revendication 2 ou selon la revendication 3 ou 4 prise dans la dépendance de la revendication 2, comprenant en outre un espaceur (72) électriquement isolant, qui s'étend au moins contre la surface latérale (111, 112) de la couche sélectrice (11), une partie de la première couche active (21) étant séparée de la surface latérale (111) de la couche sélectrice (11) par cet espaceur (72).
- [Revendication 7] Ensemble (1b) selon la revendication précédente, dans lequel :
- l'espaceur (72) s'étend en outre contre la surface latérale (121, 122) de l'électrode supérieure de sélecteur (12), entre une partie de la première couche active (21) et la surface latérale (121) de l'électrode supérieure de sélecteur (12) ;
 - la première couche active (21) comprend une portion qui s'étend parallèlement audit plan (P) en venant recouvrir une partie de l'électrode supérieure de sélecteur (12), et qui est en contact avec une surface supérieure de l'électrode supérieure de sélecteur (12).
- [Revendication 8] Ensemble (1d) selon l'une des revendications précédentes, comprenant au moins un empilement sélecteur additionnel (10'), situé au-dessus et au droit de l'empilement sélecteur (10), séparé de l'empilement sélecteur (10) par une couche isolante (71).
- [Revendication 9] Ensemble (1d) selon la revendication précédente, dans lequel l'empilement sélecteur additionnel (10') comprend :
- sur ladite couche isolante (71), une électrode de sélecteur additionnelle (12'), délimitée latéralement par une surface latérale dite additionnelle (121', 122') ; et
 - sur l'électrode de sélecteur additionnelle (12'), une couche sélectrice additionnelle (11'),
- la première couche active (21) s'étend en outre contre une partie de la surface latérale additionnelle (121') de l'électrode supérieure de sélecteur additionnelle (12') ; la deuxième couche active (31) s'étend contre une autre partie de la surface latérale additionnelle (122') de l'électrode de sélecteur additionnelle (12'), l'ensemble (1d) comprend en outre un via supérieur (40'), situé au-dessus de la couche sélectrice additionnelle (11') et relié électriquement à la couche sélectrice addi-

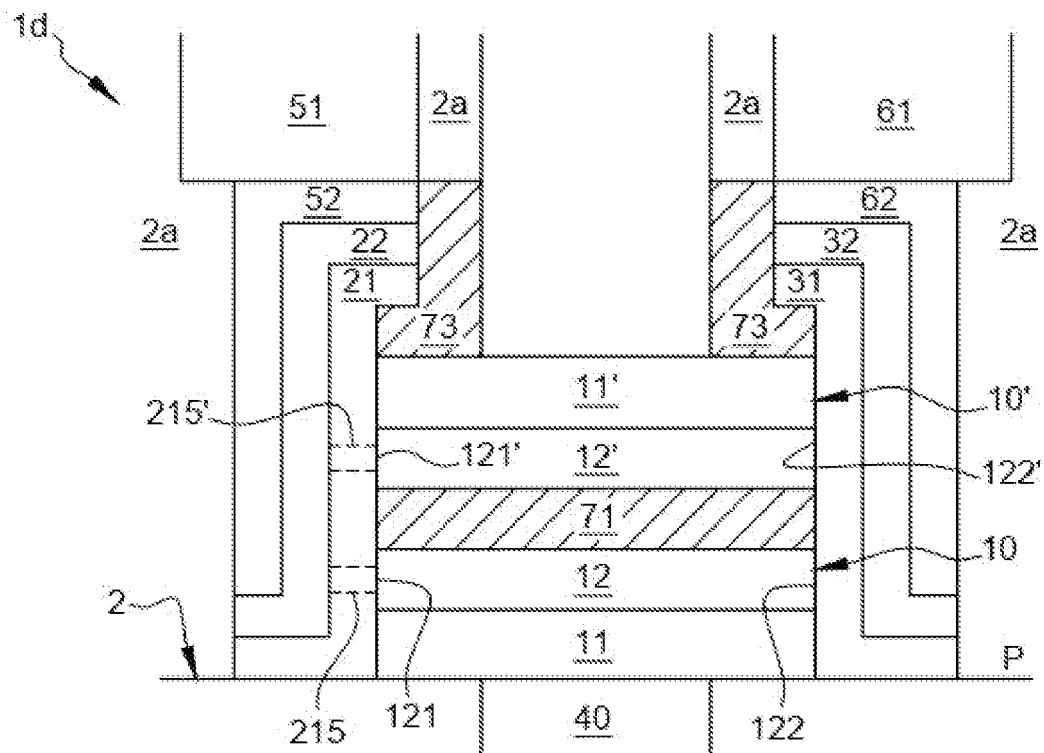
- tionnelle (11').
- [Revendication 10] Ensemble (1d) selon la revendication précédente, dans lequel le via supérieur (40') a une section inférieure à la section de la couche sélectrice additionnelle (11') et est entouré d'un espaceur isolant additionnel (73) qui s'étend également sur une portion de la couche sélectrice additionnelle (11').
- [Revendication 11] Matrice (3) de mémoires résistives non-volatiles comprenant une pluralité d'ensembles (1, 1') selon l'une des revendications précédentes, dans laquelle, pour chaque ensemble (1, 1') :
- l'empilement sélecteur (10) de l'ensemble considéré est relié électriquement à une ligne d'adressage (81a) de la matrice,
 - les premier et deuxième contacts électriques (50, 60) de l'ensemble sont reliés électriquement, respectivement, à deux colonnes d'adressage (82a, 82b, 82c, 82d) distinctes de la matrice, ou forment respectivement deux colonnes d'adressage distinctes de la matrice.
- [Revendication 12] Matrice (3) selon la revendication précédente, dans laquelle, pour au moins deux desdits ensembles (1c) voisins l'un de l'autre, la couche sélectrice de l'un des deux ensembles et la couche sélectrice de l'autre ensemble forment ensemble une même couche sélectrice globale (11) commune aux deux ensembles, d'un seul tenant, et dans laquelle un même via inférieur (40), commun aux deux ensembles, est relié électriquement à une face inférieure de la couche sélectrice globale (11).
- [Revendication 13] Procédé de fabrication d'un ensemble (1a ; 1b ; 1c ; 1d) comprenant au moins deux mémoires résistives non volatiles associées à un sélecteur, comprenant :
- la formation d'un empilement sélecteur (10) comprenant :
 - le dépôt d'une couche sélectrice (11) s'étendant parallèlement à un plan (P) ; et
 - le dépôt d'une électrode supérieure de sélecteur (12) s'étendant sur la couche sélectrice (11), l'électrode supérieure étant délimitée latéralement par une surface latérale (121, 122) ;
 - la formation d'un premier empilement mémoire (20) et d'un deuxième empilement mémoire (30) comprenant :
 - le dépôt conforme d'une couche active globale sur

- l'empilement sélecteur, une première partie au moins de la couche active globale s'étendant contre une partie de la surface latérale (121) de l'électrode supérieure de sélecteur (12) et une deuxième partie au moins de la couche active globale s'étendant contre une autre partie de la surface latérale (122) de l'électrode supérieure de sélecteur (12) ;
- la séparation de la couche active globale en au moins une première couche active (21) et une deuxième couche active (31) disjointes,
 - une partie au moins de la première couche active (21) s'étendant de manière oblique, ou même perpendiculaire par rapport audit plan (P), et contre la partie de la surface latérale (121) de l'électrode supérieure de sélecteur (12) ; et
 - une deuxième partie au moins de la deuxième couche active (31) s'étendant de manière oblique, ou même perpendiculaire par rapport audit plan (P), et contre l'autre partie de la surface latérale (122) de l'électrode supérieure de sélecteur (12) ;
- l'électrode supérieure de sélecteur (12) étant commune aux premier et deuxième empilements mémoire (20, 30)
- la formation d'un premier contact électrique (50) et d'un deuxième contact électrique (60), isolés électriquement l'un de l'autre, la première couche active (21) étant connectée électriquement entre, le premier contact électrique (50) d'une part, et, l'électrode supérieure de sélecteur (12) d'autre part, la deuxième couche active (22) étant connectée électriquement entre, le deuxième contact électrique (60) d'une part, et, l'électrode supérieure de sélecteur (12) d'autre part.

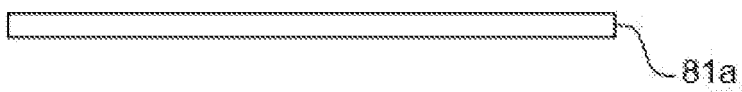
[Fig. 3]



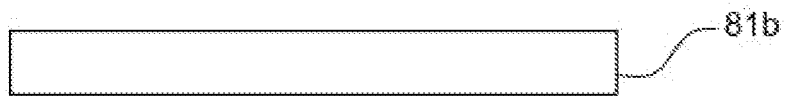
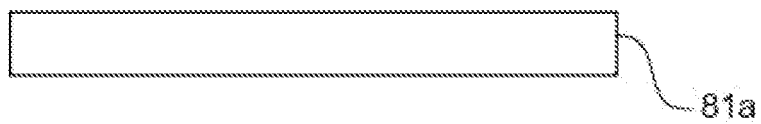
[Fig. 5]



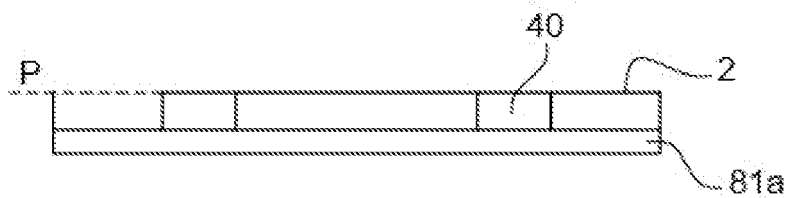
[Fig. 6a]



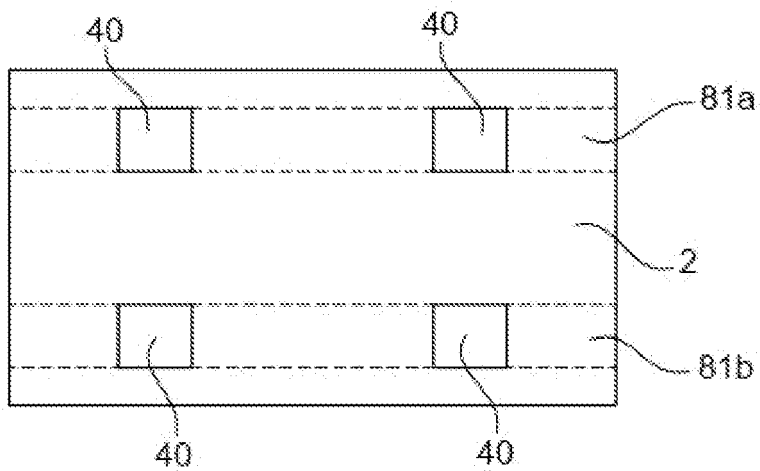
[Fig. 6b]



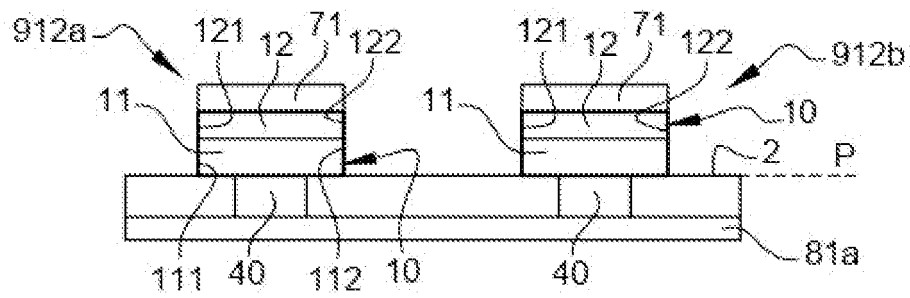
[Fig. 7a]



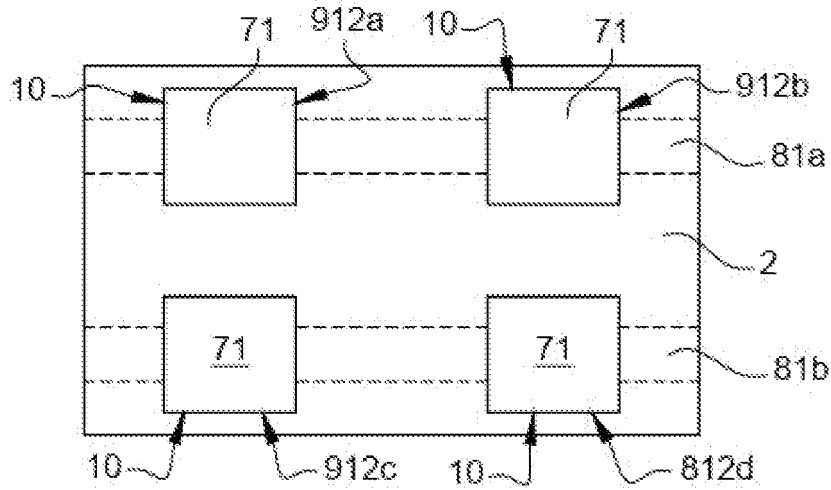
[Fig. 7b]



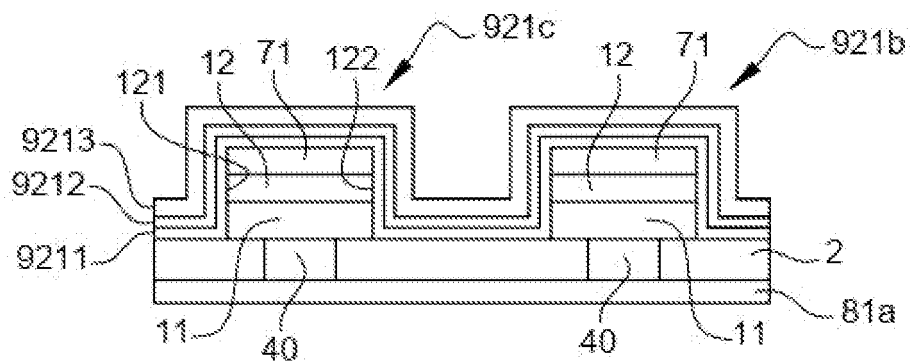
[Fig. 8a]



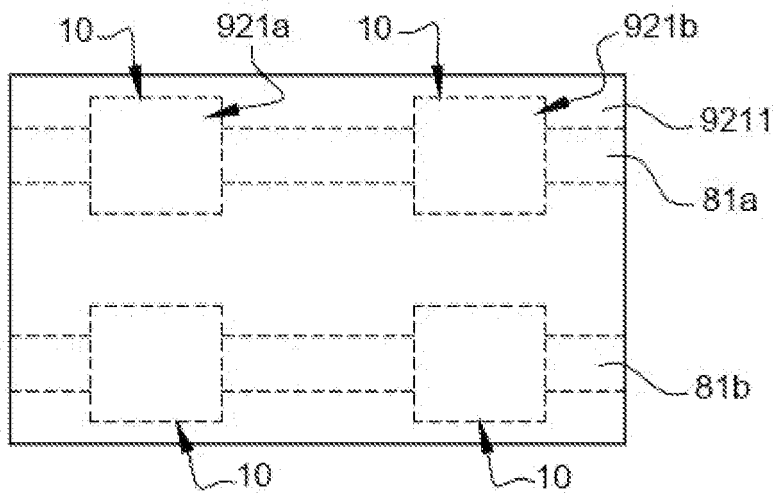
[Fig. 8b]



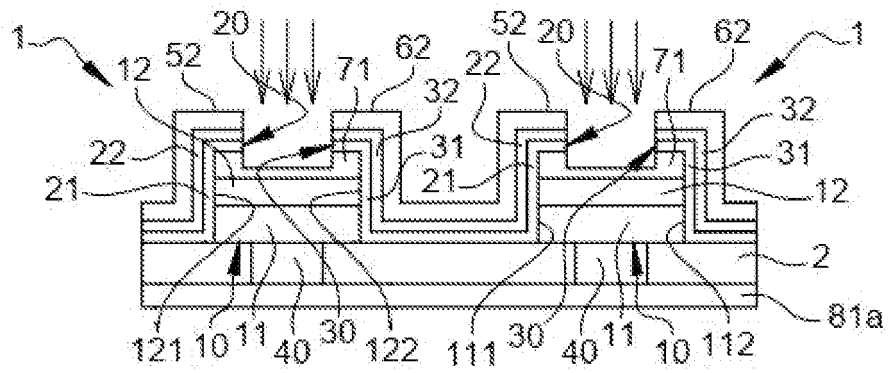
[Fig. 9a]



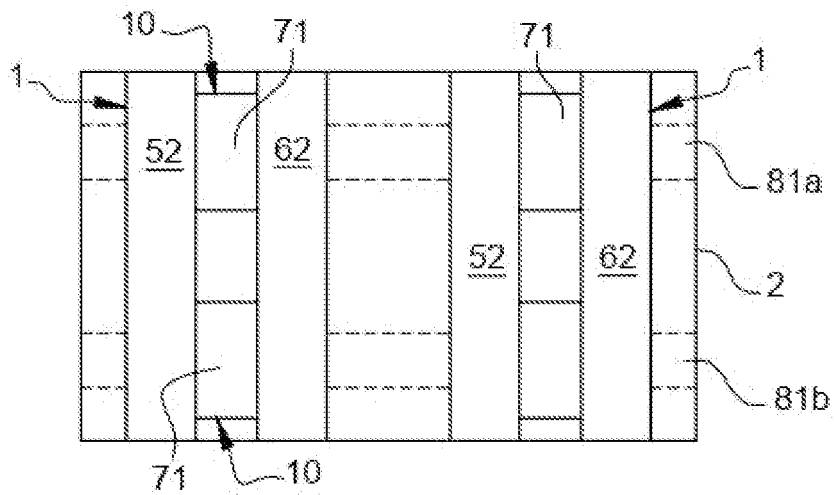
[Fig. 9b]



[Fig. 10a]



[Fig. 10b]



RAPPORT DE RECHERCHE

articles L.612-14, L.612-53 à 69 du code de la propriété intellectuelle

OBJET DU RAPPORT DE RECHERCHE

L'I.N.P.I. annexe à chaque brevet un "RAPPORT DE RECHERCHE" citant les éléments de l'état de la technique qui peuvent être pris en considération pour apprécier la brevetabilité de l'invention, au sens des articles L. 611-11 (nouveau) et L. 611-14 (activité inventive) du code de la propriété intellectuelle. Ce rapport porte sur les revendications du brevet qui définissent l'objet de l'invention et délimitent l'étendue de la protection.

Après délivrance, l'I.N.P.I. peut, à la requête de toute personne intéressée, formuler un "AVIS DOCUMENTAIRE" sur la base des documents cités dans ce rapport de recherche et de tout autre document que le requérant souhaite voir prendre en considération.

CONDITIONS D'ETABLISSEMENT DU PRESENT RAPPORT DE RECHERCHE

☒ Le demandeur a présenté des observations en réponse au rapport de recherche préliminaire.

☒ Le demandeur a maintenu les revendications.

☐ Le demandeur a modifié les revendications.

☐ Le demandeur a modifié la description pour en éliminer les éléments qui n'étaient plus en concordance avec les nouvelles revendications.

☐ Les tiers ont présenté des observations après publication du rapport de recherche préliminaire.

☐ Un rapport de recherche préliminaire complémentaire a été établi.

DOCUMENTS CITES DANS LE PRESENT RAPPORT DE RECHERCHE

La répartition des documents entre les rubriques 1, 2 et 3 tient compte, le cas échéant, des revendications déposées en dernier lieu et/ou des observations présentées.

☐ Les documents énumérés à la rubrique 1 ci-après sont susceptibles d'être pris en considération pour apprécier la brevetabilité de l'invention.

☒ Les documents énumérés à la rubrique 2 ci-après illustrent l'arrière-plan technologique général.

☐ Les documents énumérés à la rubrique 3 ci-après ont été cités en cours de procédure, mais leur pertinence dépend de la validité des priorités revendiquées.

☐ Aucun document n'a été cité en cours de procédure.

1. ELEMENTS DE L'ETAT DE LA TECHNIQUE SUSCEPTIBLES D'ETRE PRIS EN CONSIDERATION POUR APPRECIER LA BREVETABILITE DE L'INVENTION

NEANT

2. ELEMENTS DE L'ETAT DE LA TECHNIQUE ILLUSTRANT L'ARRIERE-PLAN TECHNOLOGIQUE GENERAL

US 2020/411754 A1 (RUIZ RICARDO [US] ET AL) 31 décembre 2020 (2020-12-31)

CN 112 585 758 A (CHANGJIANG ADVANCED STORAGE IND INNOVATION CENTER CO LTD) 30 mars 2021 (2021-03-30)

CN 112 449 726 A (CHANGJIANG ADVANCED STORAGE IND INNOVATION CENTER CO LTD) 5 mars 2021 (2021-03-05)

3. ELEMENTS DE L'ETAT DE LA TECHNIQUE DONT LA PERTINENCE DEPEND DE LA VALIDITE DES PRIORITES

NEANT