

公告本

申請日期	91.4.18
案號	91108019
類別	(HOLL v/82)4

A4
C4

541663

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中文	互補式金氧半可變化寬度閘及其合成方法
	英文	CMOS TAPERED GATE AND SYNTHESIS METHOD
二、發明 創作人	姓名	1. 布莱恩 W. 克倫 Brian W. Curran 2. 麗莎布萊安特雷西 Lisa Bryant Lacey 3. 葛列格里 A. 諾斯洛普 Gregory A. Northrop 4. 路奇爾普立 Ruchir Puri 5. 里恩史拓克 Leon Stok
	國籍	1. 美國 2. 美國 3. 美國 4. 印度 5. 荷蘭
三、申請人	住、居所	1. 美國紐約州壽葛提斯薩克頓公寓路 27 號 27 Saxton Flats Road, Saugerties, New York 12477, USA 2. 美國紐約州科林頓郡鹽角高速公路 2428 號 2428 Salt Point Turnpike, Clinton Corners, New York 12514, USA 3. 美國紐約州皮特南山谷歐克瑞吉大道 43 號 43 Oakridge Drive, Putnam Valley, New York 10579, USA 4. 美國紐約州新洛瑟耳市貝爾翰路 311 公寓 703 號 703 Pelham Road, Apt. 311, New Rochelle, New York 10805, USA 5. 美國紐約州克洛頓昂哈德孫艾芮山路 125 號 125 Mt. Airy Road, Croton-on-Hudson, New York 10520, USA
	姓名 (名稱)	美商·萬國商業機器公司 International Business Machines Corporation
三、申請人	國籍	美國
	住、居所 (事務所)	美國紐約州阿蒙市新果園路 New Orchard Road, Armonk, New York 10504, USA
三、申請人	代表人 姓名	傑拉德羅森瑟爾 Gerald Rosenthal

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： 有 無主張優先權

本案已向美國申請專利；申請日：2001年4月24日 案號：09/841,505號

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背
注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明()

發明領域：

本發明係關於互補式金氧半(CMOS)邏輯之合成；更特定說來，本發明係關於高頻 CMOS 元件設計之邏輯合成。

發明背景：

電路設計中，一般常以高階語言(如 Verilog 或 VHDL)給定一互補式金氧半(CMOS)設計之邏輯描述，並於之後將該描述合成為電路表示，一般尤其更常對隨機控制邏輯加以合成、以降低 CMOS 設計所需花費之時間，其中合成動作係從各分立開庫中選擇開之步驟。然而，合成電路之執行常較非合成(可自訂者)電路之執行為慢，且該等合成控制邏輯路徑常限制高頻 CMOS 設計之執行速度。

發明目的及概述：

本發明所揭示之可變化寬度開及合成方法得提升合成作法之品質，其中具關鍵性影響力之路徑延遲時間相當接近自訂電路作法中的延遲時間；分立開庫則擴充以可變化寬度開，藉以使電路表示產生時得有更大自由度。在一可變化寬度開中，堆疊元件之寬度得加以變化，藉以使輸入腳與輸出腳間有明顯的延遲時間差異。舉例而言，一堆疊中的下部元件之寬度設計成較上部元件者為寬，以使上部元件之輸入至輸出腳間的延遲較小，這是因使下部之輸

五、發明說明()

入至輸出腳延遲增大而得的。此外，該等可變化寬度閘之開發係以數種新合成演算法為之。可變化寬度及非可變化寬度閘在功能上相等，僅在延遲特性上不同；其輸入至輸出腳延遲特性係以一定規則所規範。在進行電路表示時，一時間分析常式請求該等規則進行每一連接網(net)之抵達時間及可能時間差(slacks; timing criticality)的計算，以時間差分類之連接網資料則供可變化寬度閘合成演算法為用。

得從中選擇閘之閘庫至少包含一組非可變化寬度閘及一組可變化寬度閘，其中非可變化寬度閘為一具相同寬度之元件構成的堆疊，可變化寬度閘則為寬度不相同之元件所構成之堆疊。此外，每一非可變化寬度閘皆有複數個可變化寬度閘，該等可變化寬度閘在功能上與非可變化寬度者等同，且每一組可變化寬度閘皆包含 NAND(反及)閘、NOR(反或)閘、AND-OR-INVERT(反及或)閘及 OR-AND_INVERT(反或及)閘。

該演算法負責修改閘腳所連接之輸入網，並以可變化寬度閘替代傳統之非可變化寬度閘，藉以改善最具時間關鍵度路徑之延遲時間。最新抵達之閘輸入連接網為上方腳所連接之連接網所替代。接著，閘暫時轉變成一可變化寬度閘，時間分析常式則被要求重新計算所有連接網之抵達時間及時間差。若該暫時執行之時間差結果優於原設計之設間差結果，那麼該可變化寬度閘便被保留。

以下發明詳細說明將論及上述及其它效能提升之

五、發明說明()

處，吾人得藉由閱讀該發明詳細說明及圖式之配合說明而更了解其中的優點及特徵。

圖式簡單說明：

第 1 圖為一非可變化寬度之三輸入 CMOS NAND 閘。

第 2 圖為一非可變化寬度之三輸入 CMOS NAND 閘。

第 3 圖為一非可變化寬度之二輸入 CMOS NOR 閘。

第 4 圖為一可變化寬度之二輸入 CMOS NOR 閘。

第 5 圖為一可變化寬度之三輸入 NAND 閘之輸入至輸出延遲特性圖。

第 6 圖為依本發明之較佳實施例建構之可變化寬度開合成演算法之流程圖。

圖號對照說明：

10	PFET 元件	11	PFET 元件
12	PFET 元件	13	NFET 元件
14	NFET 元件	15	NFET 元件
20	PFET 元件	21	PFET 元件
22	PFET 元件	23	NFET 元件
24	NFET 元件	25	NFET 元件
26	上方輸入腳 A	28	輸入腳 C
27	輸入腳 B	29	輸出點 Y
30	NFET 元件	31	NFET 元件
33	PFET 元件	34	PFET 元件

五、發明說明()

- | | | | |
|----|---------|----|---------|
| 40 | NFET 元件 | 41 | NFET 元件 |
| 43 | PFET 元件 | 44 | PFET 元件 |
| 46 | 輸入腳 A | 48 | 輸入腳 B |
| 49 | 輸出點 Y | | |

發明詳細說明：

所有元件堆疊高度高於一之 CMOS 閘皆得加以寬度變化，如包含二或更多 NFET 元件堆疊之 CMOS NAND 閘、包含二或更多 PFET 元件堆疊之 CMOS NOR 閘、及包含二或更多 NFET 元件及 PFET 元件堆疊之 CMOS AIR 及 OAI 閘皆可加以寬度變化。唯一不得加以寬度變化之 CMOS 閘為反相器，因其只包含一一階高度之 NFET 堆疊及一一階高度之 PFET 元件堆疊。圖式中，所顯示之可變化寬度閘為具三輸入之 NAN 閘及具二輸入之 NOR 閘。

第 1 圖顯示之元件至少包含一非可變化寬度之三輸入 CMOS NAND 閘，其中 PFET 元件 10,11 及 12 之寬度同為 PW，而 NFET 元件 13,14 及 15 之寬度則同為 NW。熟習 CMOS 設計者皆知，至少具有一閘門之元件的寬度皆得以決定閘延遲特性。更詳而言之， β 比 (PW/NW) 得決定輸入之升緣及降緣的延遲特性。

第 2 圖所示之元件至少包含一可變化寬度之三輸入 CMOS NAND 閘，其中該可變化寬度閘之功能與第 1 圖之三輸入 NAND 閘等同；且 PFET 元件 20,21 及 22 之寬度同為 PW，NFET 元件 23 之寬度為 NW，NFET 元件 24 之寬

五、發明說明()

度為 $t \times NW$ ，而 NFET 元件 25 之寬度為 $u \times NW$ ，其中 t 及 u 參數值強烈影響及開之輸入升緣延遲特性。現就特以 t 及 u 皆大 1 者為例說明之：由於下方 NFET 元件 24 及 25 寬於非可變化寬度開者，上方輸入腳 A(26)之升緣至輸出點 Y(29)之降緣的延遲時間得以降低，其中較寬之元件得有效降低 NFET 堆疊之阻抗，這也使得 Vdd 經由輸出點 29 放電至地的放電速度加快，不過此時輸入腳 C(28)至輸出腳 Y(29)之路徑延遲卻增加，但在單就該開的獨立分析上卻不明顯。接著討論驅動輸入腳 C 之開，當可變化寬度開之 $u > 1$ 時，其輸入電容較大，因此得增加開驅動輸入腳 C 之延遲時間。因此， t 及 u 參數很明顯得因改變而改變該開之輸入延遲特性。

第 3 圖中，所示元件至少包含一非可變化寬度之二輸入 CMOS NOR 開，其中 NFET 元件 30 及 31 之寬度同為 NW ，而 PFET 元件 33 及 34 則同為 PW 。熟習 CMOS 設計人士皆知，至少包含一開門之元件的寬度足以決定開延遲特性。更詳而言之， β 比 (PW/NW) 得決定輸入之升緣及降緣的延遲特性。

第 4 圖中，所示元件至少包含一可變化寬度之二輸入 CMOS NOR 開，其中該可變化寬度開之功能與第 3 圖之二輸入 NOR 開者等同；而 NFET 元件 43 之寬度為 PW ，PFET 元件 44 之寬度則為 $t \times PW$ ，其中參數 t 值強烈影響該開之輸入降緣的延遲特性。現特就 t 大於 1 之例進行說明：由於上方 PFET 元件 44 寬於非可變化寬度開者，故而輸入腳

五、發明說明()

A(46)之降緣至輸出點 Y(49)之延遲得以降低，其中較寬之元件得有效降低 PFET 堆疊之阻抗，這也使得地經由輸出點 Y 充電至 Vdd 的充電速度加快，不過此時輸入腳 B(48)至輸出點 Y(49)之路徑延遲卻增加，但在單就該閘的獨立分析上卻不明顯。接著討論驅動輸入腳 B(48)之閘，當可變化寬度閘之 $t > 1$ 時，其輸入電容較大，因此得增加閘驅動輸入腳 B 之延遲時間。因此， t 參數很明顯得因改變而改變該 NOR 閘之輸入延遲特性。

以上僅就具三輸入之 NAND 閘及具二輸入之 NOR 閘進行寬度變化之說明，其它類型之 CMOS 閘實亦可以同等方法加以寬度變化；這些閘類型包含(但非僅限定為)具二或四輸入之 CMOS NAND 閘、具二輸入以上之 CMOS NOR 閘、及具各任意輸入數之 CMOS AND-OR-INVERT(AOI)及 OR-AND-INVERT(OAI)閘。其中，CMOS OAI 及 AOI 閘皆含有二或以上高度之堆疊及二或以上高度之 NFET 堆疊，故這些閘中的 NFET 及 PFET 堆疊皆可加以寬度變化。

第 5 圖用以說明寬度比參數 t 及 u 變化時、三輸入 NAND 閘腳 A 及 C 之改變對路徑延遲之影響。當 $t=u=1$ 時，閘為非可變化寬度者；但當寬度比增加時，腳 A(26)之延遲得降低，不過腳 C(28)之延遲卻會增加(當參數 t 改變時，二輸入 NOR 閘腳 A 及閘腳 B 之路徑延遲特性是相當的)。若在一分立閘庫中提供以具連續分佈之寬度比 t 及 u 之閘，其價格明顯太過昂貴，此時得由圖中 $t=2$ 或 3 時得到腳 A 之主要延遲改善的事實來做簡化，即此時可變化寬

五、發明說明()

度開庫中得僅具一些 t 及 u 值，且參數 t 及 u 得為不相同者。當可變化寬度開之 $t=1$ 且 $u>1$ ，腳 A(26)及 B(27)之延遲得以降低，腳 C(28)之延遲則增加。該種可變化寬度開對兩時間上相當關鍵性之路徑的延遲加以加速別具效用。因此，每一種非可變化寬度開皆可有其多種功能相等之可變化寬度開。

第 6 圖所示為開發該種可變化寬度開庫之合成演算法的流程圖。該演算法之執行始於一初始時間分析動作之後，其中時間分析中有一具時間關鍵性開組成之表列的產生。在步驟 60 時，下一開 G 由該表列中選出。當無具時間關鍵性開存留時，演算法即告結束；反之，下一開 G 於步驟 61 中被判定是否為得加以寬度變化者。若 G 為反相器(其為不能加以寬度變化者)，那麼演算法之流程回到步驟 60；反之，在步驟 62 中檢視與該 G 輸入之連接網的時間差。若最具時間關鍵性之網 N 未與 G 之腳 A 連接，那麼演算法即以連接網 N 替代與腳 A 相接之網(步驟 63)。若網 N 已與腳 A 相接，那麼該替代動作則不需進行。接著，該演算法流程行至步驟 64，此時 G 為下一功能等同之可變化寬度開 G'所替代。步驟 65 時，時間分析動作再度被要求執行，以重新計算經過 G'之路徑的時間差。若時間得到改善(步驟 66)，那麼可變化寬度開 G'被保留，而演算法再回至步驟 60。若時間差未得改善，G'即以原始開 G(步驟 67)取代，演算法流程並回至步驟 64。當所有功能等同之可變化寬度開皆已完成時間評估，演算法流程再回至步

五、發明說明()

驟 60。

前文已敘明本發明之較佳實施例，但現今及未來之熟知該項技術者都能了解本發明可經由各種方式加各種效能的提升。然而，若藉以提升效能之方式屬於以下專利申請範圍者皆屬本發明之範圍，且這些範圍係用以保護該首次提出之發明用。

(請先閱讀背面之注意事項再寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱:)

互補式金氧半可變化寬度閘及其合成方法

一高性能閘庫擴充以可變化寬度閘，閘中各堆疊元件之寬度得加變化而降低某些輸入腳之時間延遲。以一可變化寬度 NAND 閘為例，其 NFET 堆疊中下方元件的寬度大於上方元件者，如此便能在犧牲下方輸入至輸出腳延遲之條件下達到上方輸入至輸出腳延遲降低之目的。合成演算法所用方法得修改輸入連接網與閘腳間之連接，並以可變化寬度閘替代傳統非可變化寬度閘，藉以改善具時間關鍵性路徑之延遲情況。其中，最新抵達之閘輸入連接網為與上方腳連接之連接網所替代，接著在下方閘輸入之路徑不為具時間關鍵性的條件下轉變該

英文發明摘要(發明之名稱:)

CMOS TAPERED GATE AND SYNTHESIS METHOD

A high-performance gate library is augmented with tapered gates. The widths of the stacked devices are varied to reduce the delay through some of the input pins. For example in a tapered NAND gate the bottom devices in the NFET stack are have longer widths than the top device to achieve smaller top input to output pin delay at the expense of larger bottom input to output pin delay. The method of using synthesis algorithms modifies the input net to gate pin connections and swaps traditional non-tapered gates with tapered gates to improve the delay of the timing critical paths. The latest arriving gate input net is swapped with the net connected to the top pin. The gate is then converted to a tapered gate provided the paths through the bottom gate input(s) that are not timing critical

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱:)

閘為一可變化寬度閘。

英文發明摘要(發明之名稱:)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

1. 一種邏輯合成方法，用以降低一電路中一具時間關鍵性之路徑的延遲，其中至少包含下列步驟：

(a) 在該具時間關鍵性之路徑中選擇一非為一反相器之閘，

(b) 改接該具時間關鍵性之路徑至該閘之一腳，

(c) 取代該閘以一功能等同之漸細型閘，

(d) 對該電路執行一時間分析動作，且

(e) 當該電路之時間分析指出該電路之一最差延遲情形獲致改善時，

(f) 保留該可變化寬度閘，及

(g) 當該電路之時間分析指出該電路之該最差延遲情形未獲致改善時，

(h) 將該可變化寬度閘取代回該選定閘，以用於該電路中。

2. 如申請專利範圍第 1 項所述之邏輯合成方法，其中該閘係自一閘庫中選出，該閘庫至少包含一組非可變化寬度閘及一組可變化寬度閘；在該閘庫中，該非可變化寬度閘為具有相同寬度之元件構成的堆疊，而該可變化寬度閘則為寬度不相同之元件構成的堆疊。

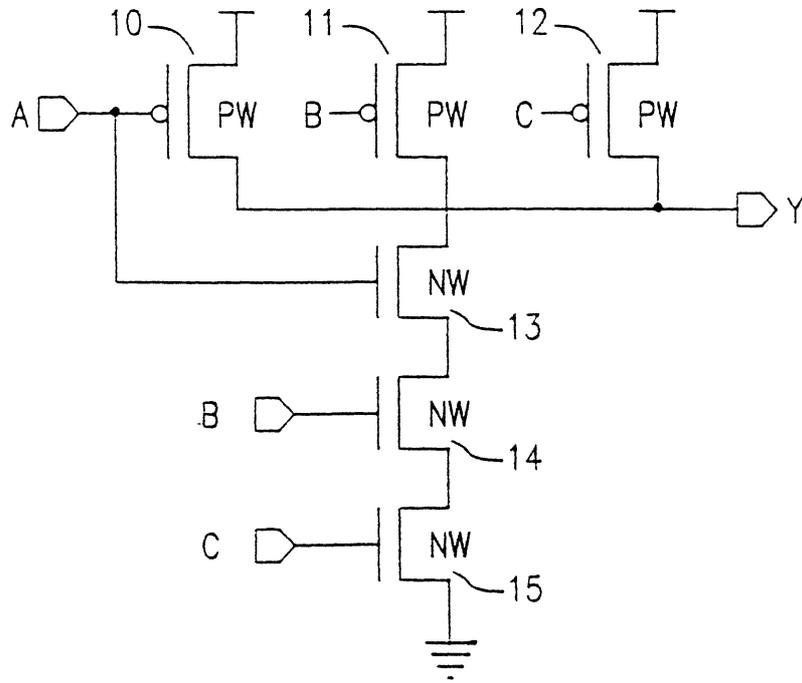
3. 如申請專利範圍第 1 項所述之邏輯合成方法，其中該閘係自一閘庫中選出，該閘庫至少包含一組非可變化寬度閘及一組可變化寬度閘；該閘庫之每一組閘至少包含下

六、申請專利範圍

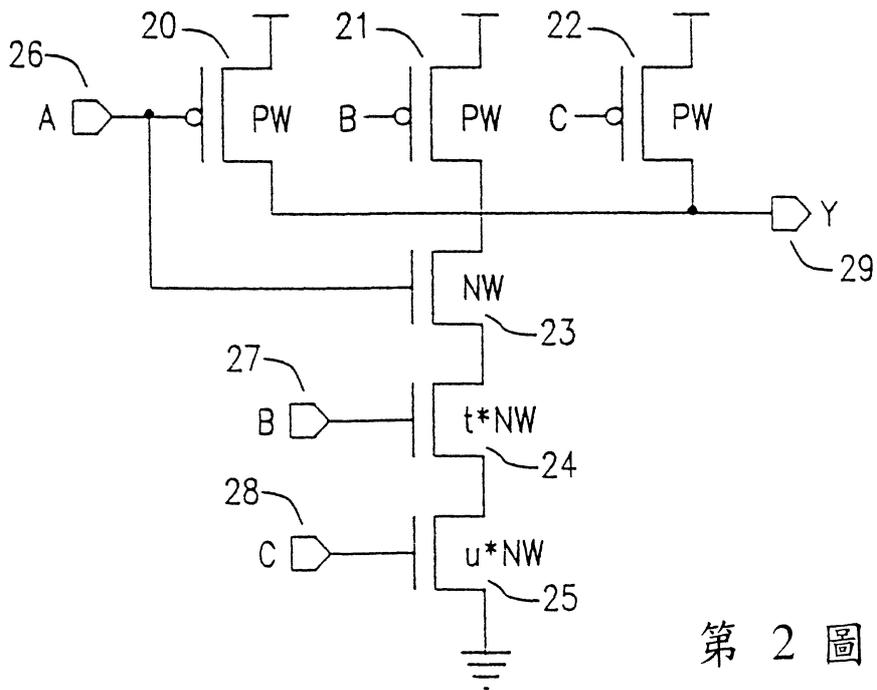
列之一或多者：NAND 閘、NOR 閘、~~AND-XOR-INVERT~~ 閘及 OR-AND-INVERT 閘。

AND-OR-INVERT

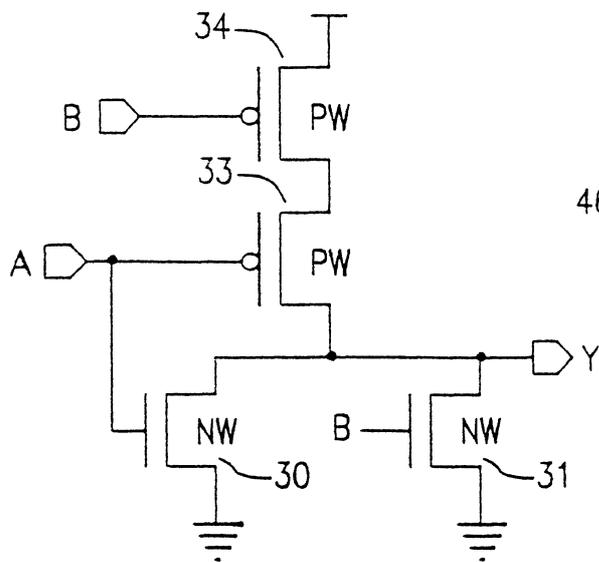

- 4.如申請專利範圍第 3 項所述之邏輯合成方法，其中該可變化寬度閘之延遲及該非可變化寬度閘之延遲被加以比較。
- 5.如申請專利範圍第 1 項所述之邏輯合成方法，其中一非可變化寬度閘得具有複數個可變化寬度閘，且該複數個可變化寬度閘於功能上等同於該非可變化寬度閘。
- 6.如申請專利範圍第 5 項所述之邏輯合成方法，其中得為該電路使用之該複數個可變化寬度閘被替代至該電路中，用以與該電路之一時間分析結果做比較。
- 7.如申請專利範圍第 6 項所述之邏輯合成方法，其中經由該複數個可變化寬度閘之延遲及經由該非可變化寬度閘之延遲被加以比較。
- 8.如申請專利範圍第 7 項所述之邏輯合成方法，其中該複數個閘之可得到最短延遲時間之閘為該電路所保留使用之閘。



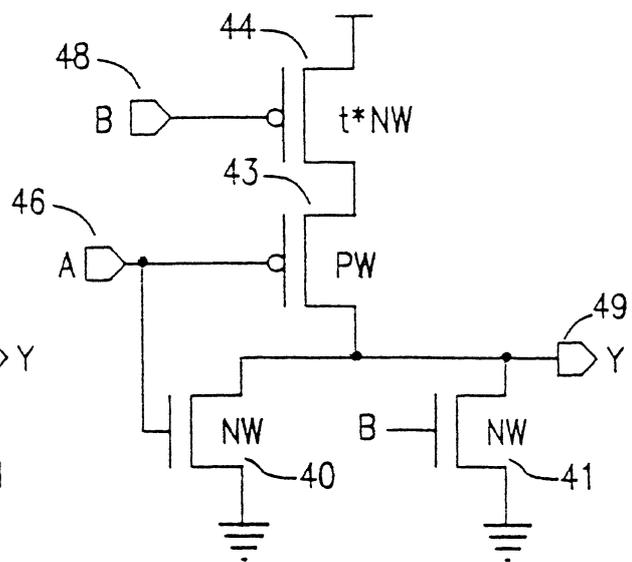
第 1 圖



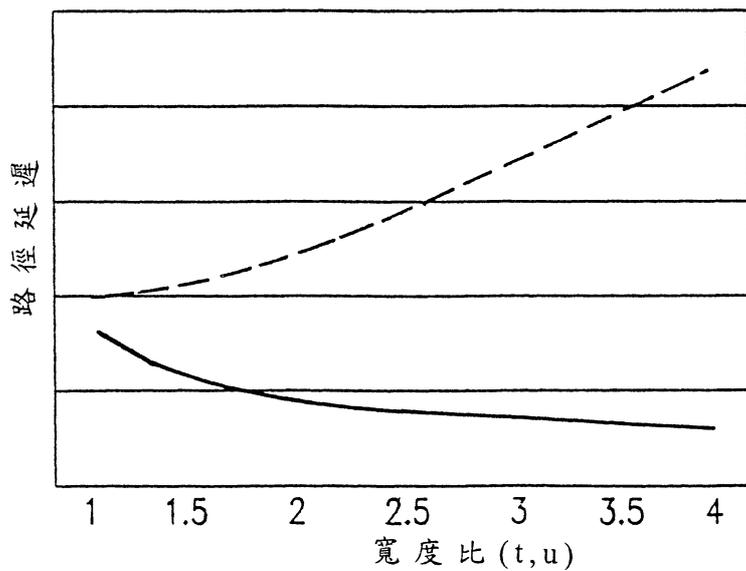
第 2 圖



第 3 圖



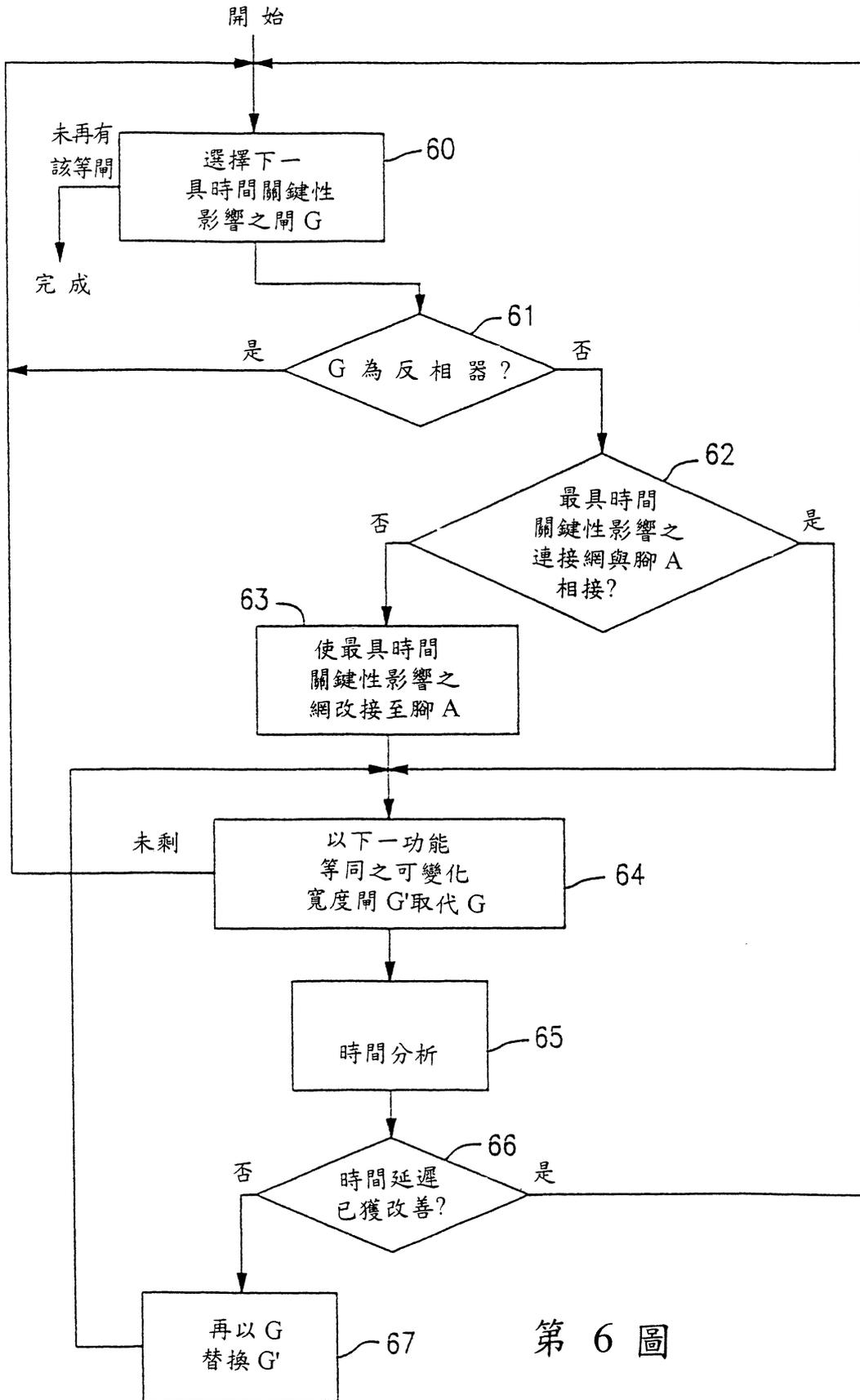
第 4 圖



C(下方元件)腳延遲

A(上方元件)腳延遲

第 5 圖



第 6 圖