

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成21年11月5日(2009.11.5)

【公開番号】特開2007-158301(P2007-158301A)

【公開日】平成19年6月21日(2007.6.21)

【年通号数】公開・登録公報2007-023

【出願番号】特願2006-276259(P2006-276259)

【国際特許分類】

H 01 L 21/8246 (2006.01)

H 01 L 27/105 (2006.01)

H 01 L 43/08 (2006.01)

H 01 L 43/12 (2006.01)

【F I】

H 01 L 27/10 4 4 7

H 01 L 43/08 H

H 01 L 43/12

H 01 L 43/08 Z

【手続補正書】

【提出日】平成21年9月14日(2009.9.14)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体基板上に形成され、下部電極、前記下部電極上的一部分に形成されたTMR膜及び上部電極の積層構造からなるメモリセルと、

前記メモリセルに対し、前記下部電極の上面及び前記TMR膜の側面を覆って形成される第1酸化防止膜と、

前記第1酸化防止膜及び前記下部電極の側面に直接接するように形成される第2酸化防止膜と、

前記第2酸化防止膜を覆う酸化膜と、

を備える半導体装置。

【請求項2】

請求項1記載の半導体装置であって、

ビット線が前記酸化膜上に配置されている、

半導体装置。

【請求項3】

請求項1あるいは請求項2記載の半導体装置であって、

前記第1及び第2酸化防止膜はシリコン窒化膜である、

半導体装置。

【請求項4】

請求項1ないし請求項3のうち、いずれか1項に記載の半導体装置であって、

前記TMR膜から平面視所定の距離を隔てて、前記下部電極の下方に形成されるリード線と、

前記リード線上に形成され、前記リード線と前記下部電極とを電気的に接続する金属プラグとをさらに備える、

半導体装置。

【請求項 5】

請求項 1ないし請求項 4のうち、いずれか 1 項に記載の半導体装置であって、前記上部電極は、前記下部電極と同じ材質を用いて形成された膜厚が 30 ~ 100 nm の導電性を有するハードマスク層を含む、

半導体装置。

【請求項 6】

半導体基板上に形成され、下部電極、前記下部電極上的一部分に形成された TMR 膜及び上部電極の積層構造からなるメモリセルと、

前記 TMR 膜から平面視所定の距離を隔てて、前記下部電極の下方に形成されるリード線と、前記リード線と前記下部電極の間に配置された第 1 層間絶縁膜と、

前記第 1 層間絶縁膜と前記下部電極の間に配置された第 2 層間絶縁膜と、

前記リード線上に形成され、前記第 1 層間絶縁膜及び前記第 2 層間絶縁膜を貫通し、前記リード線と前記下部電極とを電気的に接続する金属プラグと、  
を備える半導体装置。

【請求項 7】

請求項 6 記載の半導体装置であって、前記上部電極は、前記下部電極と同じ材質を用いて形成された膜厚が 30 ~ 100 nm の導電性を有するハードマスク層を含む、

半導体装置。

【請求項 8】

半導体基板上に形成され、下部電極、前記下部電極上的一部分に形成された TMR 膜及び上部電極の積層構造からなるメモリセルを有し、

前記上部電極は、前記下部電極と同じ材質を用いて形成された膜厚が 30 ~ 100 nm の導電性を有するハードマスク層であることを特徴とする、

半導体装置。

【請求項 9】

(a) 半導体基板上において、下部電極、前記下部電極上的一部分に形成された TMR 膜及び上部電極の積層構造を形成するステップと、

(b) 前記上部電極及び前記 TMR 膜をパターニングするステップと、

(c) 前記下部電極、前記上部電極及び前記 TMR 膜を覆って第 1 の酸化防止膜を形成するステップと、

(d) 前記上部電極及び前記 TMR 膜を前記第 1 の酸化防止膜が覆った状態で、前記第 1 の酸化防止膜及び前記下部電極をパターニングするステップと、

(e) 前記ステップ(d) の後、第 2 酸化防止膜を形成するステップと、

(f) 前記ステップ(e) の後、全面に酸化膜を形成するステップ、

とを備える半導体装置の製造方法。

【請求項 10】

請求項 9 記載の半導体装置の製造方法であって、

(g) 前記ステップ(f) の後、前記酸化膜上にビット線を形成するステップをさらに備える、

半導体装置の製造方法。

【請求項 11】

請求項 9 あるいは請求項 10 記載の半導体装置の製造方法であって、

前記ステップ(a) は、

(a-1) 前記半導体基板上にリード線を形成するステップと、

(a-2) 前記リード線上に層間絶縁膜を形成するステップと、

(a-3) 前記リード線上の層間絶縁膜を貫通してビアホールを形成するステップと、

(a-4) 前記ビアホールを埋め込んで金属プラグを形成するステップと、

(a-5) 前記ビアホールを含む前記層間絶縁膜上に前記積層構造を形成するステップとを

含み、前記積層構造における前記下部電極は前記金属プラグを介して前記リード線と電気的に接続され、

前記ステップ(b)でパターニング後の前記TMR膜は、前記リード線から平面視所定の距離を隔てて形成される、

半導体装置の製造方法。

#### 【請求項12】

請求項9ないし請求項11のうち、いずれか1項に記載の半導体装置の製造方法であつて、

前記上部電極は、前記下部電極と同じ材質を用いて形成された膜厚が30～100nmの電極を含み、

前記ステップ(b)は、

(b-1) 前記上部電極をパターニングするステップと、

(b-2) 前記上部電極をハードマスク層として用いて前記TMR膜をパターニングするステップとを含む、

半導体装置の製造方法。

#### 【請求項13】

請求項9ないし請求項12のうち、いずれか1項に記載の半導体装置の製造方法であつて、

前記酸化防止膜は300以下で形成されるシリコン窒化膜を含む、  
半導体装置の製造方法。

#### 【請求項14】

(a) 半導体基板上においてリード線を形成するステップと、

(b) 前記リード線上に第1層間絶縁膜を形成するステップと、

(c) 前記第1層間絶縁膜上に第2層間絶縁膜を形成するステップと、

(d) 前記リード線上の第1層間絶縁膜及び第2層間絶縁膜を貫通してビアホールを形成するステップと、

(e) 前記ビアホールを埋め込んで金属プラグを形成するステップと、

(f) 前記ビアホールを含む前記第2層間絶縁膜上に下部電極、TMR膜及び上部電極の積層構造を形成するステップとを含み、前記下部電極は前記金属プラグを介して前記リード線と電気的に接続され、

(g) 前記上部電極及び前記TMR膜をパターニングするステップをさらに備え、パターニング後の前記TMR膜は、前記リード線から平面視所定の距離を隔てて形成される、  
半導体装置の製造方法。

#### 【請求項15】

請求項14記載の半導体装置の製造方法であつて、

前記上部電極は、前記下部電極と同じ材質を用いて形成された膜厚が30～100nmの電極を含み、

前記ステップ(g)は、

(g-1) 前記上部電極をパターニングするステップと、

(g-2) 前記上部電極をハードマスク層として用いて前記TMR膜をパターニングするステップとを含む、

半導体装置の製造方法。

#### 【請求項16】

(a) 半導体基板上において、下部電極、TMR膜及び上部電極の積層構造を形成するステップと、

(b) 前記上部電極をパターニングするステップと、

(c) 前記上部電極をハードマスク層として用いて前記TMR膜をパターニングするステップと、

を備える半導体装置の製造方法。

#### 【請求項17】

半導体基板の上方に形成される第1の層間絶縁膜と、  
前記第1の層間絶縁膜を貫通して選択的に形成される下層配線と、  
前記下層配線を含む前記第1の層間絶縁膜上に形成される第2の層間絶縁膜とを備え、  
前記第2の層間絶縁膜は前記下層配線の少なくとも一部が底面となるピアホールを有し、  
前記ピアホールの底面及び側面並びに前記第2の層間絶縁膜上に形成される下部電極を  
さらに備え、前記下部電極は前記ピアホールを介して前記下層配線と電気的に接続され、  
前記下部電極上の一面上に選択的に形成され、TMR膜及び上部電極の積層構造からなる  
TMR素子と、

前記ピアホール内を含む前記下部電極上に形成された絶縁性膜とをさらに備え、前記第  
2の層間絶縁膜上において前記絶縁性膜及び前記下部電極は共に同一方向に側面を有し、  
前記下部電極の側面は前記絶縁性膜の側面に対し、前記同一方向において一致するか前記  
絶縁性膜より窪んで形成される、

半導体装置。

【請求項18】

請求項17記載の半導体装置であって、  
前記絶縁性膜は300以下の低温で形成された低温絶縁性膜を含む、  
半導体装置。

【請求項19】

請求項17あるいは請求項18記載の半導体装置であって、  
前記絶縁性膜は前記第2の層間絶縁膜上における前記下部電極上全面に形成される、  
半導体装置。

【請求項20】

請求項17ないし請求項19記載のうち、いずれか1項に記載の半導体装置であって、  
前記下部電極の側面は前記絶縁性膜の側面に対し、前記同一方向において一致して形成  
される、  
半導体装置。

【請求項21】

請求項17ないし請求項19記載のうち、いずれか1項に記載の半導体装置であって、  
前記半導体装置は第1及び第2のTMR形成領域を有し、前記第1及び第2のTMR形  
成領域それぞれに、前記TMR素子、前記下部電極及び前記絶縁性膜が形成され、  
前記第1及び第2のTMR形成領域を含む前記第2の層間絶縁膜上の全面に形成された  
第3の層間絶縁膜をさらに備え、前記第2の層間絶縁膜上に直接形成される前記第3の層  
間絶縁膜によって前記第1及び第2のTMR形成領域の下部電極は互いに絶縁分離され、  
前記第2及び第3の層間絶縁膜は少なくともその界面及びその近傍領域において化学種  
が同一材料で形成される、  
半導体装置。

【請求項22】

請求項21記載の半導体装置であって、  
前記第2及び第3の層間絶縁膜は同一内容の製造プロセスで形成される、  
半導体装置。

【請求項23】

請求項22記載の半導体装置であって、  
前記第2及び第3の層間絶縁膜は少なくともその界面及びその近傍において、300  
以下の低温で形成された低温絶縁性膜で形成される、  
半導体装置。

【請求項24】

請求項17ないし請求項19記載のうち、いずれか1項に記載の半導体装置であって、  
前記半導体装置は第1及び第2のTMR形成領域を有し、  
前記TMR素子は前記第1及び第2のTMR形成領域に形成される第1及び第2のT  
MR素子を含み、

前記絶縁性膜は前記第1及び第2のTMR形成領域に形成される第1及び第2の絶縁性膜を含み、前記第1及び第2の絶縁性膜は互いに第1の間隔隔てて対向する側面を有し、

前記下部電極は前記第1及び第2のTMR形成領域に形成される第1及び第2の下部電極を含み、前記第1及び第2の下部電極は互いに第2の間隔隔てて対向する側面を有し、

前記第1の絶縁性膜及び前記第1の下部電極は前記第1のTMR形成領域から前記第2のTMR形成領域に向かう方向を前記同一方向とし、前記第2の絶縁性膜及び前記第2の下部電極は前記第2のTMR形成領域から前記第1のTMR形成領域に向かう方向を前記同一方向とし、

前記第1及び第2のTMR形成領域を含む前記第2の層間絶縁膜上の全面に形成された第3の層間絶縁膜をさらに備え、前記第3の層間絶縁膜は前記第1及び第2の下部電極間に形成されることにより、前記第1及び第2の下部電極を絶縁分離し、

前記第1及び第2の下部電極の側面は前記第1及び第2の前記絶縁性膜の側面に対し、前記同一方向において窪んで形成され、

前記第1及び前記第2の下部電極の側面に隣接し、かつ前記第1及び第2の絶縁性膜下方に形成される端部酸化領域をさらに備える、

半導体装置。

#### 【請求項25】

請求項24記載の半導体装置であって、

前記第1及び第2の下部電極は高融点でかつ、酸化物が絶縁性を有する金属材料で構成される、

半導体装置。

#### 【請求項26】

(a) 半導体基板の上方に第1の層間絶縁膜を形成するステップと、

(b) 前記第1の層間絶縁膜を貫通して下層配線を選択的に形成するステップと、

(c) 前記下層配線を含む前記第1の層間絶縁膜上に第2の層間絶縁膜を形成するステップと、

(d) 前記下層配線上の前記第2の層間絶縁膜を貫通してビアホールを形成するステップとを備え、前記ビアホールの底面が前記下層配線の少なくとも一部となり、

(e) 前記ビアホールの底面及び側面並びに前記第1の層間絶縁膜上に下部電極を形成するステップをさらに備え、前記下部電極は前記ビアホールを介して前記下層配線と電気的に接続され、

(f) 前記第2の層間絶縁膜上における前記下部電極上に、TMR膜及び上部電極の積層構造となるTMR素子を選択的に形成するステップと、

(g) 前記ビアホールを含む前記下部電極上に絶縁性膜を形成するステップと、

(h) 前記絶縁性膜上にパターニングされたレジストを形成するステップと、

(i) 前記レジストをマスクとして、前記下部電極及び前記絶縁性膜を同時にエッチングして、前記下部電極及び前記絶縁性膜をパターニングするステップと、

(j) 前記レジストを除去するステップとをさらに備える、

半導体装置の製造方法。

#### 【請求項27】

請求項26記載の半導体装置の製造方法であって、

前記絶縁性膜は低温絶縁性膜を含み、

前記ステップ(g)は、300以下の低温で前記絶縁性膜を形成するステップを含む、半導体装置の製造方法。

#### 【請求項28】

請求項26あるいは請求項27記載の半導体装置の製造方法であって、

前記ステップ(j)は、アッシング処理及びウェット洗浄処理の少なくとも一つの処理を含む、

半導体装置の製造方法。

#### 【請求項29】

請求項 2 6 ないし請求項 2 8 記載のうち、いずれか 1 項に記載の半導体装置の製造方法であって、

前記半導体装置は第 1 及び第 2 の T M R 形成領域を有し、

前記 T M R 素子は前記第 1 及び第 2 の T M R 形成領域に形成される第 1 及び第 2 の T M R 素子を含み、

前記絶縁性膜は前記第 1 及び第 2 の T M R 形成領域に形成される第 1 及び第 2 の絶縁性膜を含み、前記ステップ(i) 実行後において前記第 1 及び第 2 の絶縁性膜は互いに所定間隔隔てて対向する側面を有し、

前記下部電極は前記第 1 及び第 2 の T M R 形成領域に形成される第 1 及び第 2 の下部電極を含み、前記ステップ(i) 実行後において前記第 1 及び第 2 の下部電極は互いに前記所定間隔隔てて対向する側面を有し、

前記ステップ(j) は、アッシング処理を含み、前記アッシング処理により前記第 1 及び第 2 の下部電極の側面から一部酸化することにより、第 1 及び第 2 の端部酸化領域が形成される、

半導体装置の製造方法。

#### 【請求項 3 0】

請求項 2 6 ないし請求項 2 9 記載のうち、いずれか 1 項に記載の半導体装置の製造方法であって、

前記半導体装置は、前記 T M R 素子が形成される素子形成領域と前記 T M R 素子が形成されない周辺領域とを含み、

前記第 2 の層間絶縁膜は、第 1 の部分層間絶縁膜及び前記第 1 の部分層間絶縁膜上に形成される第 2 の部分層間絶縁膜を含み、

前記絶縁性膜は前記第 2 の部分層間絶縁膜と同程度の膜厚、化学種が同一の材料で形成され、

(k) 前記ステップ(j) 後に実行され、前記素子形成領域及び前記周辺領域を含む全面に第 3 の層間絶縁膜を形成するステップと、

(l) 前記素子形成領域において前記第 3 の層間絶縁膜を貫通する T M R 用部分ピアホールを形成すると同時に、前記周辺領域において前記第 3 の層間絶縁膜及び前記第 2 の部分層間絶縁膜を貫通する周辺用部分ピアホールを形成するステップとを備え、

(m) 前記素子形成領域において前記 T M R 用部分ピアホールから、さらに前記絶縁性膜を貫通させて T M R 用ピアホールを形成すると同時に、前記周辺領域において前記周辺用部分ピアホールから前記第 1 の部分層間絶縁膜を貫通させて周辺用ピアホールを形成するステップとをさらに備え、

前記第 3 の層間絶縁膜は、前記絶縁成膜及び前記第 2 の部分層間絶縁膜と化学種が異なる材料で、かつ前記第 2 の部分層間絶縁膜と化学種が同一材料で形成される、

半導体装置の製造方法。

#### 【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 7

【補正方法】変更

【補正の内容】

【0 0 0 7】

この発明に係る請求項 1 記載の半導体装置は、半導体基板上に形成され、下部電極、前記下部電極上の一部に形成された T M R 膜及び上部電極の積層構造からなるメモリセルと、前記メモリセルに対し、前記下部電極の上面及び前記 T M R 膜の側面を覆って形成される第 1 酸化防止膜と、前記第 1 酸化防止膜及び前記下部電極の側面に直接接するように形成される第 2 酸化防止膜と、前記第 2 酸化防止膜を覆う酸化膜とを備えている。

#### 【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 8

【補正方法】変更

【補正の内容】

【0008】

この発明に係る請求項6記載の半導体装置は、半導体基板上に形成され、下部電極、前記下部電極上的一部分に形成されたTMR膜及び上部電極の積層構造からなるメモリセルと、前記TMR膜から平面視所定の距離を隔てて、前記下部電極の下方に形成されるリード線と、前記リード線と前記下部電極の間に配置された第1層間絶縁膜と、前記第1層間絶縁膜と前記下部電極の間に配置された第2層間絶縁膜と、前記リード線上に形成され、前記第1層間絶縁膜及び前記第2層間絶縁膜を貫通し、前記リード線と前記下部電極とを電気的に接続する金属プラグとを備えている。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正の内容】

【0010】

この発明に係る請求項9記載の半導体装置の製造方法は、(a) 半導体基板上において、下部電極、前記下部電極上的一部分に形成されたTMR膜及び上部電極の積層構造を形成するステップと、(b) 前記上部電極及び前記TMR膜をパターニングするステップと、(c) 前記下部電極、前記上部電極及び前記TMR膜を覆って第1の酸化防止膜を形成するステップと、(d) 前記上部電極及び前記TMR膜を前記第1の酸化防止膜が覆った状態で、前記第1の酸化防止膜及び前記下部電極をパターニングするステップと、(e) 前記ステップ(d) の後、第2酸化防止膜を形成するステップと、(f) 前記ステップ(e) の後、全面に酸化膜を形成するステップとを備えている。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正の内容】

【0011】

この発明に係る請求項14記載の半導体装置の製造方法は、(a) 半導体基板上においてリード線を形成するステップと、(b) 前記リード線上に第1層間絶縁膜を形成するステップと、(c) 前記第1層間絶縁膜上に第2層間絶縁膜を形成するステップと、(d) 前記リード線上の第1層間絶縁膜及び第2層間絶縁膜を貫通してビアホールを形成するステップと、(e) 前記ビアホールを埋め込んで金属プラグを形成するステップと、(f) 前記ビアホールを含む前記第2層間絶縁膜上に下部電極、TMR膜及び上部電極の積層構造を形成するステップとを含み、前記下部電極は前記金属プラグを介して前記リード線と電気的に接続され、(g) 前記上部電極及び前記TMR膜をパターニングするステップをさらに備え、パターニング後の前記TMR膜は、前記リード線から平面視所定の距離を隔てて形成されている。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正の内容】

【0015】

請求項1記載の半導体装置は、下部電極の上面及びTMR膜の側面を覆って酸化防止膜が形成されているため、酸化膜が形成される際、下部電極の上面及びTMR膜の側面が酸化されることを確実に抑制することができる。その結果、記憶精度が劣化しないTMR膜を有するメモリセルを得ることができる。

**【手続補正7】****【補正対象書類名】**明細書**【補正対象項目名】**0018**【補正方法】**変更**【補正の内容】****【0018】**

請求項9記載の半導体装置の製造方法は、ステップ(c)で、下部電極の上面及び側面並びにTMR膜の側面を少なくとも覆って第1の酸化防止膜を形成しているため、ステップ(f)で酸化膜が形成される際、下部電極の上面及び側面並びにTMR膜の側面が酸化されることを確実に抑制することができる。その結果、記憶精度が劣化しないTMR膜を有するメモリセルを得ることができる。

**【手続補正8】****【補正対象書類名】**明細書**【補正対象項目名】**0019**【補正方法】**変更**【補正の内容】****【0019】**

請求項14記載の半導体装置の製造方法は、ステップ(e)において、ビアホールは金属プラグによって埋め込まれているため、ビアホールの影響を受けることなく下部電極を第1及び第2層間絶縁膜上に平坦性良く形成することができ、メモリセルを精度良く形成することができる効果を奏する。