(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3599385号
(P3599385)
(45)発行日　平成16年12月8日(2004.12.8)　(24)登録日　平成16年9月24日(2004.9.24)

(51)Int.Cl.[7]		F I		
H04N	5/92	H04N	5/92	H
H04N	1/41	H04N	1/41	B
H04N	5/907	H04N	5/907	B

請求項の数 3　(全 16 頁)

(21)出願番号　特願平6-263719
(22)出願日　平成6年10月27日(1994.10.27)
(65)公開番号　特開平8-123945
(43)公開日　平成8年5月17日(1996.5.17)
審査請求日　平成13年10月18日(2001.10.18)

(73)特許権者　000001007
キヤノン株式会社
東京都大田区下丸子３丁目３０番２号
(74)代理人　100090538
弁理士　西山　恵三
(74)代理人　100096965
弁理士　内尾　裕一
(72)発明者　山下　伸逸
東京都大田区下丸子３丁目３０番２号キヤノン株式会社内
(72)発明者　春間　和彦
東京都大田区下丸子３丁目３０番２号キヤノン株式会社内

審査官　酒井　朋広

最終頁に続く

(54)【発明の名称】信号処理装置及びその方法

(57)【特許請求の範囲】
【請求項１】
少なくとも画像データ入出力処理、画像データ符号化／復号化処理、及び符号化データ入出力処理を行うための複数の処理手段と、
上記各処理手段に共通に使用され、メモリセルに対して所定のデータ単位でバースト転送可能とするセンスアンプを備えたメモリ手段とを有し、
上記バースト転送の所定のデータ単位は、上記符号化処理のブロック単位に基づいて設定されていることを特徴とする信号処理装置。
【請求項２】
前記メモリ手段はＳＤＲＡＭ（Ｓｙｎｃｈｒｏｎｏｕｓ－ＤＲＡＭ）であることを特徴とする請求項１に記載の信号処理装置。
【請求項３】
少なくとも画像データ入出力処理、画像データ符号化／復号化処理、及び符号化データ入出力処理を行うための複数の処理工程と、
上記各処理工程で共通に使用され、メモリセルに対して所定のデータ単位でバースト転送可能とするセンスアンプを備えたメモリにデータの書き込み及び読み出しを行う制御工程とを有し、
上記バースト転送の所定のデータ単位は、画像データの符号化処理のブロック単位に基づいて設定されていることを特徴とする信号処理方法。
【発明の詳細な説明】

【０００１】
【産業上の利用分野】
本発明は、各種のデータ、特に画像データ等の符号化、復号化等の処理を行なうための信号処理装置及びその方法に関するものである。
【０００２】
【従来の技術】
従来から、膨大なデータ量の各種データを符号化することによりデータ量を削減して比較的低い伝送レートで伝送し得るようにするための各種装置が開発されている。
【０００３】
例えば、画像データを磁気テープ等の記録媒体に記録するデジタルＶＴＲにおいても１２４ＭＢｐｓ程度の入力画像データを５分の１の２５ＭＢｐｓ程度に圧縮して磁気テープ上に記録し、再生するための規格が制定されている。
【０００４】
このような規格に基づくデジタルＶＴＲにおいては、入力データをＤＣＴ変換した後に量子化し、この量子化データを可変長符号化することによってデータの圧縮を行っており、さらに量子化する際の量子化ステップを各種のパラメータに基づいて可変したり、可変長符号化された後のデータ量が一定となるようにレート制御が行われる。
【０００５】
また、入力画像データをフレーム（フィールド）間動き補償付き予測符号化を用いて圧縮し、この予測画像データを上述のようなＤＣＴ、量子化及び可変長符号化を用いて更に圧縮するようにしたＭＰＥＧ規格が制定されつつあり、この規格に対応したＣＤ－ＲＯＭ等の各種装置も開発されている。
【０００６】
【発明が解決しようとしている課題】
上述のような各種装置における符号化復号化装置においては、それぞれ独立した複数のメモリが用いられていた。
【０００７】
即ち、例えばデジタルＶＴＲの場合には、入力画像データを一旦メモリするためのビデオメモリや、符号化処理が終了した後の符号化データを記録前にメモリするためのトラックメモリ等が必要であり、従来はそれらメモリを各々個別に設けていた。
【０００８】
また、ＭＰＥＧ規格に基づく装置においては、入力バッファや動き補償用のレファレンスバッファ等の独立した複数のメモリが設けられている。
【０００９】
しかしながら、そのように複数のメモリを個別に設け、それぞれに独立して制御するようなものにおいては全体としてコストアップの原因となっていた。
【００１０】
【課題を解決するための手段】
本発明は上述のような実情を鑑みてなされたものであり、コストダウンが可能で、かつ処理内容に応じた高速なアクセスを行うことができる信号処理装置及びその方法を提供することを目的とする。
【００１１】
上記目的を達成するため本発明の信号処理装置は、少なくとも画像データ入出力処理、画像データ符号化／復号化処理、及び符号化データ入出力処理を行うための複数の処理手段と、上記各処理手段に共通に使用され、メモリセルに対して所定のデータ単位でバースト転送可能とするセンスアンプを備えたメモリ手段とを有し、上記バースト転送の所定のデータ単位は、上記符号化処理のブロック単位に基づいて設定されていることを特徴とする。
【００１２】
また、上記目的を達成するため本発明の信号処理方法は、少なくとも画像データ入出力処

理、画像データ符号化／復号化処理、及び符号化データ入出力処理を行うための複数の処理工程と、上記各処理工程で共通に使用され、メモリセルに対して所定のデータ単位でバースト転送可能とするセンスアンプを備えたメモリにデータの書き込み及び読み出しを行う制御工程とを有し、上記バースト転送の所定のデータ単位は、画像データの符号化処理のブロック単位に基づいて設定されていることを特徴とする。

【００１３】

【実施例】

以下、本発明の好適な実施例を図１ないし図１０図を用いて詳細に説明する。

【００１４】

図１は本実施例の構成を示すブロック図であり、この実施例は本発明をデジタルＶＴＲに用いられるＬＳＩ化されたコーデック用の処理回路に適用したものである。

【００１５】

（全体構成）

本実施例は、図１に示すように並列に設けられた２系統の処理ユニットＡ、Ｂ及び入力データの種類に応じて所定のデータを上記各処理ユニットに時分割的に分配するデータインターフェースＣから構成されており、上記各処理ユニットは上述のＬＳＩ化された処理回路及びメモリから各々構成されている。

【００１６】

また、本実施例における各処理ユニットはＳＤ対応の画像データ及びオーディオデータのリアルタイム処理を行うことができ、本実施例においてはこのような処理ユニットを並列配置して各処理回路に時分割的に画像データ及びオーディオデータを供給して処理させることによって１フレーム当りのデータ量が上記ＳＤ画像データの倍であるようなＨＤ対応の画像データ及びオーディオデータをリアルタイム処理することができるように構成されている。

【００１７】

上記処理ユニットにおける各処理回路は、図１に示すように画像データ入出力ブロック１、オーディオ処理ブロック２、符号化／復号化ブロック３、誤り訂正ブロック４及び符号化データ入出力ブロック５から大略構成されており、これら各ブロックはアドレス変換回路６及びメモリインタフェース７を介して外付けの上記メモリ８とデータの授受を行う。

【００１８】

これら処理回路の動作はＣＰＵインタフェース９及び内部システムバスＳＢ１を介して所定のコマンドを外部マイコン１０から上記各ブロックに供給してそれらを制御され、この外部マイコン１０は外部システムバスＳＢ２を介して上記データインターフェースを制御して並列配置された各処理ユニットを時分割処理させる。

【００１９】

本実施例における上記メモリ８としてはクロックの立ち上がりに同期してデータやアドレスのバースト転送を行い得るＳＤＲＡＭ（Ｓｙｎｃｈｒｏｎｏｕｓ－ＤＲＡＭ）が用いられており、このＳＤＲＡＭは図２（Ａ）に示すように２系統のメモリアレイＭ１、Ｍ２、上記各リファレンスクロックＣＬ１、ＣＬ２、ＣＬ３、ＣＬ４　が供給されていずれかのクロックを選択的に出力するクロックバッファ８１、後述するメモリコントローラからの制御信号に基づいて上記各メモリアレイのリード／ライトモードを交互に設定するモードコントローラ８２、上記アドレス変換回路６から供給されるアドレスデータに基づいて上記メモリアレイにおけるアドレスを指定するアドレスコントローラ８３、シリパラ変換を行なうシフトレジスタ８４、入出力用のバッファメモリ８５とから構成されている。

【００２０】

また、このようなメモリ８における上記各メモリアレイＭ１、Ｍ２はメモリセル（ＤＲＡＭ）８６Ａ、８６Ｂ及びこれらメモリセルとは独立に設けられたセンスアンプ８７Ａ、８７Ｂから各々構成されており、これらセンスアンプに保持した所定量のデータをクロックに同期してバースト転送することによってメモリ外部との転送速度と内部バンク内の動作速度を独立に設定することができ、全体として高速なリード／ライトを可能とする。

【００２１】
さらに、本実施例における上記センスアンプ８７Ａ、８７Ｂは、図２（Ｂ）　に示すように８×６４（８×８）画素分の容量を備えており、８画素単位でバースト転送し得るようになっている。
【００２２】
このようなメモリ８における上記メモリセル８６Ａ、８６Ｂの各メモリ空間は１フレーム分の容量を備えたビデオメモリ（ＶＭ）領域と同じく１フレーム分の符号化データを記憶するための容量を備えたトラックメモリ（ＴＭ）領域とから各々構成されており、各領域におけるメモリセルは１フレーム毎に書込みモードと読出しモードとに交互に設定されるとともに、上記各処理ブロックはその処理形態に応じて上記センスアンプ８７Ａ、８７Ｂを介してＶＭ領域又はＴＭ領域との間でデータの授受を行う。
【００２３】
即ち、図３に示すように上記画像データ入出力ブロック１は専らＶＭ領域との間でデータ授受を行い、上記符号化／復号化ブロック３はＶＭ領域とＴＭ領域との両方とデータの授受を行うことによって符号化動作時にはＶＭ領域からデータを読み出して符号化処理した後にＴＭ領域に書き込み、復号化動作時にはＴＭ領域からデータを読み出して復号化処理した後にＶＭ領域に書き込む。
【００２４】
同様に、上記オーディオ処理ブロック２、誤り訂正ブロック４及び符号化データ入出力ブロック５は専らＴＭ領域との間でデータ授受を行う。
【００２５】
また、上記各領域におけるアドレス空間は図３に示すように各々構成されている。
【００２６】
即ち、上記ＶＭ領域には符号化される前の画像データ（Ｙ、Ｃｒ，Ｃｂ）が画素単位で書き込まれ、この画像データ（１フレーム当たり水平７２０画素×垂直４８０画素）は、水平方向５ブロック×垂直方向１０ブロックの５０個のスーパマクロブロック（ＳＭＢ）に配分され、各スーパマクロブロックは輝度データ４ＤＣＴブロックと色差データ各１ＤＣＴブロックとから成るマクロブロック（ＭＢ）を２７ブロック集めて構成されている。
【００２７】
なお、各ＤＣＴブロックは８×８画素から構成される。
【００２８】
また、上述のような画素数から成る１フレームの画像データは符号化処理された後に磁気テープ上の１０トラックに亙って記録されるが、符号化前の画像データは上述のような水平方向に整列された５スーパマクロブロック分のデータが１本のトラックに各々対応する。
【００２９】
従って、このＶＭ領域に対してアクセスする際のアドレスとしては、各画素の水平方向及び垂直方向に各々対応したｈ、ｖ、トラックナンバＴｒ、各トラック内のスーパマクロブロックナンバ（ＳＭＢ）、各スーパマクロブロック内のマクロブロックナンバ（ＭＢ）、各マクロブロック内のＤＣＴブロックナンバ（ＤＣＴ）を用いることが好ましい。
【００３０】
一方、上記ＴＭ領域には、符号化された後の画像データ、オーディオデータ及び誤り訂正符号等が上述の１０本のトラックに分配されて記憶され、各トラックに対応する領域には１４８のシンクブロック（ＳＢ）が記憶される。
【００３１】
また、各シンクブロックはシンクデータ（ｓｙｎｃ）、ＩＤデータ（ＩＤ）、オーディオデータ、画像データ、及びパリティから各々構成され、各シンクブロックの画像データ及びオーディオデータはシンボルに対応する。
【００３２】
従って、このＴＭ領域に対してアクセスする際のアドレスとしては、トラックナンバＴｒ、各トラック内のシンクブロックナンバ（ＳＢ）、各シンクブロック内のシンボルナンバ

（Ｓｙｍｂｏｌ）を用いることが好ましい。
【００３３】
また、上述のようなメモリ８に対する各処理ブロックのアクセスはメモリコントローラ１１にて調停制御され、アドレス制御はアドレス変換回路６にて制御される。
【００３４】
すなわち、上記メモリコントローラ１１には上記ＣＰＵインタフェース９を介して接続される外部マイコン（ＣＰＵ）１０からバスＳＢ３を介して再生モードか記録モードかといった各種動作モードの種類等を指定するコマンドが伝送され、メモリコントローラ１１はこのコマンドに応じてデータ転送の優先順位に関するスケジューリングを行うとともに、上記各処理ブロックから上記バスＳＢ３を介して伝送されるリクエストに応じて各処理ブロックとメモリ８との間のデータ転送の調停を行う。
【００３５】
上記コマンドは、操作スイッチＳＷによって設定される動作モードを上記ＣＰＵ１０が読み込むことによって出力されるものであり、例えば符号化（記録）モード、復号化（再生）モード、あるいはＶＴＲにおける特殊再生モード等の各種動作モードに対応する。
【００３６】
なお、上記コマンドによって指定される動作モードとしては上述のものに限られず、例えば画像合成等の編集、ダビング等の各種動作を含む。
【００３７】
上記アドレス生成回路６は、上記各処理ブロックにおける処理形態及び上記メモリ８のアドレス空間に応じた最適なデータ単位でアドレッシングし得るように各処理ブロック毎に後述する所定のアドレスを生成するものであり、上記各処理ブロックから伝送され、処理の形態に応じた最適なアドレス形態となるような各種アドレスデータに基づいて所定のアドレスを生成する。
【００３８】
また、このアドレス生成回路１２におけるアドレス生成動作は、上記ＣＰＵ１０から伝送される画像タイプに応じたパラメータに基づいて可変設定されるようになっており、例えば処理すべき画像がＳＤかＨＤか、あるいはＮＴＳＣかＰＡＬかといった画像タイプ（サイズ）に応じて異なるアドレスを発生する。
【００３９】
一方、上記各処理回路の各部はクロック発生器１２から出力される４種類のクロックに同期して動作する。
【００４０】
このクロック発生器１２は、入力信号中から抽出される同期信号Ｈ．ｓｙｎｃ、Ｖ．ｓｙｎｃ及び内部基準クロック等に基づいて、上記画像データ入出力ブロック１に供給されて入力信号に同期する第１のクロックＣＬ１（本実施例では１３．５ＭＨｚ）、オーディオ処理ブロック２に供給されてオーディオデータの処理を行うための第２のクロックＣＬ２（本実施例では４８ＫＨｚ）、符号化／復号化ブロック３と誤り訂正ブロック４及びメモリ７に各々供給されて符号化復号化処理、誤り訂正処理及びメモリへのリード／ライトを行うための高速な第３のクロックＣＬ３（本実施例では６７．５ＭＨｚ）、符号化データ入出力ブロック５に供給されて記録媒体への記録／再生を行うための第４のクロックＣＬ４（本実施例では４１．８５ＭＨｚ）を各々生成して各ブロックに供給し、各処理ブロックは供給されたクロックに応じた速度で処理動作を行う。
【００４１】
以下、上述の処理回路の各回路を詳細に説明する。
【００４２】
（処理ブロック構成）
以下、上記各ブロックの構成について説明する。
【００４３】
先ず、上記画像データ入出力ブロック１は、Ａ／Ｄ変換器１０１、Ｄ／Ａ変換器１０２、

ビデオインタフェース１０３、ファインダインタフェース１０４、キャラクタジェネレータ１０５、基準信号発生器１０６及びアドレスデータ及びアドレス制御に関する各種データを発生するためのアドレス発生回路１０７から構成されている。

【００４４】

上記Ａ／Ｄ変換器１０１はＳＤ対応の輝度信号Ｙ及び色差信号Ｃｒ，Ｃｂ　又はＨＤ対応の輝度信号Ｙ及び色差信号Ｃｒ，Ｃｂ　をデジタル化するものであり、輝度信号は１３．５ＭＨｚ又は４０．５ＭＨｚに同期した所定の周期でデジタル化し、色差信号Ｃｒ，Ｃｂ　をこの１／４の周期でデジタル化して各々８ビットデータとして出力する。

【００４５】

なお、これら周波数は入力信号の種類によって可変設定されるものである。

【００４６】

上記基準信号発生器１０６は、入力映像信号中の同期信号Ｈ．ｓｙｎｃ、Ｖ．ｓｙｎｃを抽出して出力する。

【００４７】

上記アドレス発生回路１０７は図５に示すように互いに直列に接続された１／８分周器１０７１、１／７２０分周器１０７２、１／４８０分周器１０７３及び１／２分周器１０７４から概略構成されており、これら分周器にて上記クロック発生回路１２から供給されるクロックＣＬ１　を分周して水平方向及び垂直方向の各アドレス発生用データｈ，ｖ、１フレーム毎の書込みモード／読出しモードの切換えタイミングを示す信号Ｆｒを各々出力して上記アドレス発生回路６に供給する。

【００４８】

なお、上記アドレス発生回路１０７は輝度データに対するアドレスデータを出力するものであるが、４：１：１コンポーネント信号を扱う本実施例における色データに対するアドレス発生回路は上記アドレス発生回路１０７と同様な分周器の前段に上記クロックＣＬ１を１／４分周する１／４分周器を備えて構成される。

【００４９】

また、上記ビデオインタフェース１０３は時分割的に入出力される輝度信号及び２つの色差信号の別を示すデータＹ，Ｐｒ，Ｐｂ　を上記アドレス発生回路１０７に供給する。

【００５０】

さらに、上記１／８分周器１０７１の出力はリクエスト発生器１０７５に供給され、この分周出力に同期したリクエストｒｅｑ１が出力される。

【００５１】

このように、この画像データ入出力ブロック１は、入力映像信号を受けて所定の映像データを出力するとともに、上記各アドレスデータｈ，ｖ及び関するデータＹ，Ｐｂ，Ｐｒ，Ｆｒを上記アドレス変換回路６に出力するとともに、上記メモリ８へのアクセスを要求するリクエストｒｅｑ１を上記メモリコントローラ１１に出力する。

【００５２】

次に、上記オーディオ処理ブロック２について説明する。

【００５３】

このオーディオ処理ブロック２は、Ａ／Ｄ変換器２０１、Ｄ／Ａ変換器２０２、オーディオ用のデジタルプロセッサ（ＤＳＰ）２０３及びアドレス発生回路２０４から構成されており、入力オーディオ信号を所定のモードに応じて上記Ａ／Ｄ変換器２０１にて４８ＫＨｚ又は３２ＫＨｚでサンプリングされて１６ビットでデジタル化して２ｃｈのデジタルオーディオデータを得るか、３２ＫＨｚでサンプリングされて１２ビットでデジタル化（非線形）して４ｃｈのデジタルオーディオデータを得るとともに、上記オーディオ用のデジタルプロセッサ２０３にてエンファシス処理を行うとともに、デジタル化されたサンプルデータをバイト（シンボル）単位に変換する。

【００５４】

このようにして得られたオーディオデータは、上記データバスを介して所定のタイミングで上記メモリ７に転送されて書き込まれる。

【００５５】
また、本実施例においては、上記アドレス発生回路２０４にて生成される上記シンボル（Ａ－Ｓｙｍｂｏｌ）をオーディオデータにおけるアドレスデータとして上記アドレス変換回路６に出力するとともに、リクエストｒｅｑ５を上記メモリコントローラ１１に出力する。
【００５６】
このように、このオーディオ処理ブロック２は入力されるオーディオ信号を所定のモードに応じてシンボル単位のデジタルオーディオデータに変換するとともに、このシンボルをアドレス発生用データとして上記アドレス発生回路６に出力し、更に上記メモリコントローラ１１に上記メモリ８へのアクセスを要求するリクエストｒｅｑ５を出力する。
【００５７】
次に、符号化／復号化ブロック３について説明する。
【００５８】
この符号化／復号化ブロック３は、ＤＣＴ変換又は逆ＤＣＴ変換を行う変換回路３０１、量子化又は逆量子化を行う量子化回路３０２、可変長符号化又は可変長復号化を行う符号化／復号化回路３０３及びアドレス発生回路３０４から構成されており、更に上記変換回路３０１におけるＤＣＴ変換モード（８×８画素変換モードか８×４×２画素変換モード）を決定する動き検出回路３０５、量子化ステップのクラスを決定するためのアクティビティ算出回路３０６と上記量子化回路３０２における量子化ステップを決定して符号量を制御する符号量制御回路３０７を備えている。
【００５９】
ここで、このような符号化／復号化ブロック３においては、上記各回路における処理を行う上でＤＣＴブロック、マクロブロック、スーパブロック等の単位を処理の単位としている。
【００６０】
そこで、この符号化／復号化ブロック３における上記アドレス発生回路３０４はそれらの単位データをアドレスデータとして出力する。
【００６１】
また、デジタルＶＴＲにおいては、ＮＴＳＣ方式の場合に１フレーム分の画像データを１０トラック（ＰＡＬの場合には１２トラック）に記録し、各トラックに５スーパブロック分のデータを割り当てている。
【００６２】
そこで、本実施例における符号化／復号化ブロック３のアドレス発生回路３０４は、各トラック内におけるスーパブロックナンバＴｒｋもアドレス発生用データとして上記アドレス発生回路に供給する。
【００６３】
このような各データを出力するアドレス発生回路３０４は図６に示すように１／６４分周器３０４１、１／４分周器３０４２、１／５分周器３０４３、び１／２７分周器３０４４及び１／１０分周器３０４５から概略構成されており、これら分周器にて上記クロック発生回路１２から供給される上記クロックＣＬ３　を分周してそのような処理の単位を示すデータをこの符号化／復号化ブロック３におけるアドレスデータとして上記アドレス変換回路６に供給する。
【００６４】
また、上記１／６４分周器３０４１の出力はリクエスト発生器３０４６に供給され、この分周出力に同期したリクエストｒｅｑ４が出力される。
【００６５】
なお、この符号化／復号化ブロック３は、符号化動作（記録時動作）を行っているか復号化動作（再生時動作）を行っているかのデータをアドレス発生用データとして出力する。
【００６６】
上述のような符号化／復号化ブロック３は、上記メモリ８を介して供給される被処理画像

データを符号化又は復号化して出力するとともに、上述の各種アドレス発生用データを上記アドレス変換回路６に供給するとともに、所定のタイミングで上記メモリコントローラ１１に上記メモリ８へのアクセスを要求するリクエストｒｅｑ４を出力する。

【００６７】

次に、誤り訂正ブロック４の構成について説明する。

【００６８】

この誤り訂正ブロック４は誤り訂正回路４０１、シンドロームメモリ４０２及びアドレス発生回路４０３から構成されており、上記誤り訂正ブロック４は先の符号化／復号化ブロック３及びオーディオ処理ブロック２にて生成された符号化データに誤り訂正符号を付加して上記メモリ８に戻すとともに、再生データにおける誤り訂正符号を検出して誤り訂正を行う。

【００６９】

また、この誤り訂正ブロック４におけるアドレス発生回路４０３は、図７に示すように１／８分周器４０３１、１／１０分周器４０３２、１／１４８分周器４０３３及び１／１０分周器４０３４から概略構成されており、これら分周器にて上記クロック発生回路１２から供給される上記クロックＣＬ３　を分周して各トラック内におけるシンボルナンバを示すシンボルデータ、スーパマクロブロック内のマクロブロックナンバＳＢ及びトラック内におけるスーパブロックナンバＴｒｋを上記アドレス発生回路６に供給するとともに、１／８分周器４０３１の出力はリクエスト発生器４０３５に供給されて上記メモリコントローラ８に上記メモリ８へのアクセスを要求するリクエストｒｅｑ３が生成出力される。

【００７０】

なお、上記誤り訂正回路４０１は、ダビングインタフェース４０４を介して外部機器と接続され得るようになっており、例えば誤り訂正を行ったデータ又は誤り訂正後に補間したデータを外部装置に供給するようになっている。

【００７１】

次に、符号化データ入出力ブロック５の構成について説明する。

【００７２】

この符号化データ入出力ブロック５は、記録再生処理回路５０１、記録再生アンプ等のアナログ処理部５０３を介して供給されるアナログ信号をデジタル化するＡ／Ｄ変換器５０２及びアドレス用データを出力するアドレス発生回路５０４から構成されている。

【００７３】

上記記録再生処理回路５０１は、符号化データを直流分を抑圧して磁気記録に適した形態とするとともにトラッキング用のスペクトラム成分が得られるように変調する変調回路や、再生時における波形等価回路、ＰＬＬ回路、デジタル復調回路、トラッキング制御回路及びアドレス発生回路５０４等の各種機能回路を含んで構成されており、上記ＰＬＬ回路の出力として上記クロックＣＬ４　が出力されて上記Ａ／Ｄ変換器５０２に供給される。

【００７４】

この符号化データ入出力ブロック５の上記アドレス発生回路５０４は、図８に示すように１／８分周器５０４１、１／１０分周器５０４２、１／１４８分周器５０４３及び１／１０分周器５０４４から概略構成されており、これら分周器にて上記クロックＣＬ４　を分周してアドレス発生用データとして上記誤り訂正ブロック４と同様に前述したようなシンボルデータ、シンクブロックナンバ及びトラックナンバＴｒｋを上記アドレス変換回路６に供給するとともに、１／８分周器５０４１の出力はリクエスト発生器５０４５に供給されて上記メモリコントローラ１１に上記メモリ８へのアクセスを要求するためのリクエストｒｅｑ２が生成出力される。

【００７５】

上述のような信号処理回路の各ブロックは、上記ＣＰＵインタフェース９を介して伝送される外部ＣＰＵ１０からのコマンドによって所定記録動作、再生動作又は特殊再生動作を選択的に行う。

【００７６】

また、このＣＰＵインタフェース９は、サブコードバッファ１３を介して上記メモリ８とサブコードデータの授受を行うようになっており、このサブコードに関するデータはアドレスデータとして上記アドレス変換回路６に供給され、所定のタイミングで上記メモリコントローラ１１に上記メモリ８へのアクセスを要求するリクエストｒｅｑ２を出力する。

【００７７】

（アドレス制御）

本実施例におけるアドレス制御は、上記各処理ブロックのアドレス発生回路から供給されるアドレスデータを、上述のメモリ８における各メモリ領域に対応する所定のアドレスに変換するための上記アドレス変換回路６にて行われる。

【００７８】

上記アドレス変換回路６は、図９に示すように上記各処理ブロックからのアドレスデータ及び上記ＣＰＵインタフェース９から供給されるパラメータデータ、コマンド等を各々受けてそれらデータ及び各処理ブロックがアクセスするメモリ８のアドレス空間に基づく所定のデータ単位毎のデータ及びそれらデータに対するアドレスを出力するための複数の変換ポート１２１、１２２、１２３、１２４、１２５、１２６及び各ポートから出力されるデータＤａｔａ及びアドレスＡｄｒｅｓｓを選択的に上記メモリ８に供給するためのマルチプレクサ１２７、ラッチ回路１２８とを備えて構成されており、各変換ポートは入力データを所定のタイミングで出力するためのバッファメモリＢＭを備えている。

【００７９】

また、上記各変換ポートは上記各処理ブロックから転送されるアドレスデータをカウントするカウンタＣｏｕｎｔを備えており、それらカウンタは供給された各アドレスデータをカウントして各処理ブロック毎に最適な形態のアドレスに変換して出力する。

【００８０】

即ち、上記画像データ入出力ブロック１からのデータを扱う変換ポート１２１は、供給された各制御データに基づいてＹ，Ｐｂ，Ｐｒ　毎にアドレスデータｈ，ｖをカウントして水平方向の８画素毎にアドレスを割りつけ、これをＦｒで指定されるフレーム単位で更新するとともに、このＦｒで指定される１フレーム毎に２つのメモリセルの書込みモードと読出しモードとを交互に設定する。

【００８１】

上記メモリ８は、このような変換ポート１２１が出力する画像データ及びアドレスを上記マルチプレクサ１２７を介して受け、この画像データを上記アドレスにて指定されるメモリ８上の所定のメモリセルに書き込む。

【００８２】

また、上記変換ポート１２１は、画像データを上記メモリ８にリード／ライトする場合には上記メモリ８のセンスアンプ８２がバースト転送可能な単位である８画素単位でのデータの授受を行ない、本実施例においてはセンスアンプ８２がバースト転送可能な８画素単位でのアドレシングを行うことによって高速なリード／ライトを可能とすることができるようになっている。

【００８３】

さらに、本実施例においては、上記センスアンプ８２の容量を８×８×８画素とすることによって、８×８画素のＤＣＴブロック単位の処理時における水平８画素のみならず垂直８画素の高速リード／ライトが可能となる。

【００８４】

同様に、このアドレス発生回路６は他の処理ブロックとメモリ８との間で授受されるデータ単位に応じて各ブロックから伝送されるアドレス発生用データをカウントして各ブロックに対応したアドレスを指定する。

【００８５】

即ち、上記オーディオ処理ブロックとメモリ８との間でデータの授受が行われる場合にはシンボルをカウントしてシンボル単位のアドレスを発生させ、上記符号化／復号化ブロック３とメモリ８との間でデータの授受が行われる場合にはマクロブロック、スーパマクロ

ブロック、トラックナンバに基づいてアドレスを発生させ、上記誤り訂正ブロック４或は符号化データ入出力ブロック５とメモリ８との間でデータの授受が行われる場合にはシンボル、スーパマクロブロック、トラックナンバに基づいてアドレスを発生させる。

【００８６】

具体的には、上記オーディオ処理ブロック２に対応する変換ポート１２２は、オーディオ処理ブロック２から出力される上記アドレス生成用データＳｙｍｂｏｌ及びパラメータデータを各々受けてそれらデータに基づくオーディオ用のデータをシンボル単位で出力して上記メモリ８に書き込み、上記メモリ８との間でシンボル単位でオーディオデータの授受を行なう。

【００８７】

また、上記符号化／復号化ブロック３は、符号化／復号化の処理であるスーパブロック内のマクロブロックナンバＳＭＢや各マクロブロック内のＤＣＴブロックナンバＭＢ、各トラック内におけるスーパブロックナンバＴｒｋ及び符号化動作（記録時動作）を行っているか復号化動作（再生時動作）を行っているかの動作データＲ／Ｐを出力し、コーデックポート１２３はそれらアドレス生成用データ及びパラメータデータに基づくデータ単位でデータの授受を行わせる。

【００８８】

以下同様に、上記サブコードポート１２４、誤り訂正ポート１２５及び記録再生ポート１２６は、上記誤り訂正ブロック４、符号化データ入出力ブロック５及びサブコードバッファから供給される各アドレス生成用データ及びパラメータデータに基づいて各々所定のアドレスデータを発生する。

【００８９】

このように、このアドレス発生回路の各ポートは、上記各ブロックから供給される各アドレス生成用データに基づいて、各処理ブロックが扱うデータの形式及び上記メモリ７のアドレス空間に最適な形態の単位データに対応したアドレスを生成して出力する。

【００９０】

また、このアドレス変換回路６は、上記パラメータデータに基づいて上記カウンタＣｏｕｎｔのリセットタイミング等を切り換えることによって、入力画像の種類に応じたアドレスの割り付けを適応的に行う。

【００９１】

すなわち、上記パラメータデータは入力映像信号の種類（方式）を指定するものであり、上記アドレス発生回路は入力映像信号がＳＤ対応かＨＤ対応か、又はＮＴＳＣ信号かＰＡＬ信号かによって各方式の画像サイズやフレーム周期に適合し得るようにカウンタの制御を切り換える。

【００９２】

これによって、このアドレス変換回路６は上記パラメータデータの指定によって入力映像信号の種類に適合したアドレシングを行うことができる。

【００９３】

（メモリコントローラ８による調停）

本実施例における調停及びスケジューリングは上記メモリコントローラ１１にて行われる。

【００９４】

上記メモリコントローラ１１は、上述の各処理ブロック毎のメモリ８に対するアクセス順序を調停し、更に動作モードに応じたアクセス優先順位のスケジューリングを行なうといった機能を有するものであり、以下それらを説明する。

【００９５】

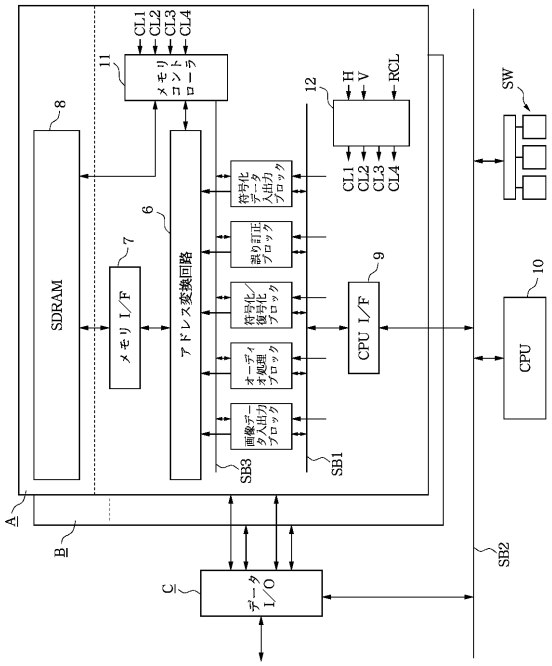
先ず、このメモリコントローラ１１には上記各ブロックからリクエストバスＳＢ３を介して上記各ブロックからリクエストが伝送されるとともにＣＰＵインタフェース９を介して接続される外部マイコン（ＣＰＵ）１０から各種コマンド及びパラメータデータが伝送されて各ブロックとメモリ８との間のアクセスの調停を行う。

【００９６】
このメモリコントローラ１１による調停動作は、各ブロックのメモリ８に対するアクセスを所定の優先順位にしたがって割り当てるとともに、上記アドレス変換回路６における各処理ブロック内のバッファメモリＢＦにて待ち時間の調整を行うことによってバス上での衝突を未然に防止することによって行われる。
【００９７】
以下、このような調停動作を記録時の場合について説明する。
【００９８】
記録時の調停動作は上述したように、符号化（記録）モード時の上記優先順位として入力データのメモリ８への書き込み、符号化処理された符号化データの記録のためのメモリ８からの読み出し、誤り訂正時のメモリ８へのアクセス、符号化処理時のメモリ８へのアクセス、オーディオデータのメモリ８への書き込み及び読み出し、サブコードデータ処理時のメモリ８へのアクセスの順に設定されている。
【００９９】
そこで、入力データのメモリ８への書き込みは図１０に示すように、上記画像データ入出力ブロック１からメモリコントローラ１１へのリクエストｒｅｑ１に応じて許可信号ａｃｋを返送し、入力データのメモリ８はこの許可信号に応じて所定単位の画像データを送出するとともに、メモリコントローラ１１は所定のアドレスを指定して画像データのメモリ８への書き込みを実行する。
【０１００】
続いて、符号化処理が終了した符号化データが符号化データ入出力ブロックからのリクエストｒｅｑ２に対応した許可信号に応じてメモリ８から読み出され、上記許可信号は画像データのメモリ８への読み込みが終了した後に出力される。上述のような画像データの読み込み及び符号化データの読み出しによるメモリ８へのアクセス以外の期間（図１０（Ｃ）の矢印にて示す期間）では、先ず誤り訂正のためのアクセスが優先される。
【０１０１】
上記誤り訂正ブロック４は、所定のタイミングでリクエストｒｅｑ３を上記メモリコントローラ１１に送出し、メモリコントローラ１１はこのリクエストに応じて上記期間ｔ１内の適当なタイミングで許可信号を返送してメモリ８へアクセスを許可して誤り訂正を実行させる。
【０１０２】
また、符号化ブロック３は符号化に必要な所定データ量がメモリ８に蓄積されるタイミングでリクエストｒｅｑ４を常時送出し、メモリコントローラ１１は図１０（Ｅ）に示す期間ｔ２の適当なタイミングで許可信号を送出して符号化ブロック３のメモリ８へのアクセスを許容する。
【０１０３】
同様に、オーディオ信号の書き込みのためのリクエストｒｅｑ５も常時送出されており、メモリコントローラ１１は残余の期間（図１０（Ｇ）に示す期間ｔ３）内の所定のタイミングでオーディオブロック２へのアクセスを許容する。
【０１０４】
なお、サブコード信号の処理のためのアクセスは、オーディオ信号処理のためのアクセスと同様であるが、オーディオ信号処理が優先されるため残りの残余期間ｔ４にアクセスが許容される。
【０１０５】
このように、本実施例における上記メモリコントローラ１１は、処理毎の優先順位に従ってメモリ８へのアクセスを許容するようにメモリバスを調停する。
【０１０６】
（メモリコントローラ１１によるスケジューリング動作）
上記メモリコントローラ１１は、上記コマンドに応じて各処理ブロックのメモリ８へのアクセスの優先順位のスケジューリングを行う。

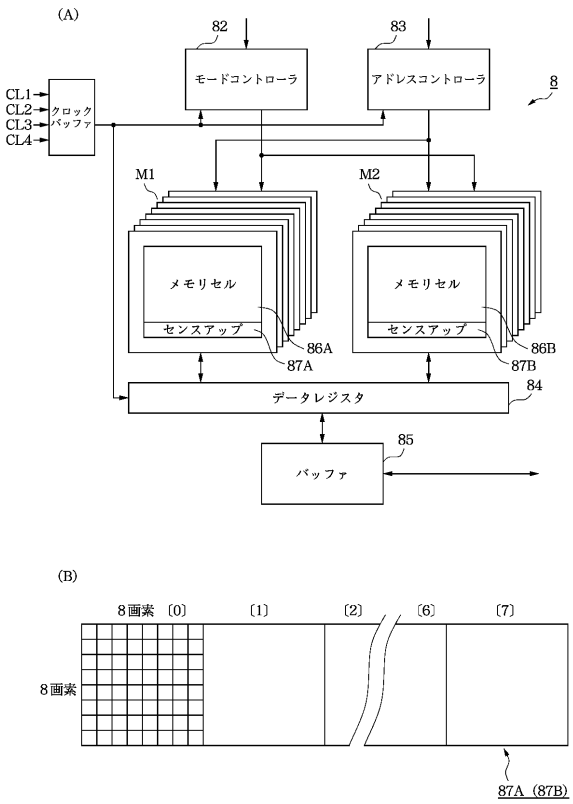
【０１０７】
次に、このメモリコントローラ１１によるスケジューリング動作について説明する。
【０１０８】
本実施例において、上記メモリコントローラ１１は上記操作スイッチにて設定される記録モード、再生モード又は特殊再生モードの各モードに応じた所定の優先順位で各ブロックのメモリ８へのアクセスを調停する。
【０１０９】
即ち、記録モードの際には入力画像データのメモリ８への取り込みが最優先され、続いて記録用符号化データの読み出し、誤り訂正用のアクセス、圧縮用のアクセス、オーディオデータ入出力用のアクセス、サブコードデータ用のアクセスの順で優先順位を設定し、この優先順位に基づいて上述したような調停を行う。
【０１１０】
同様に、再生時の優先順位は、再生符号化データのメモリ８への取り込みが最優先され、次に出力データ出力のためのアクセス、誤り訂正時のアクセス、サブコードデータ処理のためのアクセス、復号のためのアクセス、オーディオ信号処理のためのアクセスの順に優先順位が設定され、これらの優先順位は記録動作と再生動作の指示によって切り替えられる。
【０１１１】
さらに、特殊再生時の優先順位としては基本的に再生時の優先順位と同様であるがサブコードデータ処理のためのアクセスが優先される。
【０１１２】
なお、上述の実施例は本発明をデジタルＶＴＲ用の信号処理回路に適用したが、本発明はこれに限られるものではなく、例えばＭＰＥＧ規格に基づく符号化復号化を行なう伝送装置等にも適用し得ることは当然である。
【０１１３】
その場合には図１における処理ブロックとして動き補償のための処理ブロック及び局部復号のための処理ブロックを新たに追加するとともに、上記メモリコントローラ１１における調停動作として符号化、復号化の処理に先立って動き補償のための処理を優先させればよい。
【０１１４】
また、リアルタイム処理を行なうためには上述の実施例に比してより高速で処理する必要があるため、上記リファレンスクロックの周波数を例えば８０ＭＨｚ程度に設定する必要がある。
【０１１５】
【発明の効果】
上述の説明から明らかなように、本発明によればメモリに対するバースト転送単位を符号化処理ブロック単位に基づいて設定しているので、符号化処理時のデータアクセスが効率よくなり、データ処理の高速化を図ることができる。
【図面の簡単な説明】
【図１】本発明の処理装置の構成を説明する図である。
【図２】図１におけるメモリの構成を概念的に説明するための図であり、図２（Ａ）は全体構成を示す図、図２（Ｂ）はセンスアンプを模式的に示す図である。
【図３】図２におけるメモリに対する各処理ブロックのアクセス対応関係を説明するための図である。
【図４】図１における処理回路の構成を説明するための図である。
【図５】分周回路の構成を示す図である。
【図６】分周回路の構成を示す図である。
【図７】分周回路の構成を示す図である。
【図８】分周回路の構成を示す図である。
【図９】アドレス発生回路の構成を示す図である。

【図１０】メモリコントローラの調停動作を説明するためのタイムチャートである。

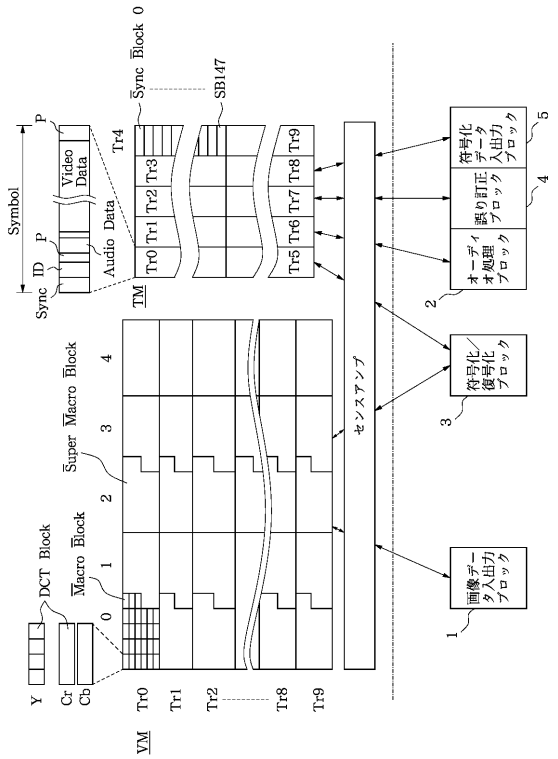
【図１】



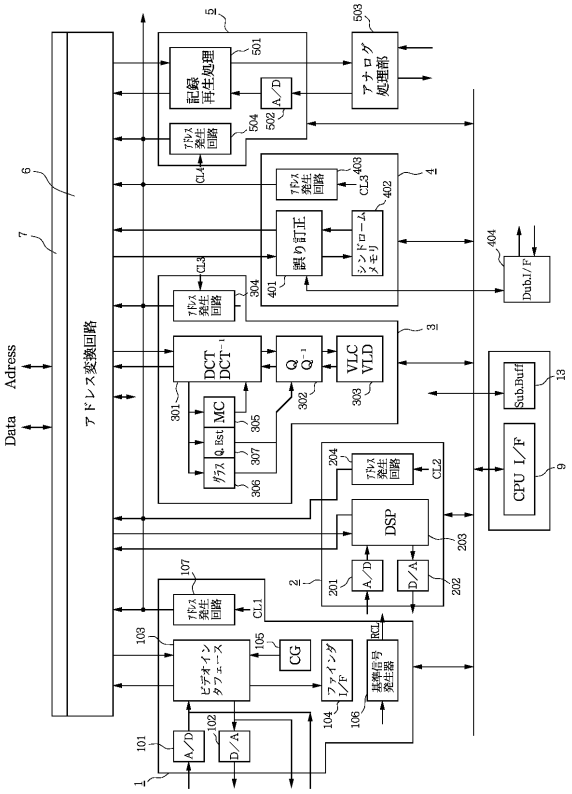
【図２】



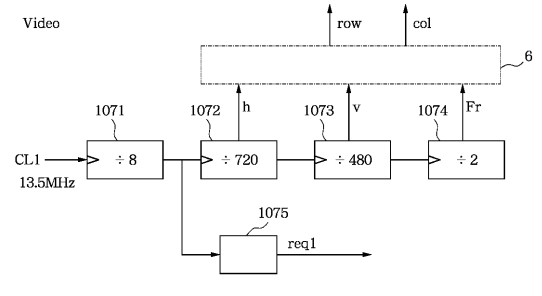
【図３】


Symbol
Sync
ID
P
Video Data
Audio Data
Tr4
Sync Block 0
SB147
TM
Tr0
Tr1
Tr2
Tr3
Tr5
Tr6
Tr7
Tr8
Tr9
Super Macro Block
Macro Block
DCT Block
Y
Cr
Cb
VM
センスアンプ
符号化データ入出力ブロック
誤り訂正ブロック
オーディオ処理ブロック
符号化/復号化ブロック
画像データ入出力ブロック

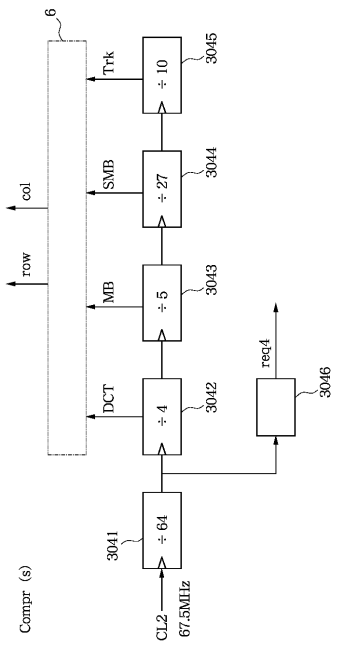
【図４】


Data
Adress
アドレス変換回路
記録再生処理
アナログ処理部
誤り訂正
シンドロームメモリ
DCT
VLC
VLD
MC
DSP
CPU I/F
Sub.Buff
Dub.I/F
ビデオインタフェース
CG
ファインダ I/F
基準信号発生器
A/D
D/A

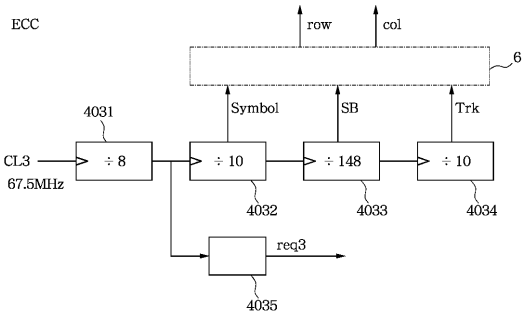
【図５】


Video
row
col
6
1071
1072
1073
1074
h
v
Fr
CL1
13.5MHz
÷ 8
÷ 720
÷ 480
÷ 2
1075
req1

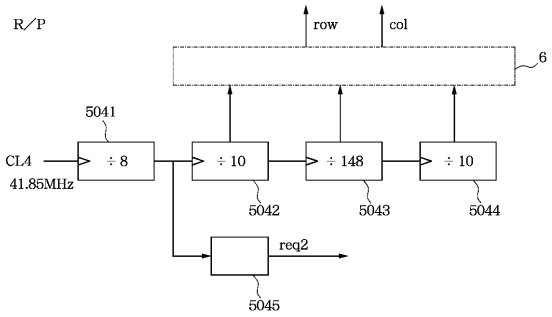
【図６】


6
Trk
SMB
MB
DCT
col
row
÷ 10
÷ 27
÷ 5
÷ 4
÷ 64
3045
3044
3043
3042
3041
req4
3046
Compr (s)
CL2
67.5MHz

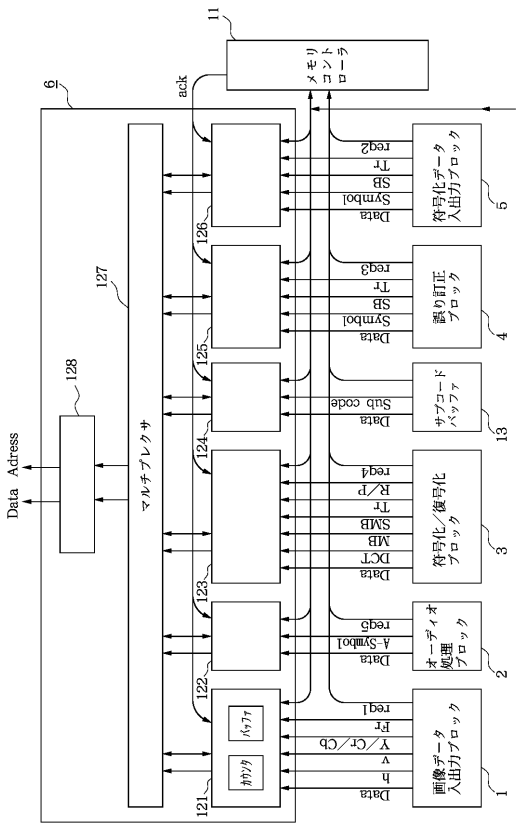
【図７】


ECC
row
col
6
Symbol
SB
Trk
4031
CL3
67.5MHz
÷ 8
÷ 10
÷ 148
÷ 10
4032
4033
4034
req3
4035

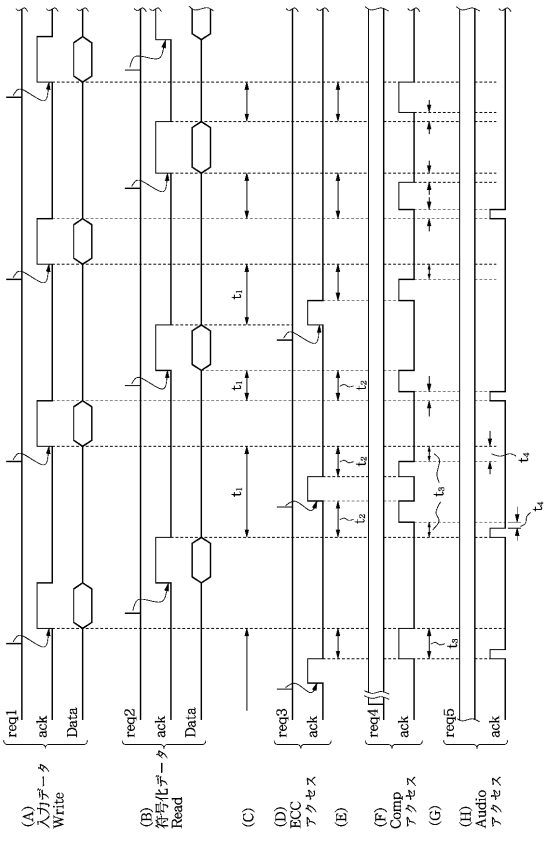
【図８】


R／P
row
col
6
5041
CL4
41.85MHz
÷ 8
÷ 10
÷ 148
÷ 10
5042
5043
5044
req2
5045

【図９】


11
メモリコントローラ
6
ack
Data
Adress
128
127
マルチプレクサ
121
122
123
124
125
126
バッファ
カウンタ
Data
h
v
Y／Cr／Cb
Fr
req1
Data
A-Symbol
req5
Data
DCT
MB
SMB
Tr
R／P
req4
Data
Sub code
Data
Symbol
SB
Tr
req3
Data
Symbol
SB
Tr
req2
画像データ入出力ブロック
1
オーディオ処理ブロック
2
符号化／復号化ブロック
3
サブコードバッファ
13
誤り訂正ブロック
4
符号化データ入出力ブロック
5

【図１０】


(A) 入力データ Write
(B) 符号化データ Read
(C)
(D) ECC アクセス
(E)
(F) Comp アクセス
(G)
(H) Audio アクセス
req1
req2
req3
req4
req5
ack
Data
t1
t2
t3
t4

フロントページの続き

(56)参考文献　特開平５－２６８５９０（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H04N5/76-5/956,7/50