【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第２区分
【発行日】平成18年8月10日(2006.8.10)

【公表番号】特表2002-519865(P2002-519865A)
【公表日】平成14年7月2日(2002.7.2)
【出願番号】特願2000-557496(P2000-557496)
【国際特許分類】
Ｈ０１Ｌ　29/78　　(2006.01)
【ＦＩ】
Ｈ０１Ｌ　29/78　　３０１Ｇ

【手続補正書】
【提出日】平成18年6月19日(2006.6.19)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】特許請求の範囲
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
０．３ミクロンより小さいゲート幅を有するＭＯＳデバイスの製造方法であって、
（ａ）　シリコン半導体基板上に、窒化シリコン又は窒化酸化シリコンの境界層を形成する工程と、
（ｂ）　前記境界層上に、
Ta_2O_5、$Ta_2(O_{1-x}N_x)_5$｛ｘは、０から０．６の範囲である。｝、$(Ta_2O_5)_r-(TiO_2)_{1-r}$固溶体｛ｒは、約０．９から１未満の範囲である。｝、$(Ta_2O_5)_s-(Al_2O_3)_{1-s}$固溶体｛ｓは、０．９から１未満の範囲である。｝、$(Ta_2O_5)_t-(ZrO_2)_{1-t}$固溶体｛ｔは、約０．９から１未満の範囲である。｝、$(Ta_2O_5)_u-(HfO_2)_{1-u}$固溶体｛ｕは、約０．９から１未満の範囲である。｝、若しくは、これらの混合体、
の中から選択された材料からなる高誘電率層を形成する工程と、
前記境界層は、前記基板から前記高誘電率層を分離し、
（ｃ）　前記高誘電率層上に、導電材料の層を堆積する工程と、
（ｄ）　ゲート電極を形成し、前記高誘電率層の一部を露出させるために、前記導電材料の層の一部を選択的に除去する工程と、
（ｅ）　第１導電型のソース領域及びドレイン領域を形成するために、前記高誘電率層の露出した前記部分を通って前記基板に、不純物イオンを打ち込む工程と、
（ｆ）　前記ゲート電極に隣接し、前記第１導電型のソース領域及びドレイン領域の一部を覆う第１のスペーサを形成する工程と、
（ｇ）　前記高誘電率層の露出した前記部分を除去する工程と、
（ｈ）　前記ソース領域及びドレイン領域に、第２の不純物イオンを打ち込む工程と、
（ｉ）　絶縁材料の層を、前記デバイスの表面を覆うように堆積する工程と、
（ｊ）　前記ソース及びドレインの領域に連結するコンタクト穴を前記絶縁材料に形成するために、前記絶縁材料の一部を除去する工程と、
（ｋ）　前記コンタクト穴をコンタクト材料で満たす工程と、
を含む製造方法。
【請求項２】
前記高誘電率層を高密度化する工程を含む請求項１に記載の製造方法。
【請求項３】
前記導電材料が、ＴｉＮ、Ｗ、Ｔａ、Ｍｏ、又は、これらの積層体の中から選択された

金属からなることを特徴とする請求項１に記載の製造方法。
【請求項４】
前記導電材料は、ドープされたポリシリコンからなることを特徴とする請求項１に記載の製造方法。
【請求項５】
更に、前記導電材料と前記高誘電率層との間に、障壁層を形成する工程を含むことを特徴とする請求項４に記載の製造方法。
【請求項６】
更に、前記工程（ｇ）の後であって、前記工程（ｈ）の前に、
前記第１のスペーサに隣接し、前記ソース及びドレインの領域の一部を被覆する第２のスペーサを形成する工程を含むことを特徴とする請求項１に記載の製造方法。
【請求項７】
更に、前記工程（ｈ）の後に、前記ソース及びドレインの領域上にケイ化物層を形成する工程を含むことを特徴とする請求項１に記載の製造方法。
【請求項８】
前記ケイ化物層を形成する工程は、
少なくとも前記ソース及びドレインの領域を覆う金属の層を堆積する工程と、
前記ソース及びドレインの領域にケイ化金属層を形成するために、前記ソース及びドレインの領域の表面上において前記シリコンに前記金属を反応させるように前記金属の層を加熱する工程と、
前記金属の層から、非反応金属を除去する工程と、
を含むことを特徴とする請求項７に記載の製造方法。
【請求項９】
前記ケイ化物層を形成する工程は、
選択的に、前記ソース及びドレインの領域を覆うケイ化物を堆積する工程を含むことを特徴とする請求項７に記載の製造方法。
【請求項１０】
前記高誘電率材料層は、約４乃至１２ｎｍの範囲の厚さを有することを特徴とする請求項１に記載の製造方法。
【請求項１１】
前記工程（ｈ）は、
低濃度ドープのソース及びドレイン領域を形成するために、低濃度の不純物を注入する工程を含むことを特徴とする請求項１に記載の製造方法。
【請求項１２】
前記高誘電率材料は、Ta_2O_5であることを特徴とする請求項１に記載の製造方法。
【請求項１３】
前記高誘電率材料は、$Ta_2(O_{1-x}N_x)_5$｛ｘは、０から０．６の範囲である。｝であることを特徴とする請求項１に記載の製造方法。
【請求項１４】
前記高誘電率材料は、$(Ta_2O_5)_r-(TiO_2)_{1-r}$固溶体｛ｒは、約０．９から１未満の範囲である。｝であることを特徴とする請求項１に記載の製造方法。
【請求項１５】
前記高誘電率材料は、$(Ta_2O_5)_s-(Al_2O_3)_{1-s}$固溶体｛ｓは、０．９から１未満の範囲である。｝であることを特徴とする請求項１に記載の製造方法。
【請求項１６】
前記高誘電率材料は、$(Ta_2O_5)_t-(ZrO_2)_{1-t}$固溶体｛ｔは、約０．９から１未満の範囲である。｝であることを特徴とする請求項１に記載の製造方法。
【請求項１７】
前記高誘電率材料は、$(Ta_2O_5)_u-(HfO_2)_{1-u}$固溶体｛ｕは、約０．９から１未満の範囲である。｝であることを特徴とする請求項１に記載の製造方法。

【請求項１８】
前記第１のスペーサが、酸化又は窒化材料からなることを特徴とする請求項１に記載の製造方法。
【請求項１９】
前記工程（ｉ）が、
絶縁材料からなる層を堆積する工程を含むことを特徴とする請求項１に記載の製造方法。
【請求項２０】
第１導電型の半導体基板上に形成されるＭＯＳトランジスタであって、
（ａ）　前記基板上に形成された境界層と、
（ｂ）　前記境界層上に形成され、前記境界層と前記基板とを分離する高誘電率層であって、
Ta_2O_5、$Ta_2(O_{1-x}N_x)_5$｛ｘは、０から０．６の範囲である。｝、$(Ta_2O_5)_r-(TiO_2)_{1-r}$固溶体｛ｒは、約０．９から１未満の範囲である。｝、$(Ta_2O_5)_s-(Al_2O_3)_{1-s}$固溶体｛ｓは、０．９から１未満の範囲である。｝、$(Ta_2O_5)_t-(ZrO_2)_{1-t}$固溶体｛ｔは、約０．９から１未満の範囲である。｝、$(Ta_2O_5)_u-(HfO_2)_{1-u}$固溶体｛ｕは、約０．９から１未満の範囲である。｝、若しくは、これらの混合体、
の中から選択された材料からなる高誘電率層と、
（ｃ）　前記高誘電率層を被覆する、０．３ミクロンよりも小さい幅を有するゲート電極と、
（ｄ）　前記基板表面の対応する領域に堆積され、第２導電型の第１及び第２の低濃度ドープ領域と、
（ｅ）　第２導電型のソース及びドレインの領域と、
（ｆ）　前記ゲート電極に隣接して形成され、前記高誘電率層上に形成された一対の非導電性の第１のスペーサと、
（ｇ）　前記第１のスペーサ及び前記高誘電率層に隣接し、前記境界層上に形成された一対の非導電性の第２のスペーサと、
を備えたＭＯＳトランジスタ。
【請求項２１】
更に、
（ｈ）　デバイスを被覆すると共に、第１のコンタクト材料で満たされた第１のコンタクト穴と第２のコンタクト材料で満たされた第２のコンタクト穴と、を画定する絶縁層を備え、
前記絶縁層は、実質的に平坦な表面を有することを特徴とする請求項２０に記載のＭＯＳトランジスタ。
【請求項２２】
前記ゲート電極は、ＴｉＮ、Ｗ、Ｔａ、Ｍｏ、又は、これらの積層体の中から選択された金属からなることを特徴とする請求項２０に記載のＭＯＳトランジスタ。
【請求項２３】
前記ゲート電極は、ドープされたポリシリコンからなることを特徴とする請求項２０に記載のＭＯＳトランジスタ。
【請求項２４】
更に、前記ゲート電極と前記高誘電率層との間に設けられた障壁層を備えたことを特徴とする請求項２３に記載のＭＯＳトランジスタ。
【請求項２５】
前記第１のスペーサに隣接した前記一対の第２のスペーサは、前記低濃度ドープ領域上に形成されたことを特徴とする請求項２０に記載のＭＯＳトランジスタ。
【請求項２６】
更に、前記ソース及びドレインの領域上にケイ化物層を有することを特徴とする請求項２０に記載のＭＯＳトランジスタ。

【請求項２７】
前記高誘電率材料層は、約４乃至１２ｎｍの範囲の厚さを有することを特徴とする請求項２０に記載のＭＯＳトランジスタ。
【請求項２８】
前記高誘電率材料は、Ta_2O_5であることを特徴とする請求項２０に記載のＭＯＳトランジスタ。
【請求項２９】
前記高誘電率材料は、$Ta_2(O_{1-x}N_x)_5$｛ｘは、０から０．６の範囲である。｝であることを特徴とする請求項２０に記載のＭＯＳトランジスタ。
【請求項３０】
前記高誘電率材料は、$(Ta_2O_5)_r-(TiO_2)_{1-r}$固溶体｛ｒは、約０．９から１未満の範囲である。｝であることを特徴とする請求項２０に記載のＭＯＳトランジスタ。
【請求項３１】
前記高誘電率材料は、$(Ta_2O_5)_s-(Al_2O_3)_{1-s}$固溶体｛ｓは、０．９から１未満の範囲である。｝であることを特徴とする請求項２０に記載のＭＯＳトランジスタ。
【請求項３２】
前記高誘電率材料は、$(Ta_2O_5)_t-(ZrO_2)_{1-t}$固溶体｛ｔは、約０．９から１未満の範囲である。｝であることを特徴とする請求項２０に記載のＭＯＳトランジスタ。
【請求項３３】
前記高誘電率材料は、$(Ta_2O_5)_u-(HfO_2)_{1-u}$固溶体｛ｕは、約０．９から１未満の範囲である。｝であることを特徴とする請求項２０に記載のＭＯＳトランジスタ。
【請求項３４】
前記基板が、シリコンからなることを特徴とする請求項２０に記載のＭＯＳトランジスタ。
【請求項３５】
前記第１のスペーサが、酸化又は窒化材料からなることを特徴とする請求項２０に記載のＭＯＳトランジスタ。
【請求項３６】
更に、前記工程（ｊ）の前に、前記絶縁材料の表面を平坦化する工程を含むことを特徴とする請求項１に記載の製造方法。
【請求項３７】
前記絶縁材料の表面を平坦化する前記工程は、化学的機械的研磨により行なわれることを特徴とする請求項３６に記載の製造方法。
【請求項３８】
前記境界層は約１乃至５ｎｍの範囲の厚さを有することを特徴とする請求項１に記載の製造方法。
【請求項３９】
前記境界層は約１乃至２ｎｍの範囲の厚さを有することを特徴とする請求項１に記載の製造方法。
【請求項４０】
第１導電型の半導体基板上に形成されるＭＯＳトランジスタであって、
（ａ）　前記基板上に形成された、窒化シリコンの境界層と、
（ｂ）　前記境界層上に形成され、前記境界層と前記基板とを分離する高誘電率層であって、
Ta_2O_5、$Ta_2(O_{1-x}N_x)_5$｛ｘは、０から０．６の範囲である。｝、$(Ta_2O_5)_r-(TiO_2)_{1-r}$固溶体｛ｒは、約０．９から１未満の範囲である。｝、$(Ta_2O_5)_s-(Al_2O_3)_{1-s}$固溶体｛ｓは、０．９から１未満の範囲である。｝、$(Ta_2O_5)_t-(ZrO_2)_{1-t}$固溶体｛ｔは、約０．９から１未満の範囲である。｝、$(Ta_2O_5)_u-(HfO_2)_{1-u}$固溶体｛ｕは、約０．９から１未満の範囲である。｝、若しくは、これらの混合体、
の中から選択された材料からなる高誘電率層と、

（ｃ）　前記高誘電率層を被覆する、０．３ミクロンよりも小さい幅を有するゲート電極と、
（ｄ）　前記基板表面の対応する領域に堆積され、第２導電型の第１及び第２の低濃度ドープ領域と、
（ｅ）　第２導電型のソース及びドレインの領域と、
（ｆ）　前記ゲート電極に隣接して形成され、前記高誘電率層上に形成された一対の非導電性の第１のスペーサと、
（ｇ）　前記第１のスペーサ及び前記高誘電率層に隣接し、前記境界層上に形成された一対の非導電性の第２のスペーサと、
を備えたＭＯＳトランジスタ。
【請求項４１】
第１導電型の半導体基板上に形成されるＭＯＳトランジスタであって、
（ａ）　前記基板上に形成された、窒化酸化シリコンの境界層と、
（ｂ）　前記境界層上に形成され、前記境界層と前記基板とを分離する高誘電率層であって、
Ta_2O_5、$Ta_2(O_{1-x}N_x)_5$｛ｘは、０から０．６の範囲である。｝、$(Ta_2O_5)_r-(TiO_2)_{1-r}$固溶体｛ｒは、約０．９から１未満の範囲である。｝、$(Ta_2O_5)_s-(Al_2O_3)_{1-s}$固溶体｛ｓは、０．９から１未満の範囲である。｝、$(Ta_2O_5)_t-(ZrO_2)_{1-t}$固溶体｛ｔは、約０．９から１未満の範囲である。｝、$(Ta_2O_5)_u-(HfO_2)_{1-u}$固溶体｛ｕは、約０．９から１未満の範囲である。｝、若しくは、これらの混合体、
の中から選択された材料からなる高誘電率層と、
（ｃ）　前記高誘電率層を被覆する、０．３ミクロンよりも小さい幅を有するゲート電極と、
（ｄ）　前記基板表面の対応する領域に堆積され、第２導電型の第１及び第２の低濃度ドープ領域と、
（ｅ）　第２導電型のソース及びドレインの領域と、
（ｆ）　前記ゲート電極に隣接して形成され、前記高誘電率層上に形成された一対の非導電性の第１のスペーサと、
（ｇ）　前記第１のスペーサ及び前記高誘電率層に隣接し、前記境界層上に形成された一対の非導電性の第２のスペーサと、
を備えたＭＯＳトランジスタ。
【請求項４２】
前記境界層が酸化シリコンを備えたことを特徴とする請求項２０に記載のＭＯＳトランジスタ。
【手続補正２】
【補正対象書類名】明細書
【補正対象項目名】０００３
【補正方法】変更
【補正の内容】
【０００３】
従って、本発明の一つの側面は、０．３ミクロンより小さいゲート幅を有するＭＯＳデバイスの製造方法であって、
（ａ）　シリコン半導体基板上に、窒化シリコン又は窒化酸化シリコンの境界層を形成する工程と、
（ｂ）　前記境界層上に、
Ta_2O_5、$Ta_2(O_{1-x}N_x)_5$｛ｘは、０から０．６の範囲である。｝、$(Ta_2O_5)_r-(TiO_2)_{1-r}$固溶体｛ｒは、約０．９から１未満の範囲である。｝、$(Ta_2O_5)_s-(Al_2O_3)_{1-s}$固溶体｛ｓは、０．９から１未満の範囲である。｝、$(Ta_2O_5)_t-(ZrO_2)_{1-t}$固溶体｛ｔは、約０．９から１未満の範囲である。｝、$(Ta_2O_5)_u-(HfO_2)_{1-u}$固溶体｛ｕは、約０．９から１未満の範囲である。｝、若しくは、これらの混合体、

の中から選択された材料からなる高誘電率層を形成する工程と、
前記境界層は、前記基板から前記高誘電率層を分離し、
（ｃ） 前記高誘電率層上に、導電材料の層を堆積する工程と、
（ｄ） ゲート電極を形成し、前記高誘電率層の一部を露出させるために、前記導電材料の層の一部を選択的に除去する工程と、
（ｅ） 第１導電型のソース領域及びドレイン領域を形成するために、前記高誘電率層の露出した前記部分を通って前記基板に、不純物イオンを打ち込む工程と、
（ｆ） 前記ゲート電極に隣接し、前記第１導電型のソース領域及びドレイン領域の一部を覆う第１のスペーサを形成する工程と、
（ｇ） 前記高誘電率層の露出した前記部分を除去する工程と、
（ｈ） 前記ソース領域及びドレイン領域に、第２の不純物イオンを打ち込む工程と、
（ｉ） 絶縁材料の層を、前記デバイスの表面を覆うように堆積する工程と、
（ｊ） 前記ソース及びドレインの領域に連結するコンタクト穴を前記絶縁材料に形成するために、前記絶縁材料の一部を除去する工程と、
（ｋ） 前記コンタクト穴をコンタクト材料で満たす工程と、
を含む製造方法に関する。
【手続補正３】
【補正対象書類名】明細書
【補正対象項目名】０００６
【補正方法】変更
【補正の内容】
【０００６】
他の側面において、本発明は、第１導電型の半導体基板上に形成されるＭＯＳトランジスタであって、
（ａ） 前記基板上に形成された境界層と、
（ｂ） 前記境界層上に形成され、前記境界層と前記基板とを分離する高誘電率層であって、
Ta_2O_5、$Ta_2(O_{1-x}N_x)_5$｛ｘは、０から０．６の範囲である。｝、$(Ta_2O_5)_r-(TiO_2)_{1-r}$固溶体｛ｒは、約０．９から１未満の範囲である。｝、$(Ta_2O_5)_s-(Al_2O_3)_{1-s}$固溶体｛ｓは、０．９から１未満の範囲である。｝、$(Ta_2O_5)_t-(ZrO_2)_{1-t}$固溶体｛ｔは、約０．９から１未満の範囲である。｝、$(Ta_2O_5)_u-(HfO_2)_{1-u}$固溶体｛ｕは、約０．９から１未満の範囲である。｝、若しくは、これらの混合体、
の中から選択された材料からなる高誘電率層と、
（ｃ） 前記高誘電率層を被覆する、０．３ミクロンよりも小さい幅を有するゲート電極と、
（ｄ） 前記基板表面の対応する領域に堆積され、第２導電型の第１及び第２の低濃度ドープ領域と、
（ｅ） 第２導電型のソース及びドレインの領域と、
（ｆ） 前記ゲート電極に隣接して形成され、前記高誘電率層上に形成された一対の非導電性の第１のスペーサと、
（ｇ） 前記第１のスペーサ及び前記高誘電率層に隣接し、前記境界層上に形成された一対の非導電性の第２のスペーサと、
を備えたＭＯＳトランジスタに関する。
また、本発明は、第１導電型の半導体基板上に形成されるＭＯＳトランジスタであって、
（ａ） 前記基板上に形成された、窒化シリコンの境界層と、
（ｂ） 前記境界層上に形成され、前記境界層と前記基板とを分離する高誘電率層であって、
Ta_2O_5、$Ta_2(O_{1-x}N_x)_5$｛ｘは、０から０．６の範囲である。｝、$(Ta_2O_5)_r-(TiO_2)_{1-r}$固溶体｛ｒは、約０．９から１未満の範囲である。｝、$(Ta_2O_5)_s-(Al_2$

$O_3)_{1-s}$固溶体｛ｓは、０．９から１未満の範囲である。｝、$(Ta_2O_5)_t-(ZrO_2)_{1-t}$固溶体｛ｔは、約０．９から１未満の範囲である。｝、$(Ta_2O_5)_u-(HfO_2)_{1-u}$固溶体｛ｕは、約０．９から１未満の範囲である。｝、若しくは、これらの混合体、
の中から選択された材料からなる高誘電率層と、
（ｃ）　前記高誘電率層を被覆する、０．３ミクロンよりも小さい幅を有するゲート電極と、
（ｄ）　前記基板表面の対応する領域に堆積され、第２導電型の第１及び第２の低濃度ドープ領域と、
（ｅ）　第２導電型のソース及びドレインの領域と、
（ｆ）　前記ゲート電極に隣接して形成され、前記高誘電率層上に形成された一対の非導電性の第１のスペーサと、
（ｇ）　前記第１のスペーサ及び前記高誘電率層に隣接し、前記境界層上に形成された一対の非導電性の第２のスペーサと、
を備えたＭＯＳトランジスタに関する。
また、本発明は、第１導電型の半導体基板上に形成されるＭＯＳトランジスタであって、
（ａ）　前記基板上に形成された、窒化酸化シリコンの境界層と、
（ｂ）　前記境界層上に形成され、前記境界層と前記基板とを分離する高誘電率層であって、
Ta_2O_5、$Ta_2(O_{1-x}N_x)_5$｛ｘは、０から０．６の範囲である。｝、$(Ta_2O_5)_r-(TiO_2)_{1-r}$固溶体｛ｒは、約０．９から１未満の範囲である。｝、$(Ta_2O_5)_s-(Al_2O_3)_{1-s}$固溶体｛ｓは、０．９から１未満の範囲である。｝、$(Ta_2O_5)_t-(ZrO_2)_{1-t}$固溶体｛ｔは、約０．９から１未満の範囲である。｝、$(Ta_2O_5)_u-(HfO_2)_{1-u}$固溶体｛ｕは、約０．９から１未満の範囲である。｝、若しくは、これらの混合体、
の中から選択された材料からなる高誘電率層と、
（ｃ）　前記高誘電率層を被覆する、０．３ミクロンよりも小さい幅を有するゲート電極と、
（ｄ）　前記基板表面の対応する領域に堆積され、第２導電型の第１及び第２の低濃度ドープ領域と、
（ｅ）　第２導電型のソース及びドレインの領域と、
（ｆ）　前記ゲート電極に隣接して形成され、前記高誘電率層上に形成された一対の非導電性の第１のスペーサと、
（ｇ）　前記第１のスペーサ及び前記高誘電率層に隣接し、前記境界層上に形成された一対の非導電性の第２のスペーサと、
を備えたＭＯＳトランジスタに関する。
【手続補正４】
【補正対象書類名】明細書
【補正対象項目名】０００９
【補正方法】変更
【補正の内容】
【０００９】
続いて、高誘電率層１１０と導電層１２０が、境界層１０２上に形成される。高誘電率層１１０は、好ましくは、Ta_2O_5、$Ta_2(O_{1-x}N_x)_5$（ｘは、好ましくは、０から０．６の範囲である。）、$(Ta_2O_5)_r-(TiO_2)_{1-r}$固溶体（ｒは、好ましくは、約０．９から１未満の範囲である。）、$(Ta_2O_5)_s-(Al_2O_3)_{1-s}$固溶体（ｓは、好ましくは、約０．９から１未満の範囲である。）、$(Ta_2O_5)_t-(ZrO_2)_{1-t}$固溶体（ｔは、好ましくは、約０．９から１未満の範囲である。）、$(Ta_2O_5)_u-(HfO_2)_{1-u}$固溶体（ｕは、好ましくは、約０．９から１未満の範囲である。）、若しくは、これらの混合体から選択された材料からなる。概して、高誘電率層は、約４乃至１２ｎｍ、好ましくは、約５乃至１０ｎｍの範囲の厚さを持つ。高誘電率層は、ゲート酸化物層を形成することとなる

。本発明において用いられる高誘電率材料は、より薄いゲート酸化物層を形成させ、このために、製造工程の間におけるゲートエッチングの選択性において厳格な制約を低減する。加えて、ＭＯＳトランジスタの動作の間、デバイスは、より高い相互コンダクタンスのパラメータを示すと考えられる。更に、Ｔａは、ＭＯＳ製造において既に用いられているので、ゲート酸化物を含むTa_2O_5は、他のＭＯＳ材料における材料と両立すると考えられる。高誘電率膜は、例えば、ＬＰＣＶＤ、ＰＥＣＶＤ、ＥＣＲＣＶＤ、ＵＶＣＶＤ、及び、反応性スパッタリングを含む従来の手段によって製造することができる。