



(19) 대한민국특허청(KR)  
(12) 등록실용신안공보(Y1)

(45) 공고일자 2020년07월27일  
(11) 등록번호 20-0492043  
(24) 등록일자 2020년07월21일

- (51) 국제특허분류(Int. Cl.)  
H01L 27/146 (2006.01)
- (52) CPC특허분류  
H01L 27/14609 (2013.01)  
H01L 27/14605 (2013.01)
- (21) 출원번호 20-2015-0006428
- (22) 출원일자 2015년09월30일  
심사청구일자 2018년09월17일
- (65) 공개번호 20-2016-0001918
- (43) 공개일자 2016년06월03일
- (30) 우선권주장  
14/554,914 2014년11월26일 미국(US)
- (56) 선행기술조사문헌  
KR1020110062981 A\*  
US20050040320 A1\*  
US20140085523 A1\*  
\*는 심사관에 의하여 인용된 문헌

- (73) 실용신안권자  
세미컨덕터 콤포넌츠 인더스트리즈 엘엘씨  
미합중국, 아리조나 85008, 피닉스, 이스트 맥도웰 로드 5005
- (72) 고안자  
하이네섹, 자로슬라프  
미국 텍사스 75013 알렌 팜파 드라이브 905
- (74) 대리인  
장훈

전체 청구항 수 : 총 20 항

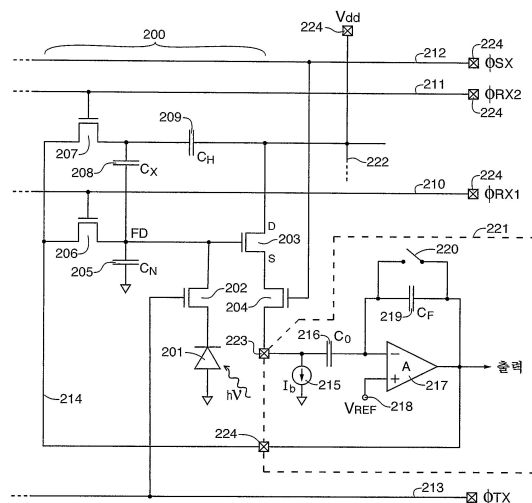
심사관 : 심병로

(54) 고안의 명칭 **향상된 서터 효율을 가지는 글로벌 서터 이미지 센서 픽셀들**

(57) 요약

이미지 센서에는 앞 및 뒤 표면들을 가지는 기판 상에 형성된 이미지 센서 픽셀들의 어레이가 제공될 수 있다. 각각의 픽셀은 뒤 표면을 통해 광을 수신하는 광다이오드, 플로팅 확산 노드(floating diffusion node), 전하 전달 게이트, 및 제 1 및 제 2 리셋 트랜지스터 게이트들을 가질 수 있다. 소스 팔로어 트랜지스터(source follower transistor)는 플로팅 확산 노드에 연결된 게이트 및 어드레싱 트랜지스터(addressing transistor)에 연결된 소스를 가질 수 있다. 픽셀은 어드레싱 트랜지스터 및 열 피드백 리셋 경로를 통해 열 피드백 증폭기에 연결될 수 있다. 증폭기는 플로팅 확산과 소스 팔로어의 드레인 단자 사이에 연결된 유지 커패시터 상에 저장하기 위해 kTC-리셋 잡음 보상 전압을 리셋 트랜지스터들에 제공할 수 있다. 플로팅 확산은 앞 표면에서 트랜지스터 게이트, 리셋 게이트, 및 p-형 도핑된 영역들에 의해 경계가 설정될 수 있다.

대표도 - 도2



(52) CPC특허분류

*H01L 27/14612* (2013.01)

*H01L 27/14643* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

이미징 시스템에 있어서:

이미지 광에 응답하여 전하를 생성하는 광다이오드(photodiode);

플로팅 확산 노드(floating diffusion node);

상기 광다이오드와 상기 플로팅 확산 노드 사이에 연결된 전하 전달 트랜지스터로서, 상기 생성된 전하를 상기 광다이오드에서 상기 플로팅 확산 노드로 전달하도록 구성되는, 상기 전하 전달 트랜지스터;

상기 플로팅 확산 노드에 연결된 리셋 트랜지스터;

상기 플로팅 확산 노드에 연결된 게이트 단자, 소스 단자, 및 드레인 단자를 가지는 소스 팔로어 트랜지스터(source follower transistor);

입력 및 출력을 가지는 피드백 증폭기 회로;

상기 소스 팔로어 트랜지스터의 소스 단자와 상기 피드백 증폭기 회로의 입력 사이에 연결된 픽셀 어드레싱 트랜지스터(pixel addressing transistor); 및

상기 피드백 증폭기 회로의 출력과 상기 리셋 트랜지스터 사이에 연결된 열 피드백 라인(column feedback line)을 포함하는, 이미징 시스템.

#### 청구항 2

제 1 항에 있어서,

추가적인 리셋 트랜지스터를 더 포함하고,

상기 리셋 트랜지스터는 상기 열 피드백 라인과 상기 플로팅 확산 노드 사이에 직접적으로 연결되고, 상기 추가적인 리셋 트랜지스터는 연결 커패시터(capacitor)를 통해 오류 전압 유지 커패시터 및 상기 플로팅 확산 노드에 연결되는, 이미징 시스템.

#### 청구항 3

제 2 항에 있어서,

상기 플로팅 확산 노드, 상기 전하 전달 트랜지스터, 상기 리셋 트랜지스터, 상기 추가적인 리셋 트랜지스터, 상기 소스 팔로어 트랜지스터, 및 상기 픽셀 어드레싱 트랜지스터는 공동 반도체 기판 상에 형성되고,

상기 반도체 기판은:

p+형 도핑된 영역들을 포함하고,

상기 플로팅 확산 노드는 상기 반도체 기판의 표면에서, 상기 전하 전달 트랜지스터의 게이트, 제 1 리셋 트랜지스터의 게이트, 및 상기 p+ 형 도핑된 영역들에 의해 경계가 설정되는, 이미징 시스템.

#### 청구항 4

제 3 항에 있어서,

상기 광다이오드는 이미지 센서 픽셀들의 어레이에 형성되고, 상기 반도체 기판은 상기 어레이 주변의 복수의 전도성 접촉부들을 통해, 상기 반도체 기판과 다른 추가적인 반도체 기판에 접속되는, 이미징 시스템.

#### 청구항 5

제 4 항에 있어서,

상기 피드백 증폭기 회로는 상기 추가적인 반도체 기판 상에 형성되는, 이미징 시스템.

#### 청구항 6

제 4 항에 있어서,

상기 이미지 광은 상기 반도체 기판의 표면에 대향하는 상기 반도체 기판의 추가적인 표면을 통해 수신되는, 이미징 시스템.

#### 청구항 7

제 1 항에 있어서,

상기 광다이오드는 행들 및 열들로 배열된 이미지 센서 픽셀들의 어레이에 복수의 광다이오드들 중 주어진 광다이오드를 포함하고,

상기 이미지 센서 픽셀들의 어레이는 글로벌 셔터 모드(global shutter mode)로 동작가능하며, 상기 글로벌 셔터 모드에서 상기 복수의 광다이오드들의 각각의 광다이오드는 대응하는 플로팅 확산 노드들에 전하를 동시에 전달하도록 구성되는, 이미징 시스템.

#### 청구항 8

제 7 항에 있어서,

상기 어레이 내의 각각의 이미지 센서 픽셀은 한 행씩 관독되고, 상기 이미지 센서 픽셀들 각각의 플로팅 확산 영역들은 상기 피드백 증폭기 회로의 출력에서 제공되는 참조 전압으로 리셋되는, 이미징 시스템.

#### 청구항 9

제 2 항에 있어서,

상기 오류 전압 유지 커패시터는 상기 추가적인 리셋 트랜지스터와 상기 소스 팔로어 트랜지스터의 드레인 단자, 참조 전압 단자, 및 접지 단자 중 하나 사이에 연결되고, 상기 피드백 증폭기 회로의 출력에서 생성된 kTC-리셋 잡음 정정 신호는 픽셀 리셋 동작들 동안 상기 오류 전압 유지 커패시터 상에 저장되는, 이미징 시스템.

#### 청구항 10

제 1 항에 있어서,

상기 피드백 증폭기 회로는, 상기 픽셀 어드레싱 트랜지스터로부터의 상기 이미지 광에 대응하는 이미지 신호들이 상기 피드백 증폭기 회로에서 수신되는 동안의 이미지 신호 스캐닝 간격 동안에는 제 1 이득을 적용하고, 상기 피드백 증폭기 회로가 상기 플로팅 확산 노드를 리셋 전압으로 리셋하도록 구성되는 동안의 픽셀 리셋 간격 동안에는 상기 제 1 이득과 다른 제 2 이득을 적용하도록 구성되는, 이미징 시스템.

#### 청구항 11

제 10 항에 있어서,

상기 이미지 신호 스캐닝 간격 동안에는 제 1 참조 바이어스(bias) 전압이, 그리고 상기 픽셀 리셋 간격 동안에는 제 2 참조 바이어스 전압이 상기 피드백 증폭기 회로에 제공되는, 이미징 시스템.

#### 청구항 12

대향하는 제 1 및 제 2 표면들을 가지는 반도체 기판 상에 형성된 이미지 센서 픽셀에 있어서:

상기 제 2 표면을 통해 수신된 이미지 광에 응답하여 전하를 생성하는 광다이오드;

상기 제 1 표면에서의 전하 전달 게이트;

상기 광다이오드에 의해 생성된 상기 전하를 상기 전하 전달 게이트를 통해 수신하는 상기 제 1 표면에서의 플로팅 확산 접합 영역;

상기 플로팅 확산 영역에 연결되고, 상기 플로팅 확산 영역을 리셋 전압으로 리셋하도록 구성되는 상기 제 1 표면에서의 리셋 게이트; 및

p-형 도핑된 영역들을 포함하고,

상기 p-형 도핑된 영역들, 상기 리셋 게이트, 및 상기 전하 전달 게이트는 상기 제 1 표면에서 상기 플로팅 확산 노드를 둘러싸는, 이미지 센서 픽셀.

### 청구항 13

제 12 항에 있어서,

상기 p-형 도핑된 영역들은 상기 제 1 표면에서 상기 플로팅 확산 접합 영역의 제 1 및 제 2 대향하는 측들을 정의하고, 상기 전하 전달 게이트는 상기 제 1 표면에서 상기 플로팅 확산 접합 영역의 제 3 측을 정의하고, 상기 리셋 게이트는 상기 제 1 표면에서 상기 플로팅 확산 접합 영역의 제 4 측을 정의하고, 상기 제 4 측은 상기 제 3 측에 대향하고, 상기 제 3 및 제 4 측들은, 상기 플로팅 확산 접합 영역이 상기 제 1 표면에서 상기 p-형 도핑된 영역들, 상기 전하 전달 게이트, 및 상기 리셋 게이트에 의해 경계가 설정되도록 상기 제 1 측과 상기 제 2 측 사이에 확장되는, 이미지 센서 픽셀.

### 청구항 14

제 12 항에 있어서,

상기 반도체 기판과 다른 추가적인 반도체 기판에 연결되는 상기 제 1 표면에서의 복수의 전도성 접촉부들을 더 포함하고,

상기 플로팅 확산 접합 영역은 상기 복수의 전도성 접촉부들 중 주어진 하나의 영역과 거의 같은 영역을 갖는, 이미지 센서 픽셀.

### 청구항 15

제 12 항에 있어서,

상기 이미지 센서 픽셀은 이미지 센서 픽셀들의 어레이에 형성되고,

상기 이미지 센서 픽셀 및 상기 이미지 센서 픽셀들의 어레이는 글로벌 셔터 이미징 모드로 동작하도록 구성되는, 이미지 센서 픽셀.

### 청구항 16

제 12 항에 있어서,

상기 플로팅 확산 접합 영역과 열 관독 라인 사이에 연결된 행 선택 게이트를 더 포함하고,

상기 리셋 게이트는 대응하는 리셋 트랜지스터의 부분으로서 형성되고, 상기 열 관독 라인은 열 증폭기 회로의 입력에 연결되고, 상기 열 증폭기 회로의 출력은 열 피드백 라인을 통해 상기 리셋 트랜지스터에 연결되고, 상기 열 증폭기 회로는 상기 열 증폭기 회로의 출력에서 상기 리셋 전압을 생성하도록 구성되는, 이미지 센서 픽셀.

### 청구항 17

제 16 항에 있어서,

연결 커패시터를 통해 상기 플로팅 확산 영역에 연결된 추가적인 리셋 트랜지스터; 및

상기 연결 커패시터를 통해 상기 플로팅 확산 영역에 연결된 유지 커패시터를 더 포함하고,

상기 열 증폭기 회로는 상기 열 증폭기 회로의 출력에서 kTC-리셋 잡음 보상 전압을 생성하도록 구성되고, 상기 유지 커패시터는 상기 kTC-리셋 잡음 보상 전압을 저장하도록 구성되는, 이미지 센서 픽셀.

**청구항 18**

제 17 항에 있어서,

행 제어 회로를 더 포함하고,

상기 추가적인 리셋 게이트가 켜지는 동안, 상기 행 제어 회로는 상기 리셋 게이트를 온(on) 및 오프(off)로 펄싱(pulsing)하도록 구성되고, 상기 리셋 게이트가 온 및 오프로 펄싱되고 상기 추가적인 리셋 게이트가 켜지는 동안, 상기 피드백 증폭기의 출력으로부터의 상기 kTC-리셋 잡음 보상 전압은 상기 유지 커패시터 상에 저장되고, 상기 kTC-리셋 잡음 보상 전압이 상기 유지 커패시터 상에 저장된 후, 상기 행 제어 회로는 상기 리셋 게이트를 끄도록 구성되는, 이미지 센서 픽셀.

**청구항 19**

중앙 처리 장치;

메모리;

입력-출력 회로; 및

글로벌 셔터 모드로 동작가능한 이미징 디바이스를 포함하고,

상기 이미징 디바이스는:

적어도 하나의 픽셀 회로를 가지는 픽셀 어레이; 및

상기 픽셀 어레이 상에 이미지의 초점을 맞추는 렌즈를 포함하고,

상기 적어도 하나의 픽셀 회로는:

상기 픽셀 어레이의 후면을 통해 수신된 이미지 광에 응답하여 전하를 생성하는 광다이오드;

전하 저장 영역;

상기 광다이오드와 상기 전하 저장 영역 사이에 연결된 전하 전달 게이트로서, 상기 생성된 전하를 상기 광다이오드에서 상기 전하 저장 영역으로 전달하도록 구성되는, 상기 전하 전달 게이트;

상기 전하 저장 영역에 연결된 리셋 트랜지스터;

상기 전하 저장 영역에 연결된 게이트 단자, 소스 단자, 및 드레인 단자를 가지는 소스 팔로어 트랜지스터;

입력 및 출력을 가지는 피드백 증폭기 회로;

상기 소스 팔로어 트랜지스터의 소스 단자와 상기 피드백 증폭기 회로의 입력 사이에 연결된 행 선택 게이트; 및

상기 피드백 증폭기 회로의 출력과 상기 리셋 트랜지스터의 게이트 사이에 연결된 열 피드백 라인을 포함하는, 시스템.

**청구항 20**

제 19 항에 있어서,

상기 적어도 하나의 픽셀 회로는:

연결 커패시터를 통해 상기 전하 저장 영역에 연결된 유지 커패시터; 및

상기 열 피드백 라인의 출력과 상기 유지 커패시터 사이에 연결된 추가적인 리셋 게이트를 더 포함하고,

상기 유지 커패시터는 상기 피드백 증폭기 회로의 출력에서 생성된 전압을 저장하도록 구성되는, 시스템.

**고안의 설명**

**기술분야**

[0001] 본 고안은 고체 이미지 센서 어레이들에 관한 것으로, 특히, 픽셀 기관의 후면에서 조명되는 소형 픽셀들을 가지는 이미지 센서들에 관한 것이다. 작은 픽셀 크기들은 이미지 센서 어레이들의 제조 비용을 줄이지만, 픽셀 크기를 줄일 때 이미지 센서 성능을 희생하지 않는 것이 중요하다.

**배경기술**

[0002] 전형적인 CMOS(complementary metal-oxide-semiconductor) 이미지 센서들은 충격 광자들을 센서 픽셀들에 통합(수집)되는 전자들로 변환함으로써 광을 감지한다. 각각의 통합 주기가 완료되면, 수집된 전하는 전압 신호들로 변환되어 이미지 센서에 연관된 대응하는 출력 단자들에 공급된다. 전형적으로, 전하-대-전압 변환은 픽셀들 내에서 직접 수행되고, 결과의 아날로그 픽셀 전압 신호들은 다양한 픽셀 어드레싱(pixel addressing) 및 스캐닝(scanning) 방식들을 통해 출력 단자들에 전달된다. 아날로그 전압 신호는 종종 오프-칩(off-chip)으로 전달되기 전에 칩 상에서 디지털 등가물로 변환될 수 있다. 각각의 픽셀은 개개의 어드레스 트랜지스터들을 통해 픽셀들에 접속된 출력 감지 라인들을 구동시키는 버퍼 증폭기(즉, 소스 팔로어(source follower))를 포함한다.

[0003] 전하-대-전압 변환이 완료된 후 그리고 결과 신호들이 픽셀들로부터 전달되나간 후, 다음의 통합 주기가 시작되기 전에 픽셀들은 리셋된다. 전하 검출 노드의 역할을 하는 플로팅 확산(floating diffusion; FD)들을 포함하는 픽셀들에서, 이 리셋 동작은 FD 노드 상으로 전달된 임의의 전하를 트레이닝(draining)하기(또는 제거하기) 위해 플로팅 확산 노드를 전압 참조에 접속시키는 리셋 트랜지스터를 잠깐 켜으로써(turn on) 성취된다. 그러나, 본 기술에 잘 알려진 바와 같이, 리셋 트랜지스터를 사용하여 플로팅 확산 노드에서 전하를 제거하는 것은 열 kTC-리셋 잡음을 생성한다. 바람직한 낮은 잡음 성능을 달성하기 위해, 이 kTC 리셋 잡음은 CDS(correlated double sampling) 신호 처리 기술들을 사용하여 제거되어야 한다. CDS를 이용하는 전형적인 CMOS 이미지 센서들은 픽셀 당 적어도 4개의 트랜지스터들(4T)을 요구한다. 피닝된(pinned) 광다이오드를 가지는 4T 픽셀 회로의 일례는 참조로서 여기에 통합된 리(Lee)(미국 특허 번호 제 5,625,210 호)에서 찾을 수 있다.

[0004] 최신 CMOS 센서 디자인들에서, 종종 몇개의 광다이오드들의 회로가 공유된다. 몇개의 광다이오드들의 회로가 공유되는 일례는 참조로서 여기에 통합된 귀다쉬(Guidash)(미국 특허 번호 제 6,657,665 호)에서 찾을 수 있다. 몇몇의 상황들에서, 픽셀 어레이의 이웃하는 행들 및 열들에 위치하는 4개의 광다이오드들은 회로를 공유한다. 이러한 공유된 픽셀 회로는, 특히 글로벌 셔터(global shutter; GS) 저장 사이트들(sites)이 픽셀들에 포함될 때, 신호들을 픽셀들에/픽셀들로부터 전달하는데 사용되는 금속 어드레싱 라인들의 개수를 바람직하지 않게 증가시키면서, 픽셀들이 회로를 공유하지 않는 상황에 비해 어레이 상의 픽셀 밀도를 증가시킨다.

[0005] 종래의 CMOS 이미지 센서들의 하나의 주요한 단점은 전하가 픽셀들에 축적된 후 픽셀 스캐닝이 한 행씩 순차적으로 수행된다는 것이다. 이것은 움직이는 객체들의 이미지들에서 종종 왜곡으로 관찰되는 노출 시간 지연(skew)을 생성한다. 픽셀들을 한 행씩 스캐닝하는 것은 "롤링 셔터(rolling shutter)" 모드로 센서를 동작시키는 것을 의미하는데, 이것은 종래의 사진 필름 카메라들에서 발견되는 포컬 플레인 슬릿 셔터(focal plane slit shutter)의 동작을 닮았다. 그러나, 대부분의 응용들에서는, 노출 시간 지연 없이 어레이의 픽셀들 모두를 동시에 노출시켜 이미지 내의 움직이는 객체들의 왜곡을 제거하는 것이 바람직하다. 이 유형의 이미지 센서 동작은 종래의 사진 필름 카메라들의 기계적인 조리개 셔터의 동작과 닮은 "글로벌 셔터링"(GS)으로 언급된다. 이 유형의 글로벌 셔터링을 구현하기 위해, 각각의 센서 픽셀 내에 복수의 전하 저장 사이트들을 제공할 필요가 있다.

[0006] GS 방식으로 동작할 때 전하가 픽셀들의 광다이오드들에 통합된 후, 전하는 어레이의 모든 픽셀들의 픽셀 저장 사이트들에 동시에 전달되는데, 이 픽셀 저장 사이트에서는 전하가 한 행씩 스캐닝하기 위해 기다리고 있을 수 있다. 따라서 픽셀 스캐닝 시간 지연은 프레임 픽셀 노출 시간에 독립적이다. 복수의 전하 저장 사이트들을 CMOS 센서 픽셀들에 통합하는 방법들의 예들은 참조로서 여기에 통합된 야스토미(Yasutomi) 등(테크니컬 페이퍼들의 ISSC 다이제스트(ISSC Digest of Technical Papers), 2010년 2월 10일, 398쪽 및 399쪽, 명칭은 "이중 글로벌 셔터 픽셀들을 가지는 2.7e 일시적 잡음 99.7% 셔터 효율 92dB의 동적 범위 CMOS 이미지 센서(A 2.7e Temporal Noise 99.7% Shutter Efficiency 92dB Dynamic Range CMOS Image Sensor with Dual Global Shutter Pixels)"임)에서 찾을 수 있다. 야스토미 등의 구성은 픽셀 광다이오드들로부터의 전하가 픽셀들 사이의 공간들에 위치한 수직 CCD(Charge Coupled Device) 레지스터들로 우선 전달되고, 그후 그곳에서부터 전하가 병렬로 한 행씩 연속하는 레지스터로 전달된 후, 공동의 단일 전하 검출 노드 및 출력 증폭기로 CCD 전하 전달되는 종래의 인터라인 전달 CCD(Interline Transfer CCD) 개념의 수정예이다. 글로벌 셔터링을 구현하기 위해 CMOS 센서들에 CCD 전하 전달 개념을 응용한 것이 도 1에 나타나있는데, 여기서 전하는 추가적인 피닝된 다이오드에 저장된다.

[0007] 도 1은 글로벌 셔터링 능력들을 가지는 CMOS 센서 내의 픽셀(100)의 간략화된 회로도를 보여준다. 제 1 피닝된 광다이오드(101) 내에 전하 통합이 완료된 후, 전하는 전하 전달 트랜지스터(103)를 통해 제 2 피닝된 다이오드(102)에 전달된다. 전달된 전하는 다이오드(102)에서 스캐닝을 기다린다. 제 1 다이오드(101)에서 제 2 다이오드(102)로의 전하 전달은 kTC 잡음을 생성하지 않으면서 CCD 방식으로 완료된다. 또한, 제 2 다이오드(102)가 다이오드(101)보다 높은 피닝 전압을 갖거나, 전달 게이트(103)가 잠재적인 장벽 및 잠재적인 벽을 가질 필요가 있다. 게다가, 이미징된 장면 내의 객체들이 움직일 때의 바람직하지 않은 얼룩 영향들을 막기 위해, 제 2 다이오드(102)가 충격 광자들(115)(즉, 제 1 다이오드(101)에서 전하를 생성하기 위해 사용되는 광자들)로부터 잘 보호될 필요도 있다. 광 보호 효과는 이러한 이미지 센서들에서 셔터 효율로 언급되는 매개변수로 특징지어진다.

[0008] 제 2 다이오드(102)로부터 신호 전하를 판독하는 동작은 리셋 트랜지스터(106)를 잠깐 켜서 바이어스 전압(bias voltage)(Vdd)을 트레이닝하기 위해 우선 플로팅 확산(FD) 노드(104)를 리셋한 후, 전하 전달 트랜지스터(105)의 게이트를 펄싱(pulsing)함으로써 종래의 방식으로 진행한다. 이 순서는 이제 어레이를 통해 한 행씩 순차적으로 진행될 수 있다. 플로팅 확산(104) 상에 나타나는 신호는 행 어드레싱 트랜지스터(108)에 의해 어드레싱되는 소스 팔로어 트랜지스터(107)에 의해 버퍼링된다. 전달 트랜지스터 게이트들(103 및 105), 리셋 트랜지스터(106), 및 어드레싱 트랜지스터(108)를 제어하기 위한 펄스들은 각각 행 버스 라인들(111, 112, 113, 및 114)에 의해 공급된다(즉, 이미지 센서 내의 행 제어 회로에 연결됨). 바이어스 전압(Vdd)은 열 Vdd 라인(109)에 의해 픽셀들에 공급되고, 신호 출력은 열 출력 라인(110) 상에 나타난다. 이 방식으로, 전하 저장을 위해 피닝된 다이오드들을 사용하는 것이 이로운데, 이는 이 유형의 다이오드들이 비교적 낮은 암전류를 생성하는 특징을 갖기 때문이다(전하 저장 영역들 내에서의 높은 수준의 암전류는 이미지 내에 잡음을 추가하고 바람직하지 않은 보호막 효과들을 생성할 수 있다). 그러나, 제 2 다이오드(102)는 상당한 양의 픽셀 영역을 소비하므로, 대응하는 이미지 센서의 크기를 증가시키고, 궁극적으로, 그것의 비용을 증가시킨다. 피닝된 광다이오드 저장법의 또 다른 단점은 다이오드(101)를 위한 피닝 전압에 비해 제 2 다이오드(102)를 위해서는 더욱 높은 피닝 전압이 필요하다는 것이다. 이 보다 높은 피닝 전압은 최대 디바이스 동작 전압에 의해 결정되는 소중할 할당된 전압 스윙(swing)을 소비하고 그 결과 전하 저장 능력을 줄이고 이에 따라 이미지 센서의 동적 범위(dynamic range; DR)를 줄인다.

[0009] 글로벌 셔터링된 픽셀들의 디자인에서의 기술된 문제들은, 다이오드(102) 상에서의 광 누출을 막기 위해 광 보호막이 제 2 피닝된 전하 저장 다이오드(102) 위에 위치될 수 있는, 전면 조사(Front Side Illumination; SFI) 응용들에서 부분적으로 극복될 수 있다. 그러나, 이러한 방법들은 후면 조사(Back Side Illumination; BSI) 응용들에서는 역효과를 낳는다. 특히, BSI 응용들에서 센서 기관의 후면 상에 위치한 광 보호막은 전면 응용들에서보다 덜 효과적이고, 센서의 양자 효율(quantum efficiency; QE)을 제한한다(소형 픽셀 센서들에서 높은 양자 효율은 후면 조사를 사용하는 주요 목적이다). 따라서, BSI 응용에서 전하 저장을 위해 제 2 피닝된 다이오드(102)를 사용하는 것은 불가능하다.

**고안의 내용**

**해결하려는 과제**

[0010] 따라서, 글로벌 셔터 성능들을 가진 향상된 후면 조사 이미지 센서 픽셀들을 제공할 수 있게 되는 것이 바람직하다.

**과제의 해결 수단**

[0011] 이미지 센서에는 앞 및 뒤 표면들을 가지는 기관 상에 형성된 이미지 센서 픽셀들의 어레이가 제공될 수 있다. 각각의 픽셀은 뒤 표면을 통해 광을 수신하는 광다이오드, 플로팅 확산 노드(floating diffusion node), 전하 전달 게이트, 및 제 1 및 제 2 리셋 트랜지스터 게이트들을 가질 수 있다. 소스 팔로어 트랜지스터(source follower transistor)는 플로팅 확산 노드에 연결된 게이트 및 어드레싱 트랜지스터(addressing transistor)에 연결된 소스를 가질 수 있다. 픽셀은 어드레싱 트랜지스터 및 열 피드백 리셋 경로를 통해 열 피드백 증폭기에 연결될 수 있다. 증폭기는 플로팅 확산과 소스 팔로어의 드레인 단자 사이에 연결된 유지 커패시터(capacitor) 상에 저장하기 위해 kTC-리셋 잡음 보상 전압을 리셋 트랜지스터들에 제공할 수 있다. 플로팅 확산은 앞 표면에서 트랜지스터 게이트, 리셋 게이트, 및 p-형 도핑된 영역들에 의해 경계가 설정될 수 있다.

**도면의 간단한 설명**



[0012] 도 1은 광 감지 광다이오드 및 전하 저장을 위한 피닝된 다이오드를 가지는 종래의 글로벌 셔터 이미지 센서 픽셀의 간략화된 회로도.

도 2는 본 고안의 일 실시예에 따른 도 1에 나타난 유형의 픽셀들에 비해 kTC 잡음 생성을 최소화하면서, 영역, 전압 스윙, 및 효율을 최적화하기 위해 플로팅 확산 영역, 픽셀 열 피드백, 및 2배의 플로팅 확산 리셋을 가지는 글로벌 셔터 이미지 센서 픽셀의 일 예시적인 회로도.

도 3은 본 고안의 일 실시예에 따른, 픽셀 기관 상에 비교적 작은 영역을 갖고, 플로팅 확산 노드의 주변에 STI 격리가 제거된 (예로서, 픽셀 내의 전하 저장 영역들에 의한 영역 소비를 최적화하기 위해) 플로팅 확산 노드를 갖는, 도 2에 나타난 회로를 통합한 유형의 글로벌 셔터 이미지 센서 픽셀의 일 예시적인 배치도.

도 4는 본 고안의 일 실시예에 따른 도 2 및 도 3의 이미지 센서 픽셀들을 이용하는 처리기 시스템의 블록도.

**고안을 실시하기 위한 구체적인 내용**

[0013] 일 예시적인 글로벌 셔터 이미지 픽셀의 간략화된 회로도가 도 2에 나타나있다. 도 2에 나타난 바와 같이, 픽셀 (200)은 인입 광(hv)(예로서, 주파수(v)를 가지는 광)을 감지하고 그 광을 전기 전하로 변환하는 (예로서, 이미지 광에 응답하여 전하를 생성함) 광다이오드(201)를 포함할 수 있다. 광다이오드(201)는 전하 전달 트랜지스터 (202)를 통해 노드(205)와 같은 전하 검출 노드(예로서, 용량(C<sub>n</sub>))을 가지는 노드 커패시터(205)로 나타냄)에 연결될 수 있다. 전하 검출 노드 커패시터(205)는, 바람직하다면, 노드의 전하 저장 능력을 높이기 위해 노드에 연결된 하나 이상의 추가적인 커패시터들을 포함할 수 있다(예로서, 하나 이상의 이중 변환 이득 커패시터들 (dual conversion gain capacitors) 등). 노드 커패시터(205)는 소스 팔로어 트랜지스터(203)의 게이트 단자에 연결될 수 있다. 소스 팔로어(203)는 열 버스 라인(222)(예로서, 비아(224)로부터 바이어스 전압(V<sub>dd</sub>)이 수신되는 열 라인(222))을 트레이닝하도록 접속된 드레인 단자 및 어드레싱 트랜지스터(204)를 통해 열 감지 라인 (223)(종종 여기서 판독 라인(223)으로 언급됨)에 연결된 소스 단자를 포함할 수 있다.

[0014] 전하 검출 노드(205)(여기서 종종 플로팅 확산 노드(205), 플로팅 확산 교차 영역(205), 플로팅 확산 교차 (205), 전하 저장 노드(205), 전하 저장 영역(205), 또는 플로팅 확산 영역(205)으로 언급되고, 반도체 픽셀 기관 내의 또는 반도체 픽셀 기관 상의 용량 요소로서 또는 반도체 기관의 도핑된 영역으로서 (개략적으로 나타내진 바와 같이) 구현될 수 있음)는 리셋 트랜지스터(206)를 통해, 열 전압 참조 라인(214)을 통해 열 증폭기 (217)의 출력에서 생성된 리셋 참조 전압으로 리셋될 수 있다. 마찬가지로, 제 2 리셋 트랜지스터(207)는 유지 커패시터(holding capacitor)(209)(용량(C<sub>h</sub>))을 가짐)를 열 라인(214)을 통해 증폭기(217)에 의해 제공된 참조 전압으로 리셋한다. 행 제어 회로(도시되지 않음)는 픽셀(200)에 대한 행 제어 신호들을 생성할 수 있다(예로서, 전하 전달 제어 신호들, 픽셀 리셋 제어 신호들, 어드레싱 또는 행 선택 제어 신호들 등). 예를

들면, 리셋 트랜지스터(206)는 열 제어 라인(210)을 통해 리셋 제어 신호들( $\Phi_{RX1}$ )을 수신할 수 있는

반면에, 리셋 트랜지스터(207)는 행 제어 라인(211)을 통해 리셋 제어 신호들( $\Phi_{RX2}$ )을 수신할 수 있다(예로

서, 리셋 신호들( $\Phi_{RX1}$  및  $\Phi_{RX2}$ )이 각각 하이(high)로 펄싱되면, 리셋 트랜지스터(206)는 증폭기(217)의 출력으로 제공된 리셋 전압으로 노드(205)를 리셋할 수 있고, 리셋 트랜지스터(207)는 유지 커패시터(209)를 리셋할 수 있음). 어드레싱 트랜지스터(204)(여기서는 종종 행 선택 트랜지스터(204)로 언급됨)는 행 제어 라인

(212)을 통해 행 선택 제어 신호들( $\Phi_{SX}$ )(예로서, 판독(스캔)하기 위해 원하는 픽셀들의 행을 선택하도록 펄싱된 행 선택 제어 신호들)을 수신할 수 있다. 전하 전달 레지스터(202)는 행 제어 라인(213)을 통해 수신된 전하

전달 제어 신호들( $\Phi_{TX}$ )에 의해 제어될 수 있다(예로서, 제어 신호( $\Phi_{TX}$ )가 펄싱되면, 전하가 노드 광다이오드(201)로부터 노드(205)로 전달될 수 있음).

[0015] 픽셀(200)은 공동 이미지 센서 반도체 기관(예로서, 집적 회로 기관) 상의 행들 및 열들로 배열된 이미지 픽셀들의 어레이로 형성될 수 있다. 도 2의 트랜지스터들(206, 207, 203, 및 202)과 같은 트랜지스터들이 기관의 제 1 표면(전면) 상에 형성될 수 있다. 이미지 광은 제 1 표면에 대향하는 기관의 제 2 표면(후면)을 통해 광다이오드(201)에 의해 수신될 수 있다. 따라서 픽셀(200)은 종종 후면 조사(BSI) 이미지 센서 픽셀로 언급될 수 있다. BSI 이미지 센서 픽셀들은 예를 들면, 전면 조사(FSI) 이미지 센서 픽셀들에 비해 향상된 양자 효율을 가질

수 있다.

[0016] 어레이 내의 픽셀들(200)은 (예로서, 판독 경로(223) 및 라인 피드백 경로(214)를 통해) 열 피드백 증폭기 회로(221)에 연결될 수 있다. 열 피드백 증폭기 회로(221)는 픽셀(200)과 공동의 반도체 기관(예로서, 집적 회로) 상에 형성되거나, 바람직하다면, 픽셀(200)과는 개별적인 기관 상에 형성될 수 있다(예로서, 픽셀 어레이 집적 회로 칩이 부착된 제 2 집적 회로 칩). 예를 들면, 증폭기(221)는 픽셀(200)(예로서, 픽셀(200)이 형성된 기관의 전면에 부착됨)의 기관에 수직으로 적층된 제 2 기관 상에 형성될 수 있다. 픽셀들(200)이 형성된 집적 회로 기관은 비아(via)들(224)(예로서, 집적 회로 기관들 간에 확장된 금속 비아 또는 픽셀들(200) 및 열 증폭기 회로(221)가 같은 반도체 기관 상에 형성된 시나리오들에서, 픽셀에서부터 공동의 집적 회로 기관을 통해 열 증폭기 회로까지 확장된 실리콘 관통 비아)을 통한 것과 같은 전기 상호접속들에 의해 열 증폭기 회로(221)가 형성된 집적 회로 기관에 연결될 수 있다. 대응하는 픽셀 어레이의 선택된 행의 각각의 픽셀(220)은 주어진 시간에 대응하는 증폭기 회로(221)에 연결될 수 있다(예로서, 많은 증폭기 회로들(221)은 픽셀들의 제 1 행이 선택되는 동안에는 그 행의 대응하는 픽셀들로부터의 신호들을 증폭하고, 이어서 선택된 픽셀들의 제 2 행으로부터의 신호들을 증폭할 수 있음).

[0017] 증폭기 회로(221)는 동작 증폭기(217), 픽셀 전류원 바이어스 생성기(215), 전류원(215)과 증폭기(217)의 제 1 (음의) 입력 사이에 연결된 연결 커패시터(216)(예로서, 용량( $C_0$ ))을 가짐), 및 증폭기(217)의 제 1 입력과 증폭기(217)의 출력 사이에 연결된 피드백 커패시터(219)(예로서, 용량( $C_F$ ))을 가짐)와 같은 증폭기 회로들을 포함할 수 있다. 증폭기(217)는 단자(218)를 통해 수신되는 참조 전압( $V_{REF}$ )에 연결된 제 2 (양의) 입력을 가질 수 있다. 증폭기(217)는 피드백 커패시터(219)를 건너 연결된 리셋 스위치(220)를 사용하여 리셋될 수 있다.

[0018] 픽셀(200) 및 열 증폭기 회로(221)는 kTC-리셋 잡음과 같은 리셋 잡음을 완화시키기 위해 2배의 리셋 동작들을 수행할 수 있다. 예를 들면, 픽셀(200)은 제 1 리셋 트랜지스터(206) 및 제 2 리셋 트랜지스터(207)를 사용하여 2배의 리셋 동작들을 수행할 수 있다. 픽셀들(200) 중 선택된 행의 제 1 리셋 트랜지스터(206)는 (예로서, 행 제어 회로에 의해 제공된 리셋 신호들을 사용하여) 온 및 오프 펄싱될 수 있고, 제 2 리셋 트랜지스터(207)는, 기다리고 있다가 제 1 리셋 오류에 대응하는 오류 정정 신호가 증폭기(217)로부터 수신된 후에만 해제된다. 이 2배의 리셋 동작이 완료된 후, 전하 전달 트랜지스터(202)는 펄싱되고, 감지된 신호는 집적된 전하의 글로벌 전달 방식으로 광다이오드들(201)에서 노드(205)로 전달되고, 전달된 전하는 노드(223)에 연결된 CDS 회로를 사용하여 샘플링된다(간략함을 위해 도시되지 않음). 원하는 신호를 감지 및 처리한 후, 노드(205)는 또 다시 리셋될 수 있다. 이것은, 전하 검출 노드(205) 상에 kTC-리셋 잡음이 유입되면서, 커패시터(205)로부터 신호 전하를 제거할 수 있다. 그러나, 제 2 리셋 트랜지스터(207)가 켜진 동안(예로서, 2배의 리셋 동작 동안), 증폭기(217)의 출력에서 생성된 피드백 신호는 유지 커패시터(209)(예로서, 용량( $C_H$ ))을 가진 커패시터 상에 저장된 정정 전압(예로서, kTC-리셋 잡음 보상 전압)의 역할을 할 수 있다. 제 2 리셋 트랜지스터(207) 및 유지 커패시터(209) 각각은 연결 커패시터(208)(예로서, 용량( $C_X$ ))을 가진 커패시터)를 통해 전하 검출 노드(205)에 연결될 수 있다. 이 처리는 픽셀(200) 내의 용량들의 값들에 따라, kTC-리셋 잡음 오류를 보상하고, kTC-리셋 잡음 오류를 거의 완벽히 제거할 수 있다. 이어서 정정 전압이 유지 커패시터(209)에 저장된 후, 제 2 리셋 트랜지스터(207)는 꺼질 수 있다. 유지 커패시터(209)는 노드(208)와  $V_{dd}$  라인 노드(222) 사이에, 또는 대안적으로, 노드(208)와 접지 또는 임의의 다른 적합한 전압 참조 노드 사이에 접속될 수 있다.

[0019] 유지 용량( $C_H$ )이 충분히 크면, 이 동작에 의해 유지 커패시터(209)에 전달되고 유지되는 kTC-리셋 오류 보상 전압은 무시될 수 있다. 이어서 리셋 동작 후의 열 감지 라인(223)에서의 전압은 열 CDS 회로(도시되지 않음)에 의해 감지 및 처리된다. CDS 회로는 픽셀 소스 팔로워 트랜지스터들의 임계 전압의 변화들 및 픽셀(200)의 회로 구성요소 값들의 다른 변화들에 의해 생성된 픽셀 고정 패턴 잡음을 제거할 수 있다. 이어서 증폭기 회로(217)는 커패시터(219)의 대향 측들을 단락시키기 위해 리셋 스위치(220)를 펄싱함으로써 참조 전압( $V_{REF}$ )으로 리셋될 수 있다. 이것은 어레이의 다음 행 내의 픽셀 행 선택 트랜지스터들(204)을 켜므로써 개시될 수 있는, 픽셀 어레이 내의 픽셀들의 다음 행으로부터의 신호를 감지하도록 증폭기 회로(221)를 준비시킨다.

[0020] 도 2의 이 예는 단지 예시적인 것이다. 바람직하다면, 다른 타이밍 변화물들이 이 판독 시퀀스에 적용될 수 있다. 예를 들면, 증폭기(217)는 동작을 단순하게 하기 위해 사용될 수 있는, 다른 시간에 리셋될 수 있다. 바람직하다면, 신호 전하가 플로팅 확산 노드(예로서, 노드(205))에 존재하는 동안, 증폭기(217)는 다른 원하는 이득을 제공하도록 재구성될 수 있다. 이 유형의 구성은 예를 들면, 낮은 광 수준 장면들을 이미징할 때 이로울 수 있다. 증폭기(217) 상에서 증폭기 이득 재구성을 수행하기 위한 회로는 간략함을 위해 도 2에서 생략됐다.

그러나, 이러한 재구성은 증폭기(217)의 입력과 출력 사이의 피드백 루프로의 및 피드백 루프로부터의 피드백 커패시터(219)의 다양한 값들을 스위칭함으로써 수행될 수 있다. 예를 들면, 증폭기(217)는 픽셀 리셋 간격 동안에는(예로서, 픽셀(200)로부터 리셋 전압들이 샘플링되는 동안) (예로서, 라인(223)으로부터 수신된 신호들에 제 1의 원하는 이득을 제공하기 위해) 제 1 이득 수준으로 설정될 수 있고, 이미지 샘플링 간격 동안에는(예로서, 광다이오드(201)에 의해 캡처된 이미지 광에 대응하는 이미지 수준 전압들이 픽셀(200)로부터 샘플링되는 동안) 제 1 이득 수준과 다른 제 2 이득 수준으로 설정될 수 있다. 바람직하다면, 참조 전압( $V_{REF}$ )(218)은 증폭기(217)의 출력에서 보다 넓은 전압 스윙을 얻도록 바뀔 수 있다. 예를 들면,  $V_{REF}$ 의 크기는 리셋 동안에는 비교적 높은 수준으로, 판독 동안에는 비교적 낮은 수준으로 설정될 수 있다. 또 다른 적합한 구성에서, 트랜지스터(207)는 열 피드백 라인(214)에 접속된 채로 남아있는 반면, 리셋 트랜지스터(206)는 전압( $V_{dd}$ )에 접속되거나 개별적인 참조 바이어스 라인에 접속될 수 있다. 픽셀(200)은 이미지 센서 기관의 후면 상의 임의의 광 보호막 없이 형성될 수 있고(예로서, 제 2 피닝된 다이오드가 도 1에서 처럼 전하를 저장하기 위해 사용되지 않으므로), 도 2의 구성은 도 1의 구성에 비해 비교적 낮은 암전류 생성을 보일 수 있다.

[0021] 도 3은 도 2에 나타난 픽셀(200)과 같은 픽셀의 토폴로지(topology)의 예시도이다. 도 3에 나타난 바와 같이, 픽셀(300)(예로서, 도 2와 관련하여 설명된 픽셀(200)과 같은 픽셀)은 픽셀들(200)의 다양한 능동 구성요소들을 다른 것들 및 어레이 내의 이웃 픽셀들(300)로부터 분리하는 얇은 격리 트렌치(shallow isolation trench; STI) 픽셀 격리 영역을 포함할 수 있다. 원한다면, STI 영역(301)은 (예로서, 도 2의 광다이오드(201)에 대응하는) 광다이오드 영역(312)과 같은 픽셀(300) 내의 능동 픽셀 영역들을 둘러쌀 수 있다. 픽셀(300)은 (예로서, 도 2의 플로팅 확산 노드(205)에 대응하는) 플로팅 확산 영역(310)에 대한 격리를 제공하는 p-형 도핑된 영역들(예로서, p+ 형 도핑된 영역들)(302 및 303)을 포함할 수 있다. 영역들(302 및 303)은 플로팅 확산 접합(310)에 충분한 격리를 제공할 수 있는데, 이는, STI 영역(301)의 것과 비교가능하고, 적절하게 부동태화되지 않았으면 높은 암전류 생성의 소스일 수 있다. 이에 따라 플로팅 확산(310)은 반도체 기관의 앞(제 1) 표면에서 단지 전하 전달 트랜지스터 게이트(306)(예로서, 도 2의 대응하는 전달 트랜지스터(202)의 게이트), 제 1 리셋 트랜지스터 게이트(307)(대응하는 리셋 트랜지스터(206)의 게이트), 및 p+ 형 확산 영역들(302 및 303)에 의해 경계가 설정될 수 있다. 즉, p- 형 영역들(302 및 303)은 플로팅 확산 접합 영역(310)의 2개의 대향하는 측들을 정의할 수 있는 반면에, 플로팅 확산 영역(310)이 픽셀 기관의 앞 표면에서 영역들(302 및 303) 및 게이트들(307 및 306)에 의해 둘러싸이도록 게이트(306)는 제 3 측을 정의하고, 게이트(307)는 플로팅 확산 영역(310)의 제 3 측에 대향하는 제 4 측을 정의한다. 실리콘 활성 영역들에 대한 접촉 구멍들(비아)이 도 3에서 검은색 원들(313)로 표시되어 있다. 도 3의 폴리-실리콘 게이트들(poly-silicon gates)에 대한 접촉 구멍들 및 픽셀 표면(300)의 상부에 형성된 금속 상호접속 층들은 간략하게 하기 위해 생략됐다. 플로팅 확산(310)은, 영역(310)이 각각의 접촉부(313)의 영역과 거의 같은 영역을 갖도록 충분히 작을 수 있다. 이 방식으로, 플로팅 확산(310)은 도 1에 나타난 유형의 다이오드들에 비해 및 확산(310)이 격리 영역들(301)에 의해 둘러싸이는 시나리오들에 비해 감소된 영역을 가질 수 있다.

[0022] 플로팅 확산 영역(310) 및 p-형 격리 영역들(302 및 303)은 암전류 생성을 최소화하기 위해 적합하게 도핑될 수 있다. 도 3에 나타난 바와 같이, 플로팅 확산 영역(310)은 픽셀(300)의 전체 영역에 비해 비교적 작을 수 있다. 픽셀 기관의 후면으로부터 픽셀(300) 상에 충격을 주는 비교적 적은 수의 광자들을 캡처하기 위해, 영역(310)에는 매우 얇은 n+ 형 도핑된 주입물이 (예로서, 픽셀 기관의 전면)에 주입될 수 있다. 이것은 (예로서, 광 보호막들을 필요로 하지 않고) 바람직하게 높은 셔터 효율을 야기할 수 있다. 이 방식으로, 플로팅 확산 영역(310)은 도 1에 나타난 유형의 다이오드들에 비해 감소된 영역을 가질 수 있고, 또한 암 전류의 생성을 줄이고 셔터 효율을 최적화할 수 있다. 바람직하다면, 픽셀(300)은 안티-블루밍(anti-blooming)/리셋 트랜지스터 게이트(308) 및 잠재적인 프로파일 조정 안티 돔(Anti Dome; AD) 주입물 영역(311)(간략하게 하기 위해 도 2의 개략도에서 생략됨)을 포함할 수 있다. 남아있는 폴리-실리콘 게이트들은 소스 팔로어 트랜지스터(304)의 게이트, 행 선택 트랜지스터(305)의 게이트, 및 제 2 리셋 트랜지스터 게이트(309)(예로서, 도 2의 대응하는 리셋 트랜지스터(207)의 게이트 부분)를 포함한다. 바람직하다면, 픽셀들(300)의 어레이는 어레이 주변에 위치한 암전류 참조 픽셀들(예로서, 어레이 내의 암전류를 보상하기 위해 사용되는 픽셀들)을 포함할 수 있다. 암전류 참조 픽셀들은 어레이의 주요 감지체 내의 픽셀들(300)과 같은 플로팅 확산 영역들을 포함할 수 있지만, 광다이오드 영역들(312) 없이 형성될 수 있다. 암전류 참조 픽셀들이 어레이로부터 충분히 제거되면, 주입되는 광을 막기 위해 광 보호막이 암전류 참조 픽셀들 위에 형성될 수 있다.

[0023] 도 2에 나타난 것과 같은 회로를 갖고 도 3에 나타난 픽셀 토폴로지(300)를 가지는 픽셀들이 글로벌 셔터 이미징 방식에 사용될 수 있고, 종래의 글로벌 셔터 이미지 픽셀들에 비해 비교적 높은 글로벌 셔터 효율, 비교적

낮은 암전류 생성, 및 비교적 작은 크기를 보일 수 있다. 도면 참조 부호(200 및 300)로 나타난 픽셀들은 광 보호막을 사용하지 않고 이미지 픽셀 기관의 후면으로부터 조사될 수 있고(이에 따라 셔터 효율이 최적화됨), 바람직하다면, 다른 집적 회로 칩들에 대하여 적층될 수 있고, 어레이 주변에 위치한 칩-대-칩 상호접속들에 의해 그러한 집적 회로 칩들에 접속될 수 있다.

[0024] 도 4는 이미징 디바이스(801)(예로서, 도 2 및 도 3과 관련하여 기술된 영역 및 암전류 생성이 줄어든 후면 조사 글로벌 셔터 픽셀들을 포함하는 이미지 센서와 같은 이미징 디바이스(801))와 같은 이미징 디바이스를 포함하는, 디지털 카메라와 같은, 전형적인 프로세서 시스템(500)을 단순화된 형태로 나타낸다. 프로세서 시스템(500)은 이미징 디바이스(801)를 포함할 수 있는 디지털 회로들을 가지는 시스템의 예이다. 제한 없이, 이러한 시스템은 컴퓨터 시스템, 정지 또는 비디오 카메라 시스템, 스캐너, 기계 시각(machine vision), 차량 내비게이션, 비디오 폰, 감시 시스템, 자동 초점 시스템, 별 추적기 시스템, 움직임 검출 시스템, 이미지 안정화 시스템, 및 이미징 디바이스를 이용하는 다른 시스템들을 포함할 수 있다.

[0025] 디지털 정지 또는 비디오 카메라 시스템일 수 있는 프로세서 시스템(500)은 셔터 해제 버튼(597)이 눌릴 때 픽셀 어레이 상에 이미지 초점을 맞추기 위한 렌즈들(596)과 같은 렌즈들을 포함할 수 있다. 프로세서 시스템(500)은 중앙 처리 장치(CPU)(595)와 같은 중앙 처리 장치를 포함할 수 있다. CPU(595)는 카메라 기능들 및 하나 이상의 이미지 흐름 기능들을 제어하고 버스(593)와 같은 버스를 통해 하나 이상의 입력/출력(I/O) 디바이스들(591)과 통신하는 마이크로프로세서일 수 있다. 이미징 디바이스(801)는 또한 버스(593)를 통해 CPU(595)와 통신할 수 있다. 시스템(500)은 랜덤 액세스 메모리(RAM)(592) 및 삭제가능한 메모리(594)를 포함할 수 있다. 삭제가능한 메모리(594)는 버스(593)를 통해 CPU(595)와 통신하는 플래시 메모리를 포함할 수 있다. 이미징 디바이스(801)는 단일 집적 회로 상에서 또는 다른 칩 상에서, 메모리 저장소와 함께 또는 메모리 저장소 없이, CPU(595)와 조합될 수 있다. 버스(593)가 단일 버스로 나타나있지만, 그것은 시스템 구성요소들을 상호접속시키기 위해 사용되는 하나 이상의 버스들 또는 브릿지들(bridges) 또는 다른 통신 경로들일 수 있다.

[0026] 종래의 글로벌 셔터 이미지 센서 픽셀 어레이들에 비해 셔터 효율이 향상되고, 암전류 생성이 감소되고, 반도체 기관 영역 소비가 최적화된, 글로벌 셔터 모드로 동작할 수 있는 후면조사 이미징 시스템(예로서, 이미지 센서 픽셀 어레이)을 나타내는 다양한 실시예들이 설명됐다. 이미지 센서 픽셀 어레이는 대향하는 앞 및 뒤 표면들을 가지는 기관을 포함하는 이미지 센서 픽셀 회로를 포함할 수 있다. 이미지 센서 픽셀 어레이는 뒤 표면을 통해 이미지 광으로 조사될 수 있다.

[0027] 이미지 센서 픽셀 어레이는 이미지 광(뒤 표면을 통해 수신됨)에 응답하여 전하를 생성하는 광다이오드를 각각 가지는 다수의 이미지 센서 픽셀들을 포함할 수 있다. 플로팅 확산 노드(영역)는, 어레이에 연결된 행 제어 회로에 의해 필싱될 때, 생성된 전하를 광다이오드에서 플로팅 확산 노드로 전달하도록 구성된 전하 전달 트랜지스터를 통해 광다이오드에 연결될 수 있다. 제 1 및 제 2 리셋 트랜지스터들은 플로팅 확산 노드 및 오류 전압 유지 커패시터 노드에 연결될 수 있고, 행 제어 회로에 의해 필싱되면, 플로팅 확산 노드를 리셋할 수 있다. 소스 팔로어 트랜지스터는 플로팅 확산 노드에 연결된 게이트 단자, 픽셀 어드레싱 (행 선택) 트랜지스터에 연결된 소스 단자, 및 바이어스 라인에 연결된 드레인 단자를 가질 수 있다. 각각의 픽셀은 열 판독 라인 및 열 피드백 라인을 통해 대응하는 피드백 증폭기 회로에 연결될 수 있다. 열 판독 라인은 픽셀 어드레싱 트랜지스터와 피드백 증폭기 회로의 입력 사이에 연결될 수 있다.

[0028] 피드백 증폭기 회로는 열 피드백 라인을 통해 리셋 전압(예로서, kTC-리셋 잡음 보상 전압)을 제 1 및 제 2 리셋 트랜지스터들에 제공할 수 있다. 제 1 리셋 트랜지스터는 플로팅 확산 노드에 직접적으로 연결될 수 있는 반면, 제 2 리셋 트랜지스터는 연결 커패시터를 통해 플로팅 확산 노드에 연결될 수 있다. 유지 커패시터는 소스 팔로어 트랜지스터의 드레인 단자와 연결 커패시터 사이에 연결될 수 있다. 제 2 리셋 트랜지스터가 꺼지면, 유지 트랜지스터는 피드백 증폭기의 출력으로부터의 kTC-리셋 잡음 보상 전압을 저장할 수 있다.

[0029] 어레이 내의 이미지 센서 픽셀들은 전면 및 후면을 가지는 공동 반도체 기관 상에 형성될 수 있다. 트랜지스터들은 전면에 형성될 수 있고, 상호접속 층들이 전면 위에 형성될 수 있다. 피드백 증폭기 회로는 픽셀 어레이와 같은 기관에 또는 상호접속 층들 및 비아에 의해 픽셀 기관의 전면에 연결된 개별적인 반도체 기관에 형성될 수 있다. p-형 도핑된 반도체 영역들은, p-형 도핑된 영역들, 제 1 리셋 트랜지스터 게이트, 및 전하 전달 트랜지스터 게이트가 전면의 플로팅 확산 노드를 둘러싸고 경계를 설정하도록(예로서, 플로팅 확산 노드의 각각의 가장자리들을 정의하도록), 픽셀 어레이 기관의 전면에 형성될 수 있다. 이 방식으로, STI 영역들은 플로팅 확산 노드를 격리하기 위해 생략될 수 있고, 이에 따라 이미징 시스템에서 플로팅 확산 노드에 대해 요구되는 영역이 줄어들고, 또한 암전류 생성이 줄어들고, 셔터 효율이 최적화된다.

[0030] 픽셀 어레이는, 전하가 어레이 내의 모든 픽셀에 의해 대응하는 광다이오드에서 대응하는 플로팅 확산 영역으로 한번에 전달되는 글로벌 셔터 모드로 동작가능하다(이에 따라, 캡처된 이미지에서 롤링 셔터 아티팩트들이 방지됨). 영역, 셔터 효율, 및 안전류 생성이 향상된 글로벌 셔터 이미지 픽셀들은 중앙 처리 장치, 메모리, 입력-출력 회로, 및 어레이 상에 광의 초점을 맞추기 위한 렌즈를 가지는 시스템에 형성될 수 있다.

[0031] 전술된 내용은 단지 본 고안의 원리들을 예시한 것일 뿐이고, 다양한 수정예들이 본 고안의 취지 및 영역으로부터 벗어나지 않으면서 당업자들에 의해 만들어질 수 있다. 상기의 실시예들은 개별적으로 또는 임의로 조합하여 구현될 수 있다.

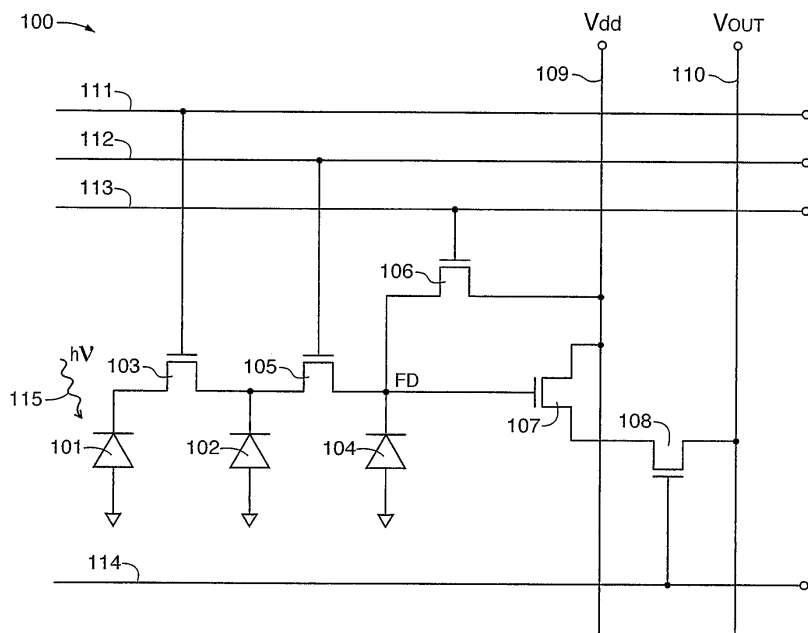
**부호의 설명**

- [0032] 200: 픽셀
- 201: 광다이오드
- 202: 전하 전달 트랜지스터
- 203: 소스 팔로어
- 205: 전하 검출 노드 커패시터

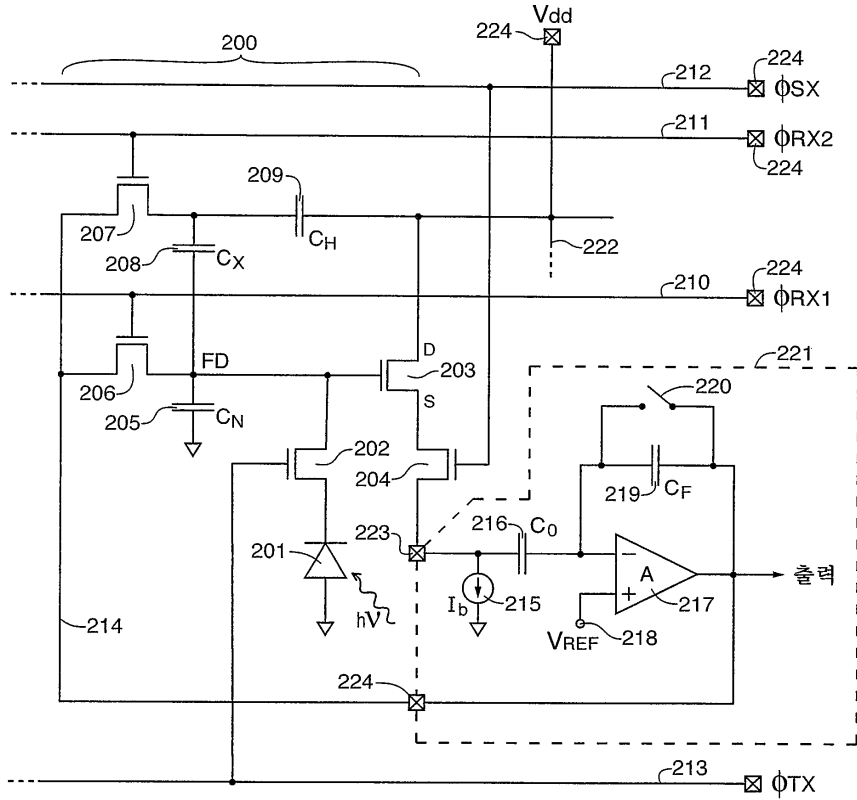
**도면**

**도면1**

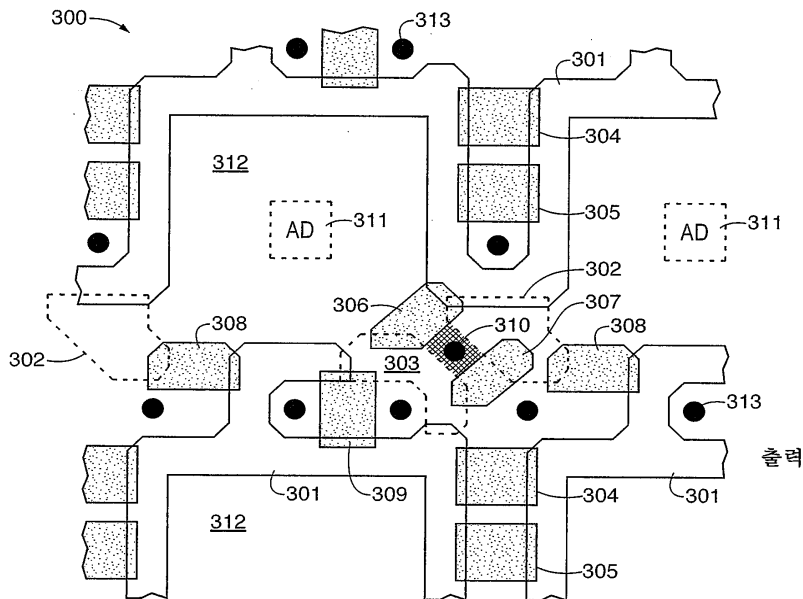
**종래 기술**



도면2



도면3



도면4

