



(12) 发明专利

(10) 授权公告号 CN 101064269 B

(45) 授权公告日 2012.03.21

(21) 申请号 200710086977.X

(22) 申请日 2007.03.27

(30) 优先权数据

10-2006-0038701 2006.04.28 KR

(73) 专利权人 海力士半导体有限公司

地址 韩国京畿道利川市

(72) 发明人 金钟万 金铉修

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 杨生平 杨红梅

(51) Int. Cl.

H01L 21/762 (2006.01)

(56) 对比文件

US 6236079 B1, 2001.05.22, 全文.

US 5900659 A, 1999.05.04, 全文.

审查员 张爽

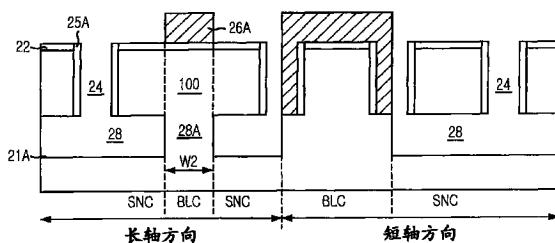
权利要求书 1 页 说明书 3 页 附图 5 页

(54) 发明名称

制造半导体器件的方法

(57) 摘要

一种制造半导体器件的方法，包括通过蚀刻已经提供有存储节点接触 (SNC) 区域和位线接触 (BLC) 区域的衬底来形成第一沟槽；在第一沟槽的侧壁上形成保护层；在衬底上形成牺牲层并填充第一沟槽；蚀刻牺牲层使部分牺牲层保留在衬底的 BLC 区域中的第一沟槽中；通过蚀刻第一沟槽下方的衬底形成水平延伸的第二沟槽；和填充第一和第二沟槽以形成隔离结构。



1. 一种制造半导体器件的方法,所述方法包括:

通过蚀刻已经提供有存储节点接触区域和位线接触区域的衬底来形成第一沟槽;

在第一沟槽的侧壁上形成保护层;

在衬底上方形成牺牲层并填充第一沟槽;

蚀刻牺牲层以使部分牺牲层保留在衬底的位线接触区域中的第一沟槽中;

通过蚀刻第一沟槽下方的衬底形成水平延伸的第二沟槽;和

填充第一和第二沟槽以形成隔离结构。

2. 权利要求1的方法,其中蚀刻牺牲层包括:

形成覆盖位线接触区域并打开牺牲层上方的存储节点接触区域的光刻胶图案;和

利用光刻胶图案来蚀刻牺牲层。

3. 权利要求2的方法,其中形成光刻胶图案包括形成线型光刻胶图案,以覆盖位线接触区域中衬底的上部和位线接触区域中第一沟槽的上部。

4. 权利要求1的方法,其中形成第二沟槽包括使用与在蚀刻牺牲层中使用的相同装置,而不施加偏压功率。

5. 权利要求1的方法,其中牺牲层包括基于氧化物的层。

6. 权利要求1的方法,还包括在形成第一沟槽之前,在衬底上方形成第一氮化物层。

7. 权利要求6的方法,其中形成保护层包括:

在第一沟槽和第一氮化物层上方形成第二氮化物层;和

在第二氮化物层上实施回蚀刻过程。

8. 权利要求1的方法,其中蚀刻第一沟槽下方的衬底包括实施各向同性蚀刻过程,所述各向同性蚀刻过程包括毯覆式回蚀刻过程。

9. 一种制造半导体器件的方法,所述方法包括:

蚀刻衬底以形成第一沟槽,所述第一沟槽在第一方向上延伸;

在第一沟槽的第一和第二侧壁上形成第一和第二保护层;

在衬底上方形成介电层以填充第一沟槽,所述介电层包括提供在第一保护层上的第一部分和提供在第二保护层上的第二部分;

蚀刻介电层以暴露出提供在第一沟槽下侧上的部分衬底,介电层的第一部分保留在第一保护层上;

蚀刻衬底以在第一沟槽下方形成在第二方向上延伸的第二沟槽;和

填充第一和第二沟槽以形成隔离结构。

10. 权利要求9的方法,其中移除介电层的第二部分,以暴露第二保护层。

11. 权利要求9的方法,其中蚀刻衬底以形成第二沟槽是通过衬底的暴露部分来实施的。

12. 权利要求9的方法,其中介电层包括基于氧化物的材料。

13. 权利要求9的方法,还包括在形成第一沟槽之前,在衬底上方形成基于氮化物的层。

14. 权利要求9的方法,其中第一和第二保护层包括基于氮化物的材料。

15. 权利要求11的方法,其中蚀刻衬底包括实施各向同性蚀刻过程,所述各向同性蚀刻过程包括毯覆式回蚀刻过程。

制造半导体器件的方法

技术领域

[0001] 本发明涉及一种制造半导体器件的方法,更具体涉及利用局部绝缘体上硅 (LSOI) 工艺而不过度蚀刻下方有源区的制造半导体器件方法。

背景技术

[0002] 由于动态随机存取存储器 (DRAM) 器件已经变得高度集成,因此有源区相应缩小。因此,难以在 80nm 下使有源区图案化,同时有源区之间的间隔距离减小,这增加了单元之间的漏电流。已经进行了通过形成深沟槽以限定隔离结构来减少单元之间漏电流的尝试。由于隔离结构限定有源区,因此可以通过增加隔离结构的深度来增加电流通道的长度。

[0003] 然而,当使用后续基于氧化物的层来填充深沟槽时可产生空洞。深深度的沟槽使得难于完全填充该沟槽而不留任何空洞。此外,需要进行更长时间蚀刻来形成深沟槽,因此需要增加的掩模厚度。深沟槽和厚掩模更易于坍塌,着导致生产率下降。因此,已经引入局部绝缘体上硅 (LSOI) 工艺来克服上述缺陷。

[0004] 图 1A 所示的横截面图说明了利用 LSOI 工艺的半导体器件的典型隔离方法。蚀刻形成在衬底 11 中的隔离区域,以形成具有垂直轮廓的第一沟槽 12。在第一沟槽 12 的侧壁上形成侧壁绝缘层 13。第一沟槽 12 限定有源区 11A。

[0005] 利用侧壁绝缘层 13 作为保护层在低于第一沟槽 12 的部分衬底 11 上实施各向同性蚀刻过程,以形成第二沟槽 14。第二沟槽 14 在有源区 11A 的下方水平延伸。各向同性蚀刻过程包括不使用掩模来实施毯覆式回蚀刻过程。有源区 11A 变成由具有“WL”宽度的柱 11B 支撑。尽管没有图示说明,但隔离结构填充由第一沟槽 12 和第二沟槽 14 构成的隔离区域,从而完成 LSOI 工艺。

[0006] 图 1B 示出在形成典型第二沟槽之后的半导体器件的顶视图。第二沟槽形成在有源区 21A 的下方并水平延伸。形成水平延伸的第二沟槽也许减少漏电流,同时不增加隔离区域的深度。

[0007] 但是,使用各向同性蚀刻过程例如毯覆式回蚀刻过程来形成水平延伸的第二沟槽,引起在两个方向①和②上的延伸。方向①代表朝向位线接触区域的方向,方向②代表朝向存储节点接触区域的方向。因此,柱 21B 的宽度减少。也就是说,不能得到有源区 21A 的足够柱长“L”,从而引起有源区 21A 塌陷。

[0008] 图 2 是说明由于如环形区所示的有源区柱长不足而导致的塌陷有源区的显微图。塌陷的有源区可引起生产率的下降以及在其它工艺过程中器件的污染。

发明内容

[0009] 本发明的实施方案涉及一种制造半导体器件的方法,该方法可通过延长单元之间的电流通道来减少漏电流和有源区的塌陷,而不需要深度蚀刻隔离区域,即不形成深沟槽。

[0010] 根据本发明的一方面,制造半导体器件的方法包括:通过蚀刻已经提供有存储节点接触 (SNC) 区域和位线接触 (BLC) 区域的衬底来形成第一沟槽;在第一沟槽的侧壁上形

成保护层；在衬底上方形成牺牲层并填充第一沟槽；蚀刻牺牲层使部分牺牲层保留在衬底的BLC区域中的第一沟槽中；通过蚀刻第一沟槽下方的衬底来形成水平延伸的第二沟槽；以及填充第一和第二沟槽以形成隔离结构。

[0011] 根据本发明的另一个方面，一种制造半导体器件的方法包括：蚀刻衬底以形成第一沟槽，第一沟槽在第一方向上延伸；在第一沟槽的第一和第二侧壁上形成第一和第二保护层；在衬底上方形成介电层以填充第一沟槽，介电层包括提供在第一保护层上的第一部分和提供在第二保护层上的第二部分；蚀刻介电层以暴露出提供在第一沟槽下侧上的部分衬底，介电层的第一部分保留在第一保护层上；蚀刻衬底以在第一沟槽下方形成在第二方向上延伸的第二沟槽；和填充第一和第二沟槽以形成隔离结构。

附图说明

[0012] 图1A示出描述利用LSOI工艺的半导体器件的典型隔离方法的截面图。

[0013] 图1B示出在形成第二沟槽之后的半导体器件的顶视图。

[0014] 图2示出典型塌陷的有源区的显微图。

[0015] 图3A～3F示出描述根据本发明实施方案的使用LSOI工艺制造半导体器件的方法的截面图。

[0016] 图4示出根据本发明实施方案的形成第二沟槽之后半导体器件的顶视图。

具体实施方式

[0017] 下面将详细描述根据本发明的用于制造半导体器件的方法。而且，同样的或相似的附图标记在不同的附图中一般表示同样的或相似的元件。

[0018] 参考图3A，在图案化的衬底21上方形成图案化的第一氮化物层22，并在图案化的第一氮化物层22上方形成第一掩模图案23。第一掩模图案23包括光刻胶。更详细地，在衬底上方形成第一氮化物层，并且在第一氮化物层上方形成第一掩模图案23。使用第一掩模图案23作为蚀刻掩模蚀刻第一氮化物层。蚀刻衬底的暴露部分至预定深度以形成第一沟槽24。在本实施过程中采用连续或单一的蚀刻步骤来蚀刻衬底和第一氮化物层。第一沟槽24限定衬底结构的有源区100。有源区100包括位线接触(BLC)区域和存储节点接触(SNC)区域。在附图中，长轴方向的截面图一起表示SNC区域和BLC区域，短轴方向的截面图分别表示每一个SNC区域和BLC区域。

[0019] 参考图3B，移除第一掩模图案23，并在所产生的衬底结构上方形成第二氮化物层25。参考图3C，在第二氮化物层25之上实施回蚀刻过程，以形成用作保护层的基于氮化物的侧壁25A。实施回蚀刻工艺，直至暴露出图案化的第一氮化物层22的顶表面。因而，选择性地移除在图案化的第一氮化物层22的顶表面上和第一沟槽24的底面上方形成的部分第二氮化物层25。图案化的第一氮化物层22保护图案化衬底21的表面，以避免在第二氮化物层25的回蚀刻过程中受损。

[0020] 参考图3D，在所产生的衬底结构上方形成牺牲层26直到第一沟槽24被填充。在用于形成第二沟槽的后续各向同性蚀刻过程中，形成牺牲层26以减小有源区100的坍塌。牺牲层26包括基于氧化物的层。在牺牲层26上方形成光刻胶层，并且实施曝光和显影过程以使光刻胶层图案化，从而形成第二掩模27。形成线型的第二掩模27，以覆盖BLC区域

和暴露 SNC 区域。参考图 3E, 利用第二掩模 27 作为蚀刻掩模来蚀刻牺牲层 26 以形成图案化的牺牲层 26A。

[0021] 参考图 3F, 在图案化衬底 21 的暴露部分上实施上述各向同性蚀刻过程, 以形成第二沟槽 28 和衬底图案 21A。在剥离第二掩模 27 后实施各向同性蚀刻过程。各向同性蚀刻过程包括实施毯覆式回蚀刻过程。各向同性蚀刻过程使用的设备与用于蚀刻图案化衬底的设备相同。在各向同性蚀刻步骤中, 关闭设备的偏压功率。

[0022] 形成第二沟槽 28 以在有源区 100 下方水平延伸。由于实施各向同性蚀刻过程的同时, 图案化牺牲层 26A 保留在 BLC 区域, 因此防止水平延伸的第二沟槽 28 进入 BLC 区域。也就是说, 在 SNC 区域中水平延伸在所有方向上进行, 但是由于图案化牺牲层 26A, 导致没有在 BLC 区域发生。因此, 形成了具有“W2”宽度的柱 28A。当各向同性蚀刻图案化衬底 21 时, 图案化牺牲层 26A 用作蚀刻阻挡层和保护层。

[0023] 在典型方法中, 在 BLC 和 SNC 区域都实施各向同性蚀刻过程, 结果产生较小的柱 (如图 1A 中所示“W1”)。防止水平延伸进入 BLC 区域, 以获得较大面积 (如图 3F 中所示“W2”)。因此, 有源区 100 塌陷的可能性较小。

[0024] 图 4 示出根据本发明实施方案形成第二沟槽后的半导体器件的顶视图。由于在有源区 100 下方形成的柱 28A 具有与图案化牺牲层 26A 的宽度“W2”一样大的区域, 因此有源区 100 塌陷的可能性较小。即使蚀刻掉 SNC 区域中的所有有源区 (参考附图标记③、④和⑤), 但由于防止水平延伸进入 BLC 区域 (参考附图标记⑥), 因而有源区 100 仍保留足够大的面积。尽管没有图示说明, 通过形成填充在第一和第二沟槽中的隔离结构来完成 LSOI 工艺。

[0025] 根据一个实施方案, 使用 LSOI 工艺允许通过延长单元间的电流通道而不深度蚀刻隔离区域来降低漏电流。此外, 对于 LSOI 工艺, 可以通过确保 BLC 区中足够大的面积的同时蚀刻第二沟槽来减少有源区的塌陷。本申请包含涉及在 2006 年 4 月 28 日提交韩国专利局的韩国专利申请 No. KR2006-0038701 的主题, 通过引用将其全部内容并入本文。

[0026] 虽然已经根据具体实施方案对本发明进行了描述, 但很显然, 对于本领域的技术人员而言, 可进行各种变化和修改而不背离如所附权利要求所限定的本发明的精神和范围。

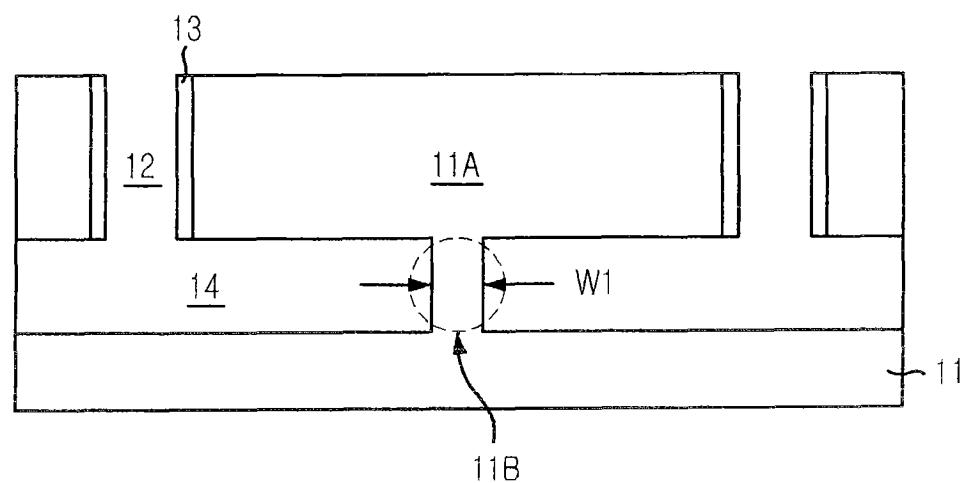


图 1A
(现有技术)

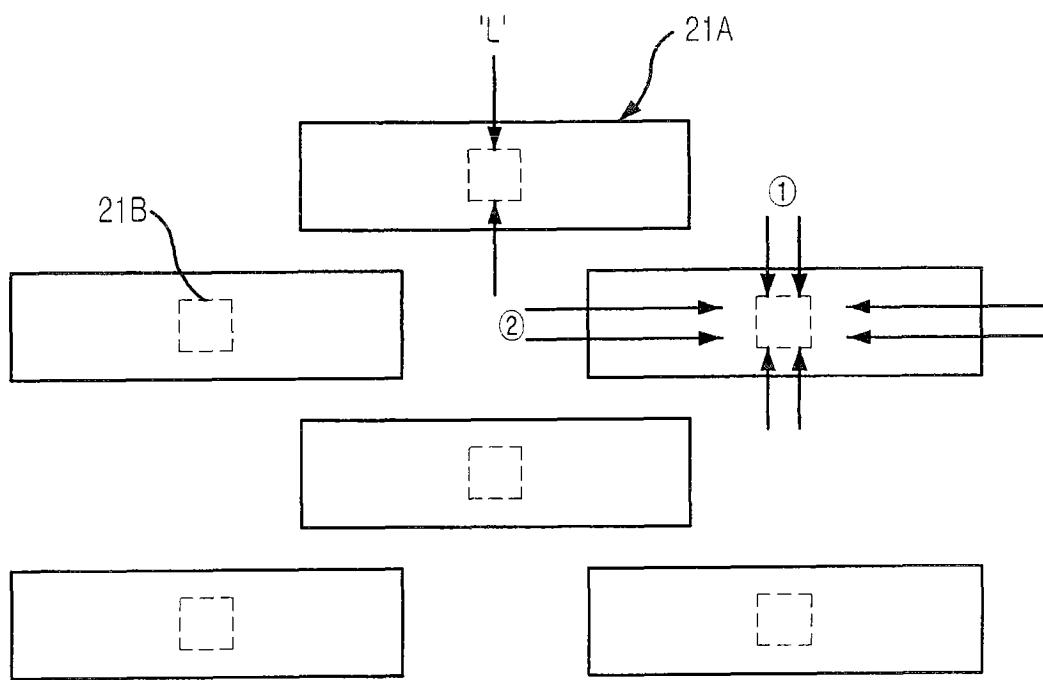


图 1B
(现有技术)

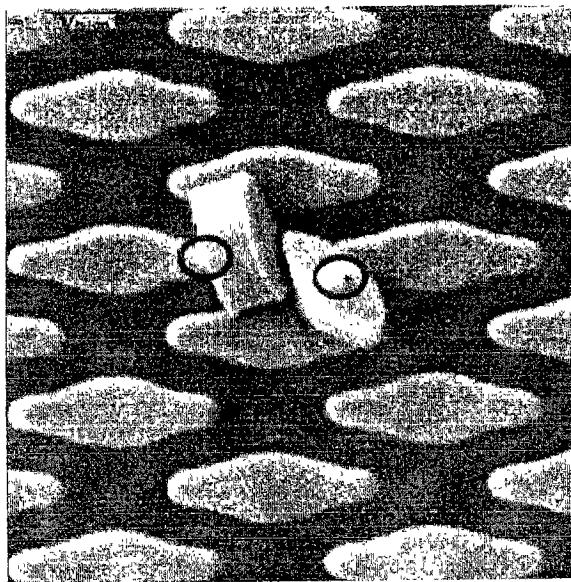


图 2
(现有技术)

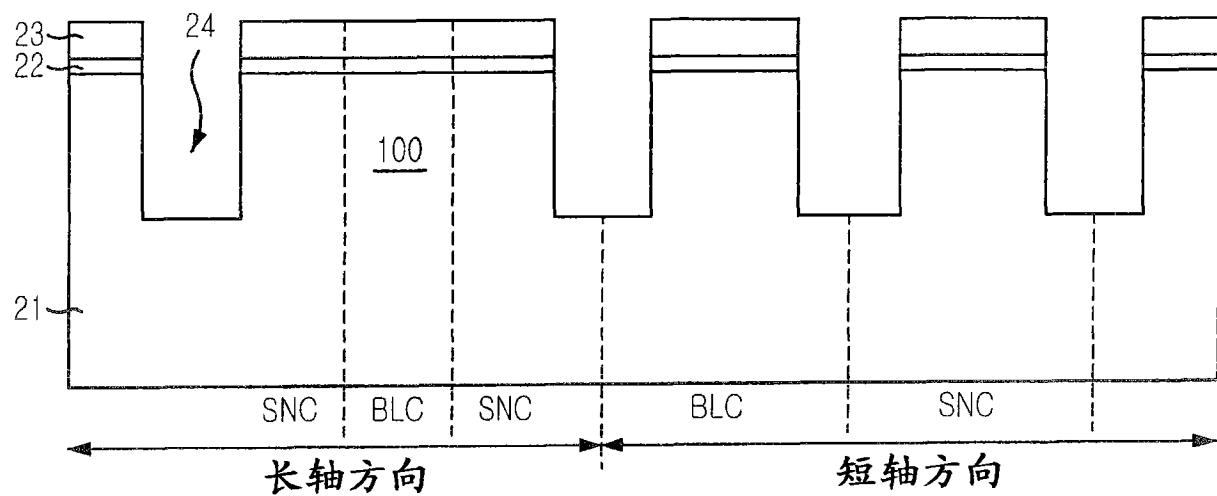


图 3A

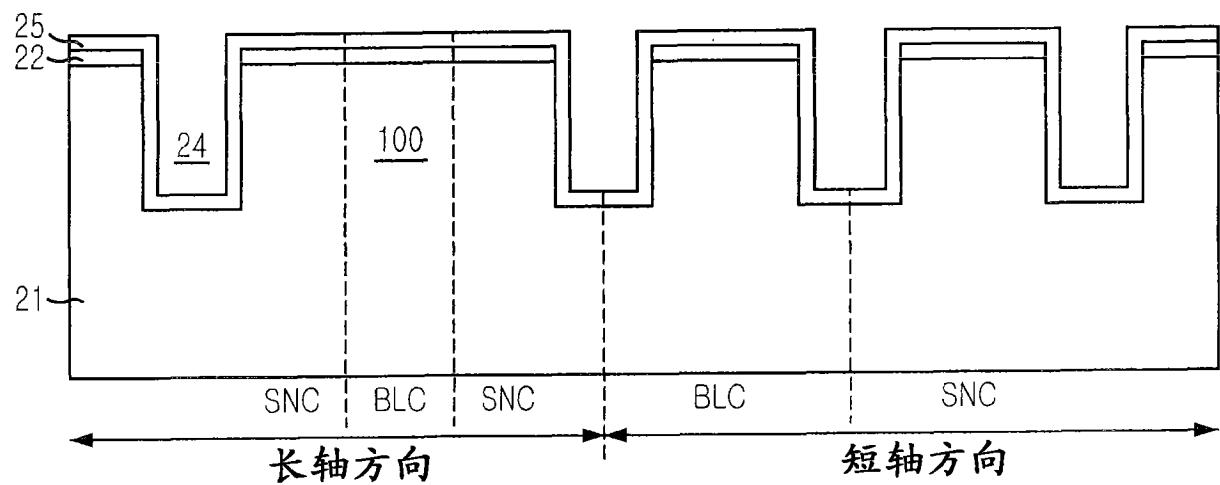


图 3B

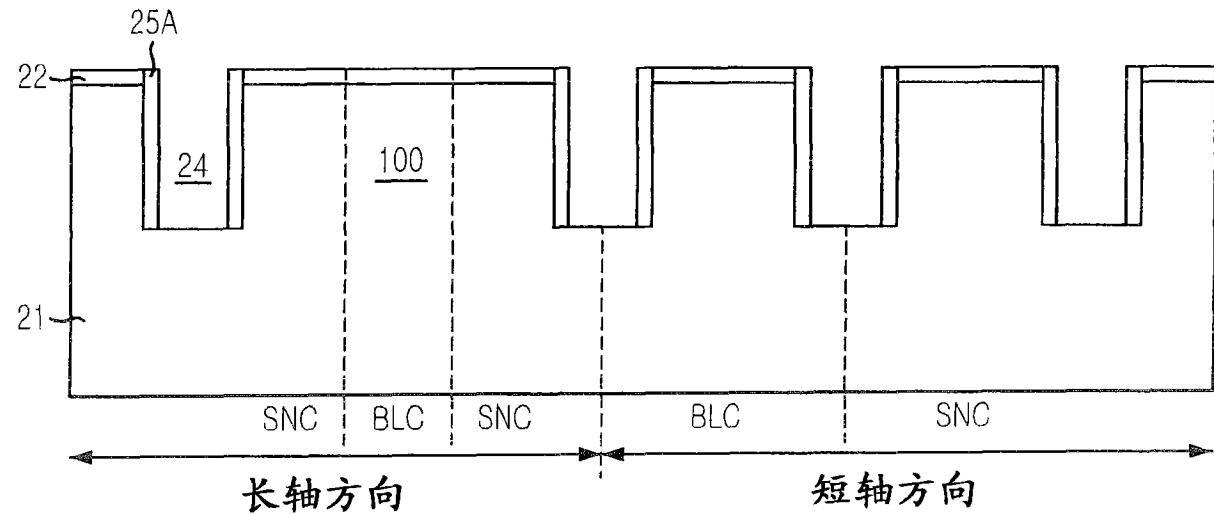


图 3C

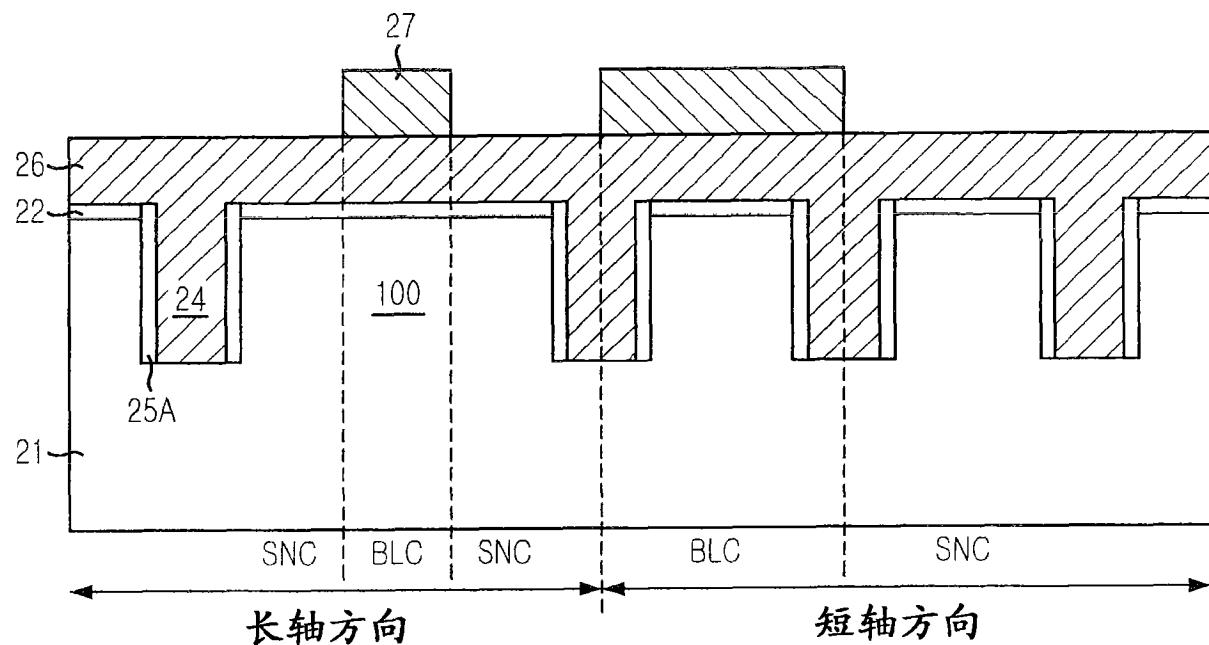


图 3D

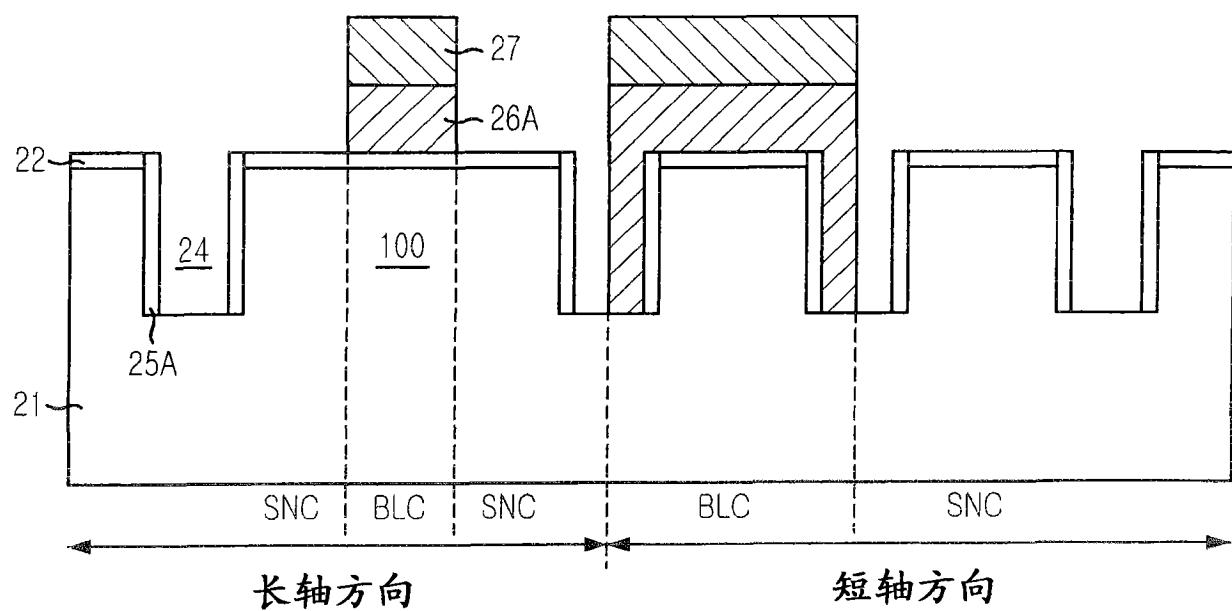


图 3E

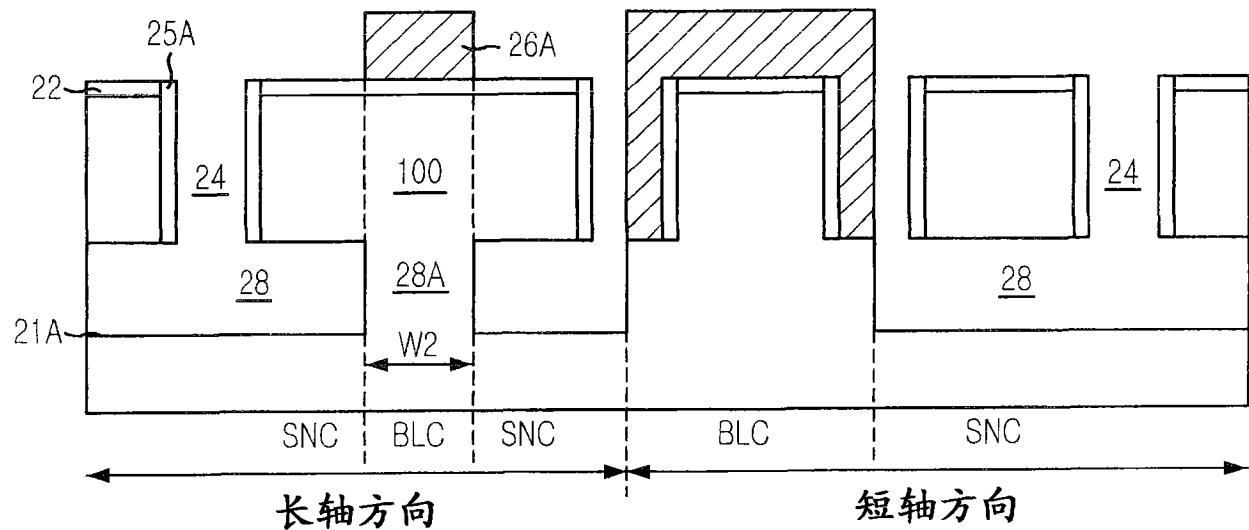


图 3F

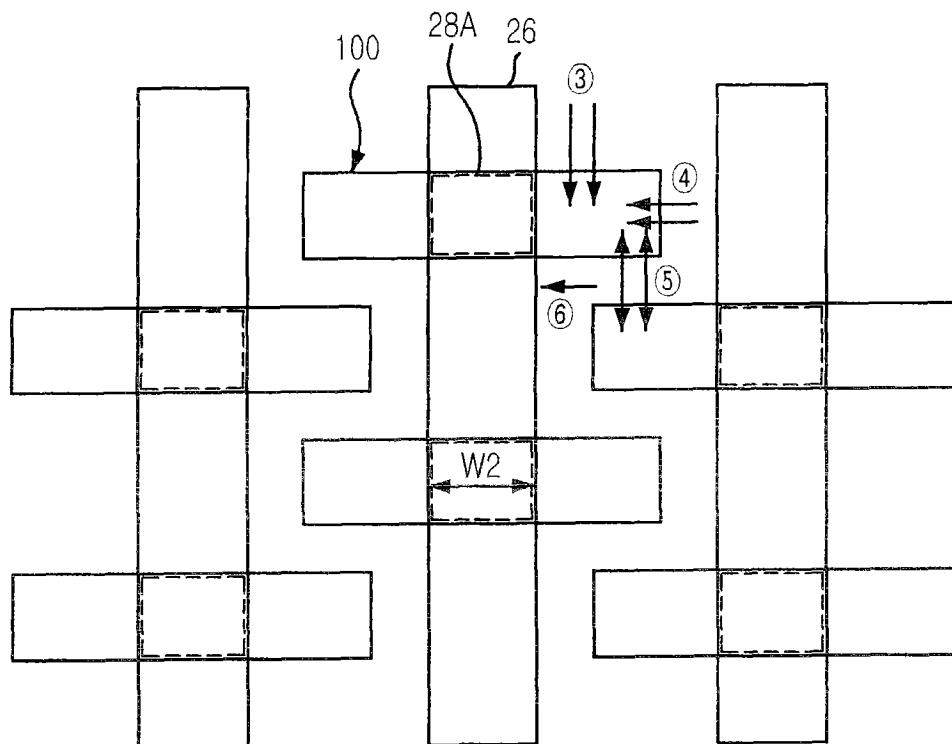


图 4