

公告本

申請日期	89 年 4 月 21 日
案 號	89107779
類 別	H01J 1/30, 2/4, 3/12

A4
C4

H01L 33/00

472273

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	電場放射型電子源及其製造方法
	英 文	
二、發明 創作人	姓 名	(1) 孤田卓哉 (2) 越田信義 (3) 幡井崇
	國 籍	(1) 日本 (2) 日本 (3) 日本 (1) 日本國兵庫縣三田市百合簾台二-三九-三
	住、居所	(2) 日本國東京都小平市上水本町六-五-一〇-二〇三 (3) 日本國大阪府寢屋川市太秦綠が丘七-二-一
三、申請人	姓 名 (名稱)	(1) 松下電工股份有限公司 松下電工株式会社
	國 籍	(1) 日本 (1) 日本國大阪府門真市大字門真一〇四八番地
	住、居所 (事務所)	
	代 表 人 姓 名	(1) 西田一成

申請日期	89 年 4 月 21 日
案 號	89107779
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	
	英 文	
二、發明 創作人	姓 名	(4) 本多由明 (5) 相澤浩一 (6) 渡部祥文
	國 籍	(4) 日本 (5) 日本 (6) 日本 (4) 日本國京都府相樂郡精華町大字柘榴小字砂野 四二番地の六
	住、居所	(5) 日本國大阪府寢屋川市打上九一九一一一 B 四 二六 (6) 日本國大阪府富田林市大字加太八〇七一一三 四〇三
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝

訂

線

申請日期	89 年 4 月 21 日
案 號	89107779
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	
	英 文	
二、發明 創作人	姓 名	(7) 櫛原勉 (8) 近藤行廣
	國 籍	(7) 日本 (8) 日本 (7) 日本國大阪府枚方市南楠葉一丁目三四一一〇 五〇三
	住、居所	(8) 日本國大阪府枚方市出屋敷元町二一二一一四
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

經濟部智慧財產局員工消費合作社印製

裝 訂 線

(由本局填寫)

承辦人代碼：
大 類：
I P C分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期：

案號：

，☐有 ☐無主張優先權

日本	1999 年 4 月 23 日	11-115717
日本	1999 年 10 月 18 日	11-295953
日本	1999 年 10 月 18 日	11-295954

☒有主張優先權
☒有主張優先權
☒有主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(1)

[發明之背景]

1. 發明之技術領域

本發明是有關應用於平面發光裝置 (plane light-emitting apparatus) , 顯示器 (display) 及固體真空裝置 (solid vacuum device) 等之利用半導體材料且藉由電場放射來放射電子線之電場放射型電子源及其製造方法。

2. 習知技術之說明

習知電場放射型電子源, 例如有揭示於美國專利第 3 6 6 5 2 4 1 號等之 “ Spindt-type electrode ” 者。該形態電極具備: 配列有複數個三角錐狀的射極片之基板, 及具有使射極片的前端部露出的放射孔且與射極片絕緣而配置之閘極層。並且, 在真空中該形態電極會在射極片與閘極層之間, 以射極片對閘極層而言能夠形成負極之方式來施加高電壓, 而使能夠從射極片的前端通過放射孔來放射電子線。

但, 該形態電極會有下述問題產生。亦即, 其製造過程複雜, 且不易以高精度來構成多數個三角錐狀的射極片。因此, 例如予以應用於平面發光裝置或顯示器等時, 難以擴大該電子放出面的面積。

又, 該形態電極還會有下述問題產生。亦即, 電場會集中於射極片的前端。因此, 射極片的前端周圍的真空度會降低, 而使得殘留氣體存在時, 殘留氣體的一部份會根據被放射的電子線而離子化, 形成正離子。由於該正離子

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

會衝突於射極片的前端，因此射極片的前端會受損（例如，因離子的衝擊所造成的損傷）。如此一來，被放射之電子的電流密度及效率會形成不安定，或射極片的壽命會變短。

爲了杜絕上述問題，該形態電極會被要求使用於高真空（約 10^{-5} Pa $\sim 10^{-6}$ Pa）。因此，爲了能夠予以密封於高真空或維持於高真空中，而導致這方面的成本會大爲提高。

爲了改善上述問題，例如有 M I M（Metal Insulator Metal）型或 M O S（Metal Oxide Semiconductor）型的電場放射型電子源被提案。前者是屬於具有金屬－絕緣膜－金屬的層疊構造之平面型的電場放射型電子源。後者是屬於具有金屬－絕緣膜－半導體的層疊構造之平面型的電場放射型電子源。在此形態的電場放射型電子源中，爲了提高電子的放出效率（亦即使更多的電子放出），而必須弄薄絕緣膜及氧化膜。但，若過度弄薄絕緣膜或氧化膜，則於層疊構造的上下電極間被施加電壓時會有引起絕緣破壞之虞。由於絕緣膜或氧化膜的薄膜化如此受到限制，因此電子的放出效率（引出效率）提高有限。

又，近年來，例如還有揭示於日本特開平 8 - 2 5 0 7 6 6 號公報者，該提案是藉由矽基板等之單結晶半導體基板表面的陽極氧化來形成多孔質半導體層（多孔矽層），且於該多孔質半導體層上形成有金屬薄膜之電場放射型電子源（半導體冷電子放出元件）。該電場放

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(3)

射型電子源是藉由半導體基板與金屬薄膜間的電壓施加來放出電子。

但，就記載於日本特開平8-250766號公報中的電場放射型電子源而言，由於單結晶半導體基板為必須構成，因此難以擴大該電子放出面的面積。因此，不適宜使用於平面顯示裝置等之類需要較大電子放出面的面積之電子源的裝置。另外，如日本特開平9-259795號公報是根據日本特開平8-250766號公報的發明而研發者，是用以實現平面型顯示器的構成。

這類的電場放射型電子源，是藉由多孔質半導體層的兩面施加電壓所產生的電場來放出電子。該方式與上述MIM及MOS有所不同，亦即多孔質半導體層是由多數的微細孔及殘留矽所構成。在此，多孔度為10~80%，各微細孔的內徑為2~數nm。在上述公報中記載：由於殘留矽的原子數為數十~數百，因此會藉由量子大小效應(quantum size effect)而產生電子放出現象。並且，在日本特開平9-259795號公報中記載：由於電子放出是發生於多孔質半導體層表面的極近旁，因此其厚度最好較為薄，可實際運用的範圍為0.1~50 μ m。

[發明所欲解決之課題]

但，記載於日本特開平8-250766號公報或日本特開平9-259795號公報中的電場放射型電子源，容易產生電子的散射現象，且面內的放出電子量容易引

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(4)

起不均一。因此，當該電子源被應用於平面發光元件或顯示器時，畫面的亮度不均一情況會更為明顯。並且，將該電子源應用於平面發光元件或顯示器時，必須使放出電子量增多。在此，若藉由弄薄多孔質多結晶矽層而使放出電子量增加的話，則上述情況會更為嚴重。

[發明之概要]

爲了解決上述習知者所存在的問題，本發明之目的是在於提供一種幾乎不會有放出電子的散射現象及面內不均一的情況發生，且放出電子量及電子放出效率高的電場放射型電子源及其製造方法。

爲了達成上述目的，本發明之電場放射型電子源是屬於一種包含：

(i) 導電性基板；及

(ii) 形成於導電性基板的 1 個表面上，且至少一部份會被多孔質化之半導體層；及

(iii) 形成於半導體層上之導電性薄膜；

(iv) 並且，在導電性薄膜與導電性基板之間，以導電性薄膜對導電性基板而言能夠形成正極之方式來施加電壓，而使注入導電性基板的電子可以通過半導體層來從導電性薄膜放出之電場放射型電子源；

其特徵爲：

(v) 半導體層含多孔質半導體層，該多孔質半導體層混在：各表面以絕緣層所覆蓋之柱狀構造部，及由毫微

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (5)

米單位的半導體微結晶所構成之多孔質構造部；

(vi) 而且，由半導體層的厚度方向來看，多孔質構造部的平均尺寸為 $2 \mu m$ 以下。

在此電場放射型電子源中，由於多孔質構造部的厚度為 $2 \mu m$ 以下，因此被放出的電子量非常安定，且電子放出量會增大。如此一來，電子放出量的較大時間變動（散射現象）不會產生。甚至，可以減少放出電子量的面內不均一情況。

在應用此電場放射型電子源時，使放出電子量增大是不可欠缺的。由電場放射型電子源的放出電子量的觀點來看，本發明者們發現多孔質構造部的厚度最好是在 $2 \mu m$ 以下。

又，本發明之導電性基板是藉由半導體基板中摻雜雜質而形成導電性領域，包含在玻璃基板之類的絕緣性基板的表面上形成金屬薄膜（下部電極）者等。

又，上述電場放射型電子源中，由半導體層的厚度方向來看，最好柱狀構造部的導電性薄膜側的端部與多孔質構造部的導電性薄膜側的端部是配置於相同位置（柱狀構造部的高度與多孔質構造部的高度在導電性薄膜側相同）。此情況，由於在多孔質半導體層表面未形成較大的凹凸，因此形成於多孔質半導體層表面之非常薄的導電性薄膜在電氣性連接的狀態下覆蓋多孔質半導體層的比例非常地高。藉此，多孔質半導體層與導電性薄膜會電氣性導通。又，由於多孔質構造部的覆蓋率高，因此多孔質構造部所

（請先閱讀背面之注意事項再填寫本頁）

表

訂

線

五、發明說明 (6)

需的電場可有效地發揮作用。如此一來，可充分地提高電子放出量或電子放出效率的特性。

又，上述電場放射型電子源中，多孔質半導體層最好是由利用陽極氧化而形成的多孔質多結晶矽所構成。此情況，可在1個過程中藉由多結晶矽的陽極氧化來形成柱狀構造部與多孔質構造部。又，多結晶矽層的形成與陽極氧化，有利於增大電子放出面的面積。特別是存在成長成柱狀的晶粒（柱狀構造部）時，多孔質化會沿著晶粒而進行。此情況，多孔質構造部的深度方向的角度對導電性基板而言幾乎形成垂直。其結果，多孔質構造部的電場對基板而言幾乎形成垂直。又，由於電子放出是根據多孔質構造部的電場而支配，因此該情況的電子對基板而言幾乎呈垂直而放出。藉此，電子的放出角度不均一情況會縮小，且被應用於顯示器時可以形成高精細化。

又，上述電場放射型電子源中，由半導體層的厚度方向來看，多孔質構造部的最大尺寸與最小尺寸的差最好是在 $0.5\mu\text{m}$ 以下（亦即，多孔質構造部的厚度不均一情況為 $0.5\mu\text{m}$ 以下）。若多孔質構造部的厚度不均一情況縮小，則多孔質構造部的電場會形成均一，而使能夠控制放出電子量的面內分布。特別是為了防止散射現象等的發生，而設置柱狀構造部與多孔質構造部，且將多孔質構造部的厚度設定於 $2\mu\text{m}$ 以下時，若使多孔質構造部的厚度不均一情況形成於 $0.5\mu\text{m}$ 以下的話，則不會產生極端的電場強度不均一情況。因此，面內的放出電子量較能

（請先閱讀背面之注意事項再填寫本頁）

表

訂

線

五、發明說明（ 7 ）

夠形成均一化。

又，電場放射型電子源中，最好多孔質半導體層的厚度是與配置於導電性薄膜和導電性基板之間的半導體層的厚度大致相等。此情況，在未被多孔質化的部份不會產生電壓損失。因此，在施加同樣電壓下的放出電子量會變多，且放出電子效率會變高。藉此，當該電場放射型電子源被應用於顯示器等時，顯示器的消耗電力會減少。

又，上述電場放射型電子源中，最好在導電性基板的半導體層側表面上設有對陽極氧化處理用電解液（使半導體層多孔質化）具有耐蝕性之耐蝕性導電體層。此情況，導電性基板（基板本身或下部電極）不會被電解液腐蝕。因此，會有效地在多孔質構造部形成電場，而使得電子放出量不會減少。並且，可以防止因下部電極的斷線而產生的元件不良。

又，在電場放射型電子源中，由半導體層的厚度方向來看，最好在多孔質半導體層的導電性薄膜側的端部設要比其他部份阻抗來得低之預定厚度的低阻抗層。此情況，設置於多孔質半導體層的表面部份之低阻抗層具有作為虛擬電極的功能。因此，即使在多孔質半導體層與導電性薄膜之間具有與彼接觸的部份，多孔質半導體層的表面部份依然會在面內幾乎形成同電位。此情況，由於多孔質半導體層內部面內會形成均一的電場，因此在面內之放出電子量的不均一情況會被壓制。藉此，當該電場放射型電子源被應用於顯示器等時，畫面之明亮度不均一的情況會縮

（請先閱讀背面之注意事項再填寫本頁）

裝
訂
線

五、發明說明(8)

小。

又，上述電場放射型電子源中，最好低阻抗層的厚度要比形成該低阻抗層的半導體中之電子的平均自由行程來得小。此情況，可抑止因低阻抗層的設置而造成電子放出效率的降低。

又，上述電場放射型電子源中，低阻抗層亦可由比多孔質半導體層的其他部份的多孔度來得小的低多孔度層所構成。此情況，由於多孔質半導體層表面的凹凸少，因此可防止電場集中於多孔質半導體層表面的凸部前端或凹部底。藉此，當該電場放射型電子源被應用於顯示器等時，可以防止只有畫面的特定點形成明亮。並且能夠縮小畫面的明亮度不均一。

又，上述電場放射型電子源中，低阻抗層亦可由多孔質半導體層的表面部份被再結晶化的再結晶層所構成。此情況，由於多孔質半導體層表面的凹凸少，因此可防止電場集中於多孔質半導體層表面的凸部前端或凹部底。藉此，當該電場放射型電子源被應用於顯示器等時，可以防止只有畫面的特定點形成明亮。並且能夠縮小畫面的明亮度不均一。

又，上述電場放射型電子源中，低阻抗層亦可由自多孔質半導體層表面來將雜質離子植入多孔質半導體層內而形成的雜質導入層所構成。此情況，可容易控制低阻抗層的雜質濃度或分布。

又，上述電場放射型電子源中，低阻抗層亦可由自多

(請先閱讀背面之注意事項再填寫本頁)

表
訂
線

五、發明說明(9)

孔質半導體層表面來使雜質擴散於多孔質半導體層內而形成的雜質擴散層所構成。此情況，與利用離子植入來植入雜質時相較下，較容易增大電子放出面的面積。

又，上述電場放射型電子源中，多孔質構造部的導電性薄膜側表面最好是與導電性基板的表面平行。此情況，多孔質構造部的電場對導電性基板而言呈垂直。因此，幾乎呈垂直放出於多孔質構造部表面的電子，對導電性基板表面也是幾乎呈垂直放出。其結果，面內之放出電子的角度分布會形成更小。亦即，放出電子的方向會同樣呈垂直。藉此，當該電場放射型電子源被應用於顯示器等時，可達成高精度化。

又，本發明之電場放射型電子源的製造方法，是屬於一種包含：

(i) 導電性基板；及

(ii) 形成於導電性基板的 1 個表面上，且含平均厚度為 $2 \mu\text{m}$ 以下的多孔質半導體層（該多孔質半導體層混在：各表面以絕緣層所覆蓋的柱狀構造部，及由毫微米單位的半導體微結晶所構成的多孔質構造部）之半導體層；及

(iii) 形成於半導體層上之導電性薄膜；

(iv) 並且，在導電性薄膜與導電性基板之間，以導電性薄膜對導電性基板而言能夠形成正極之方式來施加電壓，而使注入導電性基板的電子可以通過半導體層來從導電性薄膜放出之電場放射型電子源的製造方法；

(請先閱讀背面之注意事項再填寫本頁)

表
訂
線

五、發明說明 (10)

其特徵是含：

(v) 藉由陽極氧化處理來使半導體層多孔質化，而形成多孔質半導體層之步驟；

(vi) 該步驟中是以半導體層形成正極期間的電荷量來控制多孔質半導體層的厚度。

若利用該製造方法，則可容易根據陽極氧化時的電荷量來將多孔質半導體層的厚度控制成預定值。

又，上述電場放射型電子源的製造方法中，被多孔質化的半導體層在形成於其上面的導電性基板與對極之間，以導電性基板呈正極的期間與呈通電關閉狀態的期間能夠交互產生之方式來施加脈衝狀的電流或電壓，並使導電性基板呈正極的期間的電荷量變化，而來控制多孔質半導體層的厚度。此情況，可容易把多孔質半導體層的厚度控制成預定值。並且，以大電流密度來形成預定多孔度的多孔質半導體層時，由於可藉由脈衝處理來進行間歇性的陽極氧化，因此可使陽極氧化的進行速度形成較小。如此一來，與連續通電的情況時相較下，較為容易控制多孔質半導體層的厚度。

又，上述電場放射型電子源的製造方法中，被多孔質化的半導體層在形成於其上面的導電性基板與對極之間，以導電性基板呈正極的期間與呈負極的期間能夠交互反相產生之方式來施加脈衝狀的電流或電壓，並使導電性基板呈負極的期間之每一個脈衝的電荷量變化，而來使多孔質半導體層的厚度均一化。此情況，當半導體層為正極時會

(請先閱讀背面之注意事項再填寫本頁)

表
訂
線

五、發明說明 (11)

進行半導體層的多孔質化，使得多孔質化的狀態會依其表面的形狀或半導體層的狀態而產生不均一。之後，若極性反相而使得半導體層形成負極時，電場會集中於多孔質化快速進行的部份，載波會集中。因此，該部份會因電解而產生多量的氣體。並且，氣體發生處會停止與電解質接觸，接著當半導體層形成正極時不會進行多孔質化。如此重複進行，多孔質構造部的厚度會在面內全體形成均一化。此均一化的程度，可以半導體層為負極的期間的電荷量來加以控制。若多孔質構造部的厚度被均一化，則可實現放出電子量的面內分布極小之電子源。

又，本發明之另一電場放射型電子源的製造方法，是屬於一種包含：

(i) 導電性基板；及

(ii) 形成於導電性基板的 1 個表面上，且含平均厚度為 $2 \mu\text{m}$ 以下的多孔質半導體層（該多孔質半導體層混在：各表面以絕緣層所覆蓋的柱狀構造部，及由毫微米單位的半導體微結晶所構成的多孔質構造部）之半導體層；及

(iii) 形成於半導體層上之導電性薄膜；

(iv) 並且，在導電性薄膜與導電性基板之間，以導電性薄膜對導電性基板而言能夠形成正極之方式來施加電壓，而使注入導電性基板的電子可以通過半導體層來從導電性薄膜放出之電場放射型電子源的製造方法；

其特徵是含：

（請先閱讀背面之注意事項再填寫本頁）

表
訂
線

五、發明說明 (12)

(v) 由半導體層的厚度方向來看，在多孔質半導體層的導電性薄膜側的端部設置比其他部份的多孔度小且阻抗低之預定厚度的低阻抗層，(vi) 而於導電性基板上形成半導體層之後，以半導體層的表面部份的多孔度能夠比其他部份的多孔度還要小之方式來形成多孔質半導體層之步驟；及

(vii) 使多孔質半導體層氧化或氮化，而來形成含低阻抗層的多孔質半導體層之步驟；及

(viii) 在多孔質半導體層上形成導電性薄膜之步驟。

若利用此製造方法，則可以不需要另外追加用以形成低阻抗層的過程來設置低阻抗層。並且能夠以低成本來實現面內之電子放出不均一情況少的電場放射型電子源。

又，上述電場放射型電子源的製造方法中，半導體層的多孔質化最好是藉由陽極氧化來進行，且於陽極氧化的期間中最初的預定時間，電流密度會被設定成較小，預定期間後，電流密度會被設定成較大。此情況，在陽極氧化時，電流密度與多孔度之間具有相關關係。並且，阻抗值會依多孔度的大小而變化。因此，可藉由電流密度的控制來控制低阻抗層的阻抗。

又，上述電場放射型電子源的製造方法中，半導體層的多孔質化亦可藉由陽極氧化來進行，且於陽極氧化的期間中最初的預定時間，被照射於半導體層的表面之光功率較小，預定期間後，光功率較大。此情況，在陽極氧化時，光功率與多孔度之間具有相關關係。另外，阻抗值會依

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (13)

多孔度的大小而變化。因此，可藉由照射於半導體層表面之光的功率來控制低阻抗層的阻抗。

又，上述電場放射型電子源的製造方法中，以多孔質半導體層的表面部份被再結晶化而成的再結晶層來構成低阻抗層時，亦可取代：在導電性基板上形成半導體層後，以半導體層的表面部份的多孔度比其他部份的多孔度還要低之方式來形成多孔質半導體層之步驟，而設置：在導電性基板上形成半導體層後，對半導體層進行多孔質化，而來形成多孔質半導體層之步驟，及藉由雷射退火法來使多孔質半導體層的表面部份再結晶化之步驟。此情況，可比較簡單地設置低阻抗層。並且，能夠以低成本來實現面內的電子放出不均一情況少的電場放射型電子源。

此外，以雜質導入層（藉由雜質的離子植入而形成）來構成低阻抗層時，亦可設置：在導電性基板上形成半導體層後，對半導體層進行多孔質化，而來形成多孔質半導體層之步驟，及藉由離子植入法來從多孔質半導體層的表面側把雜質植入於多孔質半導體層內之步驟。此情況，可控制性佳地設置低阻抗層。並且，能夠以低成本來實現面內的電子放出不均一情況少的電場放射型電子源。

另外，以雜質擴散層（藉由雜質的擴散而形成）來構成低阻抗層時，亦可設置：在導電性基板上形成半導體層後，對半導體層進行多孔質化，而來形成多孔質半導體層之步驟，及藉由熱擴散法來從多孔質半導體層表面把雜質擴散於多孔質半導體層內之步驟。此情況，一方面可以增

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (14)

大電子放出面積，另一方面可以控制性佳地設置低阻抗層。並且，能夠以低成本來實現面內的電子放出不均一情況少的電場放射型電子源。

再者，本發明之另一電場放射型電子源的製造方法，是屬於一種包含：

(i) 導電性基板；及

(ii) 形成於導電性基板的 1 個表面上，且含平均厚度為 $2 \mu\text{m}$ 以下的多孔質半導體層（該多孔質半導體層混在：各表面以絕緣層所覆蓋的柱狀構造部，及由毫微米單位的半導體微結晶所構成的多孔質構造部）之半導體層；及

(iii) 形成於半導體層上之導電性薄膜；

(iv) 並且，在導電性薄膜與導電性基板之間，以導電性薄膜對導電性基板而言能夠形成正極之方式來施加電壓，而使注入導電性基板的電子可以通過半導體層來從導電性薄膜放出之電場放射型電子源的製造方法；

其特徵是含：

在對半導體層表面進行平滑化處理之後，藉由半導體層的陽極氧化處理來形成多孔質構造部表面與導電性基板的表面平行之多孔質半導體層。

若利用此製造方法，則多孔質半導體層的表面會被平滑化。因此，陽極氧化時的表面電極會幾乎形成均一，且陽極氧化的進行速度也會大致形成均一。其結果，多孔質構造部的深度會幾乎形成均一，且電場也會大致形成均一

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明 (15)

。藉此，將能夠以低成本來實現面內的電子放出不均一情況少的電場放射型電子源。又，陽極氧化的進行對導電性基板而言會幾乎形成垂直，且多孔質構造部內的電場亦對導電性基板而言幾乎會形成垂直。因此，放出電子的方向會同樣形成垂直。又，由於電子放出角度的分布非常小，因此可以實現高精細的顯示器。

[發明之實施形態]

以下，具體說明本發明之合適的實施形態。

(實施形態 1)

爲了達成上述目的，本發明者們係針對電場放射型電子源（以下簡稱「電子源」）加以深入研究，其所得見解如下述。

例如，就日本特開平第 8 - 2 5 0 7 6 6 號公報及日本特開平第 9 - 2 5 9 7 9 5 號公報中所記載的電子源而言，是在一方的主表面上設置設有歐姆電極的半導體層。然後在半導體層的另一方主表面側，藉由該半導體層的多孔質化來形成注入有電子的多孔質層。並且，在多孔質層的表面上設有金屬薄膜電極。但，此類的構造容易產生電子的散射現象，且放出電子量容易產生面內不均一。

其原因如下述。亦即，多孔質層的隔熱性原本非常高，且因電子源是在真空中動作，所以多孔質的隔熱性極高。因此，當電壓被施加於兩電極間，且與電子放出有關的

(請先閱讀背面之注意事項再填寫本頁)

表
訂
線

五、發明說明 (16)

電流流動時，多孔質層的溫度上升會變得非常地大。又，因該溫度的上升，多孔質層內的格子振動會變大。當溫度上升較大時，通過多孔質層內的電子會因為格子振動，而造成散亂次數增大。因此，電子放出量會顯著形成不安定。又，電流流動而使得溫度上升後，會造成電流不易流動且溫度下降，且回到原狀的現象會被重複進行，導致電子放出量在時間上形成不安定。如此一來，電子的散射現象容易產生。並且，半導體的阻抗會因溫度上升而下降，被植入多孔質層的電子量會增大。如此被植入的電子量會依溫度變化而變動，這也會容易產生散射現象。

又，由於多孔質層具有極複雜的構造，因此難以幾何整列孔部。因此，在面內電流通過會形成不均一。特別是在藉由陽極氧化法來形成多孔質層時，因為會利用到電氣化學性的反應，所以更難以取得多孔質構造（孔部呈幾何學整列）。若於面內電流通過形成不均一，則流動於多孔質層中的電流會在面內形成不均一。如此一來，電流所產生的熱（發熱）也會在面內形成不均一。在此，發熱會造成電流不易流動。因此，發熱會導致電流面內的不均一現象（起因於電流脈衝的不均一性）更為嚴重。在此，由於該電流的一部份會對電子的放出有所作用，因此容易造成電子的放出量不均一。

又，就日本特開平第 9 - 2 5 9 7 9 5 號公報中所記載的電子源而言，電子放出是產生於多孔質半導體層表面的極近旁。因此，多孔質半導體層的厚度最好是形成較薄

（請先閱讀背面之注意事項再填寫本頁）

張

訂

線

五、發明說明 (17)

。但，此厚度爲了確保元件的均一性及安定性，而必須予以放大至某一程度。可實施範圍的厚度爲 $0.1 \sim 50 \mu m$ 。在此，若爲了提高電子放出效率增加電子放出量，而弄薄多孔質半導體層厚度的話，則會有可能因爲電子放出量的增大，而導致表層的電子放出作用部份發熱。此刻，多孔質半導體層的厚度越薄該問題會越顯著。因此，光只是單純地弄薄多孔質層的厚度，會有實際運用上的問題發生。亦即，該習知技術不容易一邊防止散射 (popping) 現象及電子放出量的面內不均一，一邊提高電子放出量及電子放出效率。

本發明者們是根據上述見解而來執行本發明。

本發明之實施形態 1 的電子源是包含：

導電性基板；及

形成於導電性基板的 1 個表面上，且至少一部份會被多孔質化之半導體層；及

形成於半導體層上之導電性薄膜（表面電極）。

並且，在導電性薄膜與導電性基板之間，以導電性薄膜對導電性基板而言能夠形成正極之方式來施加電壓，而使注入導電性基板的電子可以通過半導體層來從導電性薄膜放出。

而且，在此電子源中，半導體層是包含多孔質半導體層，該多孔質半導體層混在：各表面以絕緣層所覆蓋之柱狀構造部，及由毫微米單位的半導體微結晶所構成之多孔質構造部。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (18)

在此，由半導體層的厚度方向來看，多孔質構造部的平均尺寸為 $2 \mu m$ 以下。

以下，具體說明該電子源及其電子放出構成。

如圖 1 所示，在電子源 10 中設有：由 n 型矽基板所構成的導電性基板 1。並且，在導電性基板 1 的 1 個主面上層疊形成有：由被氧化的多孔質多結晶矽層所構成之多孔質半導體層 6（強電場飄移層）的多孔質半導體部 6a（在圖 1 所示構成中，多孔質半導體層 6 全體為多孔質半導體部 6a）。而且，在多孔質半導體層 6（多孔質半導體部 6a）上層疊形成有：由金屬薄膜所構成的導電性薄膜 7（表面電極）。又，於導電性基板 1 的背面形成有歐姆電極 2。

從該電子源 10 使電子放出的情況時，是對向於導電性薄膜 7 而配置有集極電極 12。並且，在導電性薄膜 7 與集極電極 12 間會形成真空狀態。而且，以導電性薄膜 7 對導電性基板 1（歐姆電極 2）而言能夠形成高電位之方式，在導電性薄膜 7 與導電性基板 1 之間施加直流電壓 V_{ps} 。另一方面，以集極電極 12 對導電性薄膜 7 而言能夠形成高電位之方式，在集極電極 12 與導電性薄膜 7 之間施加直流電壓 V_c 。只要適當地設定直流電壓 V_{ps} ， V_c ，注入於導電性基板 1 中的電子便可飄移於多孔質半導體層 6，而從導電性薄膜 7 放出（圖 1 中箭頭符號是表示從導電性薄膜 7 所被放出的電子 e^- 流向）。又，導電性薄膜 7 是由功函數小的材料所形成。又，導電性薄膜 7

（請先閱讀背面之注意事項再填寫本頁）

表

訂

線

五、發明說明 (19)

的厚度是被設定於 $10 \sim 15 \text{ nm}$ 的程度範圍。

如圖 2 所示，多孔質半導體層 6 的多孔質半導體部 6 a 是包含：由柱狀的多結晶矽所構成的柱狀構造部 2 1（晶粒）。並且，在該柱狀構造部 2 1 的表面上形成有由矽氧化膜所構成的薄絕緣膜 2 2。而且，多孔質半導體部 6 a 包含介於柱狀構造部 2 1 間的毫微米單位的微結晶矽 2 3。又，於微結晶矽 2 3 的表面上形成有：厚度比微結晶矽 2 3 的結晶粒徑還要小，由矽氧化膜所構成的絕緣膜 2 4。又，伴隨絕緣膜 2 4 的多數微結晶矽 2 3 會構成多孔質構造部 2 5。此外，在多孔質半導體部 6 a 中，多孔質化處理前之多結晶矽中所含晶粒的表面會被多孔質化，殘留的晶粒亦即結晶狀態會藉柱狀構造部 2 1 而維持。因此，被施加於多孔質半導體部 6 a 的電場大部分會集中於絕緣膜 2 4。藉此，被注入的電子 e^- 會在柱狀構造部 2 1 間藉絕緣膜 2 4 的電場而加速，飄移至圖 2 中的箭頭 A 方向（圖 2 中向上方向）。並且，到達多孔質半導體部 6 a 表面的電子可視為熱電子，容易穿過導電性薄膜 7 而放出於真空中。

在電子源 1 0 中，流動於導電性薄膜 7 與歐姆電極 2 之間的電流是被稱為二極體電流 I_{ps} 。並且，流動於集極電極 1 2 與導電性薄膜 7 之間的電流被稱為放出電子電流 I_e （參照圖 1）。放出電子電流 I_e 對二極體電流 I_{ps} 的比例（ I_e / I_{ps} ）越大，電子放出效率會變得越高。在電子源 1 0 中，即使施加於導電性薄膜 7 與歐

（請先閱讀背面之注意事項再填寫本頁）

裝
訂
線

五、發明說明 (20)

姆電極 2 之間的直流電壓 V_{ps} 為 $10 \sim 20$ V 程度的低電壓，還是能夠使電子放出。而且，在此電子源 10 中，電子放出特性的真空度依賴性小。甚至，在電子放出時不會發生散射現象，而能夠以高電子放出效率來安定地放出電子。

在上述構成中是使用 n 型矽基板來作為導電性基板 1。但，亦可使用在玻璃基板等之類的絕緣型基板上形成 ITO 膜，或 Al, Ni, Cr, Mo, Ti, W, Pt 等金屬的導電體層之導電性基板。此情況，可擴大電子源 10 之電子放出面的面積，且能夠降低電子源 10 的成本。

圖 3 是表示如此構成的導電性基板的一例。

該導電性基板是由：

由玻璃基板所形成的絕緣性基板 13；及

由形成於絕緣性基板 13 上的 ITO 膜所形成的導電體層 8b；等所構成。

並且，在導電體層 8b 上會經由多孔質半導體層 6（多孔質半導體部 6a）來層疊形成由金屬薄膜所構成的導電性薄膜 7（表面電極）。而且，在該電子源 10 中，在導電體層 8b 上未摻雜的多結晶矽層被堆積後，多結晶矽層會藉由陽極氧化處理而被多孔質化，且被氧化或氮化後形成多孔質半導體層 6。

又，由圖 3 所示之電子源 10 使電子放出的手法，是以導電性薄膜 7 對導電體層 8b 能夠形成高電位之方式，

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (21)

除了在導電性薄膜 7 與導電體層 8 b 之間施加直流電壓 V_{ps} 以外，其餘則與圖 1 所示之電子源 10 的情況相同。

如圖 4 所示，在此電子源 10 中，因構成多孔質構造部 25 的微結晶矽 23（多孔質構造部的構造物，數 nm 程度）中有電流流動而引起的電子放電會造成多孔質構造部 25 產生熱。如箭頭 H_1 所示，該熱會從多孔質構造部 25 來散熱於柱狀構造部 21，並且如 H_2 所示，會經由接近多孔質構造部 25 的柱狀構造部 21 來散熱於導電性基板 1。因此，多孔質構造部 25 的溫度上升極為小。若該溫度上升小，則形成多孔質構造部 25 的原子的格子振動增大會被抑止。藉此，通過多孔質構造部 25 的電子的格子振動所引起的散亂次數不會增加。如此一來，所被放出的電子量會被安定化，且放出電子量會增加。其結果，放出電子量之較大時間變動的散射現象也會跟著消失，且因發熱而造成放出電子量的面內不均一情況也會被減低。

在以往的電子源中，多孔質半導體層是僅由隔熱性非常高的多孔質構造部所構成。相對的，在本發明之上述構造中，因電子放出而使得在多孔質構造部 25 產生的熱會經由柱狀構造部 21 來散熱至導電性基板 1。因此，與習知構造相較下，多孔質構造部 25 的溫度上升極小。

又，若多孔質構造部 25 的溫度上升大，則下層半導體的阻抗會下降，所被植入的電子量會增加。如此被植入的電子量會隨著溫度變化而變動，這亦會造成電子放出時

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明 (22)

容易產生散射現象，且放出電子量容易產生不均一。但，由於上述構成中溫度上升極為小，因此散射現象極難以發生。又，由於面內的溫度上升不均一情況不易發生，因此放出電子量不均一情況也不易發生。

但，在應用此電子源 1 0 時，使放出電子量增大是不可欠缺的。因此必須使該構成的電子放出效率及電子放出量更為增大。為了達成此目標，而必須使多孔質構造部 2 5 的電場強度增大。但，此構造中即使增大施加電壓，還是會只有柱狀構造部 2 1 的前端部周邊的電場強度增大，因此電場強度無法大幅度地改善。

因此，本發明者們根據圖 5 所示的結果而發現最好使多孔質構造部 2 5 形成散熱性高的構造（多孔質構造部 2 5 的寬度在水平剖面為 $2\ \mu\text{m}$ 以下），且為了能夠有效地使電場施加於多孔質構造部 2 5（使電場均一化），多孔質構造部 2 5 的厚度最好設定在 $2\ \mu\text{m}$ 以下。若多孔質構造部 2 5 的電場被均一化，則多孔質構造部 2 5 有助於電子放出。其結果，電子放出量及電子放出效率會被增大，且放出電子量的面內分布會被抑制（就顯示器而言，亮度的不均一會被控制住）。

圖 6 是表示推測的機構。當多孔質構造部 2 5 的厚度較大時（圖 6 的左側），電場會集中於領域 R_1 。又，當多孔質構造部 2 5 的厚度較小時（圖 6 的右側），電場會在領域 R_2 內被均一化。亦即，若縮小多孔質構造部 2 5 的厚度，則集中於柱狀構造部 2 1 與導電性薄膜 7 的電場也會

（請先閱讀背面之注意事項再填寫本頁）

表

訂

線

五、發明說明 (23)

在多孔質構造部 2 5 中形成均一。特別是在多孔質構造部 2 5 所產生的熱會經由柱狀構造部 2 1 而散熱，此效果，雖然也會受到多孔質構造部 2 5 的材料左右，但是多孔質構造部 2 5 的寬度（面內尺寸）越小則效果越佳。在此，爲了一方面能夠充分地提高該效果，另一方面使電場均一化，多孔質構造部 2 5 的厚度必須爲 $2 \mu m$ 以下。

（實施形態 2）

以下，說明本發明之實施形態 2。

首先，就實施形態 1 的電子源 1 0 而言，是根據該形成方法，在多孔質半導體層 6 的表層形成凹凸。以個別的製程來形成柱狀構造部 2 1 與多孔質構造部 2 5 時，兩者間容易形成非常大的凹凸。例如，藉由 R I E 法或 F I B 法來將柱狀構造部及微細孔形成於半導體層，並使矽等微細粉末分散於旋轉塗佈玻璃等，而使充填於微細孔中，然後再進行熱處理時，容易形成較大的凹凸。又，例如使用多結晶矽（例如由 L P C V D 法所形成）來作爲多孔質半導體層時，若多結晶矽的膜厚較厚，則會於晶粒的成長方向上形成凹凸。又，當半導體層是藉由陽極氧化來形成多孔質化時，在表面上會形成有多數的微細凹凸。其結果，在多孔質半導體層的表面上會形成有多數微細的凹凸。

當多孔質半導體層 6 的表面形成有凹凸時，在多孔質半導體層 6 與形成於上面的導電性薄膜 7 之間，會存在有兩者接觸的部份與未接觸的部份。因此，若於導電性薄膜

（請先閱讀背面之注意事項再填寫本頁）

表
訂
線

五、發明說明 (24)

7 與導電性基板 1 之間被施加電場，則會在導電性薄膜 7 與多孔質半導體層 6 接觸的部份與未接觸的部份，往多孔質半導體層 6 內部形成電場的方面形成不均一。其結果，面內的電子放出量也會形成不均一。因此，該電子源 10 被應用於顯示器時，會造成畫面的面內明亮度不均一的情況更為嚴重。並且，在該電子源 10 中，被施加於多孔質半導體層 6 的電場會集中於多孔質半導體層 6 表面的凸部前端或凹部底。而且，在電場集中的部份，放出電子量會增加。因此，將電子源 10 應用於顯示器等時，會只有某特定點的發光亮度變亮，而造成畫面的面內明亮度不均一。

此外，在日本特開平 10 - 269932 號公報中，在被施加電場的多孔質半導體層的表面部份設有高阻抗低多孔度層的電子放出元件。該電子放出元件是藉由高阻抗低多孔度層的設置來提高多孔質矽層與導電性薄膜的接觸性。並且，可以縮小二極體電流，提高電子放出效率。但，由於該電子放出元件中被設置於多孔質矽層（被施加有電場）的表面之低多孔度層為高阻抗，因此被施加於多孔質矽層的電場會容易集中於低多孔度層表面的凸部前端或凹部底。如此一來，電場集中部份的電子放出量有可能會增加。因此，當應用於顯示器時，會只有某特定點的發光亮度變亮，而造成畫面的面內明亮度不均一。

在此，為了解決上述問題，在本實施形態中，多孔質化的半導體層會在導電性基板上對同樣形成的多結晶矽進

（請先閱讀背面之注意事項再填寫本頁）

表
訂
線

五、發明說明 (25)

行多孔質化，而來形成多孔質半導體層。若藉此構成，則多結晶矽本身不會有大的凹凸存在。並且，在藉由陽極氧化處理來進行多孔質化時，多孔質構造部與柱狀構造部的高度會相同。因此，導電性薄膜與多孔質半導體層未接觸的部份不容易形成於較廣的領域，而使能夠解決上述問題的一部份。

其次，如圖 7 所示，多孔質構造部 2 5 的高度與柱狀構造部 2 1 的高度不同時（圖 7 左側），會有可能在導電性薄膜 7 中發生電氣性斷線。相對的，多孔質構造部 2 5 的高度與柱狀構造部 2 1 的高度相同時（圖 7 右側），不會在導電性薄膜 7 中發生電氣性斷線。亦即，若多孔質構造部 2 5 的高度與柱狀構造部 2 1 的高度不同，則會在多孔質半導體層表面形成凹凸。此情況，形成於多孔質半導體層表面之非常薄的導電性薄膜 7 會無法完全覆蓋這些的凹凸。因此，導電性薄膜 7 會形成電氣性的斷線狀態，而無法作為電極之用。相對的，多孔質構造部 2 5 的高度與柱狀構造部 2 1 的高度相同時，上述的這些問題會被解決，而得以形成電氣性導通的導電性薄膜 7（表面電極）。

當導電性薄膜 7 電氣性導通時，會在多孔質構造部 2 5 形成必要的電場。因此，可充分地引出電子源 1 0 的特性。

又，當多孔質半導體層 6 是由被陽極氧化的多結晶矽所構成時，可藉由多結晶矽的陽極氧化，以 1 個過程來形成柱狀構造部 2 1 與多孔質構造部 2 5。因此，電子源

（請先閱讀背面之注意事項再填寫本頁）

表
訂
線

五、發明說明 (26)

10 的製程可被簡素化。並且，多結晶矽層的形成與陽極氧化有助於增大電子放出面的面積。特別是存在成長成柱狀的晶粒時，多孔質化會沿著晶粒而進行。因此，多孔質構造部 25 的深度方向的角度對導電性基板 7 而言幾乎形成垂直，多孔質構造部 25 的電場對導電性基板而言幾乎形成垂直。此情況，由於電子放出是由多孔質構造部 25 的電場所支配，因此電子對導電性基板 1 而言幾乎呈垂直而放出。藉此，放出電子的方向的角度分布會變小。而使得電子源 10 被應用於顯示器時可以形成高精細化。

其次，圖 8 A 是表示在未使用多結晶矽的情況下來形成混在柱狀構造部與多孔質構造部的構造之手法例。此情況是利用 R I E 或 F I B 的蝕刻來形成柱狀構造部 26。並且，在柱狀構造部 26 間的凹部埋入毫微米構造的微粉末，而形成多孔質構造部 27。或藉由 A 1 等的陽極氧化來形成垂直孔，並且在該垂直孔（凹部）中埋入毫微米構造的微粉末。但，此情況必須在不同的製程中形成柱狀構造部 26 與多孔質構造部 27。而且，難以增大電子放出面的面積。

另一方面，如圖 8 B 所示，利用對多結晶矽進行陽極氧化的方法時，多結晶矽會沿著成長成柱狀的晶粒而多孔質化。因此，上述構造可以 1 個過程來容易形成。並且，當多結晶矽的成膜或陽極氧化的多孔質化被利用時，可容易擴大電子放出面積。

（請先閱讀背面之注意事項再填寫本頁）

表
訂
線

五、發明說明 (27)

(實施形態 3)

以下，說明本發明之實施形態 3。

實施形態 3 之電子源 10 的特徵，是由半導體層的厚度方向來看，會多孔質半導體層的導電性薄膜側的端部設置比其他部份的阻抗來得低之預定厚度的低阻抗層。以下，將說明該電子源及其電子放出結構。

如圖 9 所示，此電子源 10 中，由多孔質半導體層 6 的厚度方向來看，在其導電性薄膜側的表面部份設有比其他部份的阻抗來得低之預定厚度的低阻抗層 6c。該低阻抗層 6c 具有作為虛擬電極的功能，且多孔質半導體層 6 的表面部份在面內幾乎形成同電位。因此，即使多孔質半導體層 6 與導電性薄膜 7 之間具有與彼不接觸的部份，多孔質半導體層內部面內依然會形成均一的電場。因此在面內之放出電子量的不均一情況會被壓制。藉此，當該電子源 10 被應用於顯示器等時，畫面之明亮度不均一的情況會縮小。

如圖 10 所示，未設有低阻抗層 6c 時（圖 10 左側），電場會集中於 T₁ 所示的部份。相對的，設有低阻抗層 6c 時（圖 10 右側），電場會被均一化。亦即，若多孔質半導體層 6 的表面具有凹凸，則為了增大電子放出量，而形成非常薄的導電性薄膜 7 會容易形成網狀。因此，電場會集中於網狀的導電性薄膜 7 與多孔質半導體層 6 接觸的部份。並且，該部份的電子放出量會變得非常多，而容易產生電子放出量的不均一（就顯示器而言，為亮度不均

（請先閱讀背面之注意事項再填寫本頁）

表

訂

線

五、發明說明 (28)

一)。另一方面，在多孔質半導體層 6 的表層設有低阻抗層 6 c 時，低阻抗層 6 c 具有虛擬表面電極的機能，該電位會形成一定。因此，多孔質半導體層 6 的電場強度會形成均一。其結果，被製成的電子源 1 0 的放出電子量的面內不均一會變得極小。

就此類低阻抗層 6 c 的較佳具體例而言，例如有以下所舉的例子。

亦即，低阻抗層 6 c 的厚度最好是比形成該低阻抗層 6 c 之半導體中的電子平均自由行程還要小。藉此，若低阻抗層 6 c 的厚度設定成比其中移動的電子的平均自由行程還要小，則因低阻抗層 6 c 的散亂而引起的電子能量損失會變小。如此一來，通過低阻抗層 6 c 而放出於真空中的電子量會變得非常的多。

此外，低阻抗層 6 c 亦可由比多孔質半導體層 6 的其他部份多孔度還要小的低多孔度層所構成。

另外，如圖 1 1 所示，低阻抗層 6 c 的多孔度較大時（圖 1 1 的左側），電場會集中於 T₂ 所示的部份。相對的，低阻抗層 6 c 的多孔度較小時（圖 1 1 右側），電場會被均一化。亦即，低阻抗層 6 c 是由低孔度層所形成時，其表面的凹凸會變得非常地小，導電性薄膜 7 的被覆性會被提高。因此，在多孔質半導體層 6 的凸部或凹部的電場集中會消失。其結果，電場會被均一化，而得以抑止放出電子的不均一。

如此由低多孔度層所構成的低阻抗層 6 c，是例如在

（請先閱讀背面之注意事項再填寫本頁）

表
訂
線

五、發明說明 (29)

導電性基板 1 上形成半導體層後，以半導體層的表面部份的多孔度能夠比其他部份的多孔度還要小之方式來形成多孔質半導體層 6，且以對多孔質半導體層 6 進行氧化或氮化之手法來形成。此情況，不需要另外設置供以形成低阻抗層 6 c 的過程。因此，能夠以低成本來實現面內的電子放出量不均一情況少的電子源 10。

在此，藉由陽極氧化來進行半導體層的多孔質化時，只要在陽極氧化期間中最初的預定時間內縮小電流密度，在預定期間後增大電流密度即可。並且，在陽極氧化中，電流密度與多孔度之間具有相關關係。而且，低阻抗層 6 c 的阻抗值會依多孔度的大小而變化。因此，可藉由電流密度的控制來控制低阻抗層 6 c 的阻抗。

再者，藉由陽極氧化來進行半導體層的多孔質化時，只要在陽極氧化期間中最初的預定時間內縮小照射於半導體層表面的光功率，在預定期間後增大光功率即可。此情況，可藉由控制陽極氧化時所照射的光功率來使多孔度變化，而使能夠控制低阻抗層 6 c 的阻抗。

又，低阻抗層 6 c 的較佳具體例，例如有以下所舉的例子。

此外，低阻抗層 6 c 亦可由多孔質半導體層 6 的表面部份被再結化的再結晶層所構成。

另外，如圖 12 所示，使用多結晶矽之普通的多孔質半導體層 6（圖 12 的左側），在多孔質半導體層表面上存在凹凸。另一方面，當低阻抗層 6 是由再結晶化層所構

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (30)

成時 (圖 1 2 右側) , 其表面的凹凸會變得非常地小 , 導電性薄膜 7 的被覆性會被提高。因此 , 在多孔質半導體層 6 的凸部或凹部的電場集中會消失。其結果 , 電場會被均一化 , 而得以抑止放出電子的不均一。

如此由再結晶化層所構成的低阻抗層 6 c , 是例如在導電性基板 1 上形成半導體層後 , 藉由半導體層的多孔質化來形成多孔質半導體層 6 , 並利用雷射退火法來使多孔質半導體層 6 的表面部份再結晶化 , 且以對多孔質半導體層進行氧化或氮化之手法來予以形成。此情況 , 由於藉雷射退火法而被再結晶化的部份可形成低阻抗層 6 c , 因此可較簡單地設置低阻抗層 6 c 。藉此 , 能夠以低成本來實現面內的電子放出量不均一情況少的電子源 1 0 。

此外 , 低阻抗層 6 c 亦可由自多孔質半導體層表面來將雜質離子植入多孔質半導體層內而形成的雜質導入層所構成。此情況 , 雜質的濃度或分布控制容易。

如此由雜質導入層所構成的低阻抗層 6 c , 是例如在導電性基板 1 上形成半導體層後 , 藉由半導體層的多孔質化來形成多孔質半導體層 6 , 並利用離子植入法來使雜質由多孔質半導體層 6 的表面側植入多孔質半導體層內 , 且以對多孔質半導體層進行氧化或氮化之手法來予以形成。此情況 , 可以良好的控制性來設置低阻抗層 6 c , 進而能夠以低成本來實現面內的電子放出量不均一情況少的電子源 1 0 。

又 , 低阻抗層 6 c 亦可由自多孔質半導體層表面來使

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (31)

雜質擴散於多孔質半導體層內而形成的雜質擴散層所構成。在此，藉由雜質的擴散來形成低阻抗層 6 c (雜質擴散層) 與藉由離子植入來形成低阻抗層 6 c (雜質導入層) 相較下，可較為容易擴大電子放出面積。

如此由雜質擴散層所構成的低阻抗層 6 c，是例如在導電性基板 1 上形成半導體層後，藉由半導體層的多孔質化來形成多孔質半導體層 6，並利用熱擴散法來使雜質由多孔質半導體層 6 的表面側擴散於多孔質半導體層內，且以對多孔質半導體層 6 進行氧化或氮化之手法來予以形成。此情況，可較簡單地設置電子放出面的面積較大之低阻抗層 6 c。因此，而能夠以低成本來實現面內的電子放出量不均一情況少的電子源 10。

(實施形態 4)

以下，說明本發明之實施形態 4。

實施形態 4 之電子源 10 的特徵是多孔質構造部 25 的導電性薄膜側表面與導電性基板 1 的表面平行。以下，說明該電子源 10 及其電子放出結構。

如圖 13 所示，多孔質構造部 25 的表面與導電性基板 1 的表面不為平行時 (圖 13 的左側)，電場形成彎曲。相對的，多孔質構造部 25 的表面與導電性基板 1 的表面為平行時 (圖 13 的右側)，多孔質構造部的電場會垂直於導電性基板 1。因此，垂直放出於多孔質構造部 25 的表面之電子也會垂直放出於導電性基板 1 的表面。如此

(請先閱讀背面之注意事項再填寫本頁)

表
訂
線

五、發明說明 (32)

一來，面內的放出電子的角度分布會變小，放出電子的方向會同樣形成垂直。其結果，在使用該電子源 10 的顯示器中可實現高精細的畫面。

如此，多孔質構造部表面與導電性基板表面平行的多孔質半導體層 6，例如在半導體層表面平滑化處理之後，是以對該半導體層進行陽極氧化處理的手法來形成。若在半平滑化處理後對多孔質化的半導體表面進行陽極氧化的話，則會因為表面呈平滑，而使得陽極氧化時的表面電位會形成均一。因此，陽極氧化的進行速度會形成均一。

(實施形態 5)

以下，說明本發明之實施形態 5。

如圖 14 所示，實施形態 1 之電子源 10，例如藉由實施形態 2 的手法，亦即利用陽極氧化處理來對多結晶矽進行多孔質化，及利用氮化或氧化來形成多孔質半導體層時，多孔質半導體層 6 內之多孔質構造部 25（被多孔質化的領域）的厚度會在面內形成不均一。

這是因為現狀的陽極氧化處理中，是使被處理物（在導電性基板上形成有多結晶矽層）與對極一起浸泡於電解液的狀態下，以導電性基板的導電體層為正極，而於導電性基板與對極間連續通電一定的電流所致。並且，在多結晶矽內會因結晶粒界等，而使寄與陽極氧化的電洞無法均一地移動。因此，一旦被連續通電，則會選擇電洞容易流動的部份來進行陽極氧化。如此一來，多結晶矽被多孔質

（請先閱讀背面之注意事項再填寫本頁）

表
訂
線

五、發明說明 (33)

化的速度會有不均一的情況發生。並且，先被多孔質化的部份，多結晶矽層的厚度會變薄，電場會集中，電洞亦會集中。因此，若連續地通電一定的電流，則電場集中部位的周邊的多孔質化有可能會被集中促進。

如以上所述（參照實施形態 1），在多孔質半導體層 6 中，電場會在形成於多孔質構造部 2 5（被多孔質的領域）內所存在的微結晶矽 2 3 的表面的絕緣膜 2 4（矽氧化膜）變強。因此，若多孔質構造部 2 5 的厚度不均一，則電場強度會在多孔質半導體層 6 的各領域產生不均一。亦即，無法同樣使電子從導電性薄膜 7（表面電極）的全面放出，且從導電性薄膜 7 放出的電子能量會依場所而分布。其結果，當該電子源 1 0 被應用於顯示器等時，畫面的面內的明亮度不均一情況會變大。又，若為圖 1 4 的分布，則於多孔質半導體層 6 的內部，電場強度小的部位會變多。在此部位，最差的情況是電子無法被放出，其結果有可能會無法充分地提高在電子源 1 0 全體的電子放出效率。因此，在顯示器用的電子源 1 0 中，若電子放出效率低，則無法提高亮度。如此一來，畫面會變暗。

在此，如圖 1 5 所示，在實施形態 5 的電子源 1 0 中，由半導體層的厚度方向來看，多孔質構造部 2 5 的最大尺寸與最小尺寸的差會被設定於 $0.5 \mu\text{m}$ 以下。以下，將針對該電子源 1 0 加以說明。

如圖 1 6 所示，多孔質構造部 2 5 的厚度不均一情況較大時（圖 1 6 的左側），施加於多孔質構造部 2 5 的電

（請先閱讀背面之注意事項再填寫本頁）

表

訂

線

五、發明說明 (34)

場會形成不均一。但，該不均一情況較小時（圖 1 6 的右側），電場會形成均一化。亦即，若多孔質構造部 2 5 的厚度不一樣的話，則施加於多孔質構造部 2 5 的電場會有所不同。換言之，多孔質構造部 2 5 的電場會極力左右來自多孔質構造部 2 5 的電子放出。因此，若多孔質構造部 2 5 的厚度不均一情況嚴重，則會影響到放出電子量的面內分布。在此，一方面為了能夠滿足實施形態 1 的條件，另一方面能夠抑止多孔質構造部 2 5 的厚度不均一，而來控制放出電子量的面內分布，上述厚度差必須在 $0.5 \mu m$ 以下。

若多孔質構造部 2 5 的厚度不均一情況小，則施加於多孔質構造部 2 5 的電場會形成均一，可控制住放出電子量的面內分布。並且，電子會幾乎從多孔質構造部 2 5 的全體放出，這將比以往的電子放出效率來得高。而且，一方面可滿足實施形態 1 的條件（亦即，不會發生散射現象等之柱狀構造部 2 1 與多孔質構造部 2 5 的關係，多孔質構造部 2 5 的厚度為 $2 \mu m$ 以下），另一方面藉由實施形態 2 之多結晶矽的陽極氧化方法來對半導體層進行多孔質化，而構成柱狀構造部 2 1 與多孔質構造部 2 5 時，柱狀構造部 2 1 及多孔質構造部 2 5 的尺寸會受到多結晶矽的晶粒大小的影響。而這些尺寸大小有助於使來自多孔質構造部的發熱散熱於柱狀構造部。以如此的條件為基礎，經過本發明者們的深入研究結果發現，多孔質構造部 2 5 的厚度不均一情況為 $0.5 \mu m$ 以下時，在可抑止電子的散

（請先閱讀背面之注意事項再填寫本頁）

表
訂
線

五、發明說明 (35)

射現象，且可增大放出電子量的電場放射型電子源中，面內的電子放出量較能夠形成均一。其理由乃是因為多孔質構造部 2 5 的極度電場強度不均一情況不會發生所致。

又，最好多孔質構造部 2 5 的厚度是與半導體層的厚度（被配置於導性薄膜 7 和導電性基板間）是大致相等。

如圖 1 7 所示，當多孔質構造部 2 5 的厚度比導電性薄膜 7 與導電體層 8 b（導電性基板）的間隔還要小時（圖 1 7 的左側），會在多孔質構造部 2 5 的下側存在未多孔化的半導體層。另一方面，當多孔質構造部 2 5 的厚度和導電性薄膜 7 與導電體層 8 b（導電性基板）的間隔大致形成相等時（圖 1 7 的右側），不會在多孔質構造部 2 5 的下側存在未多孔化的半導體層。

在施加電壓時，若於形成下部電極的導電性基板（導電體層 8 b）與多孔質構造部 2 5 之間存在未被多孔質化部份的話，則於該部份會發生電壓損失。因此，施加於多孔質構造部 2 5 的電壓會減少，而使得電場強度會變小。相對的，若多孔質構造部 2 5 的厚度和導電性薄膜 7 與導電性基板的間隔大致形成相等時，施加於導電性基板與導電性薄膜 7 間的電壓會加諸於多孔質構造部 2 5。因此，電場強度亦會變大，而使能夠以同電壓來取得較大的電子放出。

在此，導電體層 8 b（導電性基板）的半導體層側表面最好設置耐蝕性導電體層，該耐蝕性導電體層對陽極氧化處理用電解液（使用於半導體層的多孔質化）具有耐蝕

（請先閱讀背面之注意事項再填寫本頁）

表
訂
線

五、發明說明 (36)

性。

如圖 1 8 所示，未設置耐蝕性導電體層時（圖 1 8 的左側），導電體層 8 b 及導電性基板（基板本身或下部電極）會在陽極氧化時因電解液而被腐蝕。因此，在導電體層 8 b 會有蝕刻部 2 8 產生之虞。這樣的腐蝕不僅會縮小電子放出量，而且還會因電極的斷線而導致元件不良。另一方面，設置耐蝕性導電體層時（圖 1 8 的右側），可防止電極或基板被腐蝕，且導電體層 8 b 不會產生蝕刻部。因此，可實現一種可以防止電子放出量的減少，降低元件發生瑕疵，且多孔質構造部 2 5 的厚度與半導體層的厚度（位於導電性薄膜 7 和導電性基板間）幾乎相等之構造。

若利用此構成，則例如在藉由陽極氧化來對多結晶矽進行多孔質化時，陽極氧化時間會拉長，而使得多孔質化可達到多結晶矽層的厚度以上時，在多孔質化的進行較慢部份，多孔質化會停止於耐蝕性導電體層 2 9 的表面。因此，下個多孔質化的進行較慢部份會更被多孔質化，而使得多孔質構造部 2 5 的厚度不均一情況會變得非常小。藉此構成，在多孔質構造部 2 5 所產生的電場會形成均一，放出電子量的面內分布會被控制住。並且，導電體層 8 b 及導電性基板（基板本身或下部電極）不會被電解液腐蝕。因此，有助於電場形成於多孔質構造部 2 5。藉此，不僅電子量不會減少，而且還可防止因下部電極的斷線而造成元件不良。

（請先閱讀背面之注意事項再填寫本頁）

表
訂
線

五、發明說明 (37)

(實施形態 6)

以下，說明本發明之實施形態 6。

如圖 1 9 所示，在實施形態 6 的構成中，對向於電子源 1 0 而配設有玻璃基板 1 4。並且，該玻璃基板 1 4 與電子源 1 0 呈對向的面上設有：集極電極 1 2 與螢光體層 1 5。藉此來構成顯示裝置。而且，螢光體層 1 5 是塗佈於集極電極 1 2 的表面，藉由從電子源 1 0 所放射的電子來發出可視光。又，在集極電極 1 2 中會被施加供以加速放出電子（使螢光體層 1 5 發光）的電壓。又，玻璃基板 1 4 會藉由間隔件（圖中未示）來與電子源 1 0 取得一間隔。又，形成於玻璃基板 1 4 與電子源 1 0 之間的氣密空間會形成真空狀態。

如圖 1 9 ~ 2 1 所示，在電子源 1 0 中設有 p 型矽基板 1 6。並且，在 p 型矽基板 1 6 的主表面側設有：複數個 n 型領域 8 a 被形成條紋狀的導電性基板。而且，電子源 1 0 設有多孔質半導體層 6。該多孔質半導體層 6 具有：在各 n 型領域 8 a 中分別重疊而成的多孔質多結晶矽所構成之多孔質半導體部 6 a，及埋入各多孔質半導體部 6 a（飄移（drift）部）間，而與多孔質半導體部 6 a 形成一面的多結晶矽所構成之分離部 6 b。又，於多孔質半導體層 6 上設有：橫跨多孔質半導體部 6 a 與分離部 6 b，且延伸於與 n 型領域 8 a 垂直的方向，而形成條紋狀的複數條金屬膜所構成之導電性薄膜 7（表面電極）。

該電子源 1 0 是使用 p 型矽基板 1 6 來作為導電性基

（請先閱讀背面之注意事項再填寫本頁）

表
訂
線

五、發明說明 (38)

板，導電體層是使用 n 型領域 8 a。但，導電性基板並非只限於 p 型矽基板 1 6。又，導電體層亦非只限於 n 型領域 8 a。例如亦可使用在玻璃之類的絕緣性基板上設置由鉻等金屬薄膜所構成的導電體層或 I T O 膜等來作為導電性基板。並且，使用形成有導電體層（形成於玻璃基板的 1 個表面上）的基板時與使用半導體基板時相較下，前者可以擴大電子源 1 0 的電子放出面積，進而能夠降低成本。而且，玻璃基板的材料可依照製造過程的處理溫度來從石英玻璃，無鹼玻璃，低鹼玻璃及蘇打石灰玻璃等來選擇出。

在電子源 1 0 中，條紋狀的 n 型領域 8 a 與和該 n 型領域 8 a 垂直的條紋狀的導電性薄膜 7 之間挾持有多孔質半導體層 6 的多孔質半導體部 6 a。只要適宜地選擇導電性薄膜 7 與 n 型領域 8 a 的組合，而於該組間施加電壓，強電場便可只作用在相當於被選擇的導電性薄膜 7 與 n 型領域 8 a 的交點部位的多孔質半導體部 6 a，而使電子被放出。亦即，在由導電性薄膜 7 與 n 型領域 8 a 所構成的格子之格子點配置電子源 1 0，而使得以藉由被施加電壓的導電性薄膜 7 與 n 型領域 8 a 的組合選擇來從所期望的格子點放出電子，進而能夠在顯示器中顯示出畫像或文字。

如圖 2 0 所示，n 型領域 8 a 的接觸部是對多孔質半導體部 6 a 的端部進行蝕刻，而使 n 型領域的表面一部份露出形成。並且，接觸部會經由電線 W 來連接於外部電路

(請先閱讀背面之注意事項再填寫本頁)

裝訂線

五、發明說明 (39)

。而且，在 n 型領域 8 a 中，載波電流濃度為 $1 \times 10^{18} \sim 5 \times 10^{19} \text{ cm}^{-3}$ 。又，n 型領域 8 a 與導電性薄膜 7 間被施加的電壓為 10 ~ 30 V 程度。

以下，說明實施形態 6 之電子源 10 的製造過程。

首先，爲了取得圖 22 A 所示的構造，而於 p 型矽基板 16 的主面上設置熱擴散用或離子注入用的光罩。其次，在 p 型矽基板 16 的主面上，利用熱擴散技術或離子注入技術來導入磷 (P) 等摻雜劑，而形成條紋狀的 n 型領域 8 a。然後去除光罩。

其次，在形成有 n 型領域 8 a 之 p 型矽基板的主表面上，利用 L P C V D 法來形成厚度 $1.5 \mu\text{m}$ 之未摻雜的多結晶矽層 3，而取得圖 22 B 所示的構造。並且，在 n 型領域 8 a 間亦可設置高雜質濃度的 p 型領域。在此，多結晶矽層 3 的成膜條件：壓力為 20 Pa，基板溫度為 640°C ，甲矽烷氣體的流量為 600 sccm。但，多結晶矽層 3 的製膜方法並非只限於 L P C V D 法。例如可在利用濺鍍法或電漿 C V D 法來形成非晶形矽層後，對非晶形矽層進行退火處理，而使結晶化後形成多結晶矽層 3。又，導電性基板爲玻璃基板上形成有 I T O 等之導電性膜的基板時，亦可利用 C V D 法在導電性薄膜上形成非晶形矽膜後，藉由退火來形成多結晶矽層 3。而且，多結晶矽層 3 的形成方法亦可使用 C S G (Continuous Grain Silicon) 法，觸媒 C V D 法等。又，多結晶矽層 3 的厚度只要是藉由多孔質化處理而形成之預定的多孔質半導體層

(請先閱讀背面之注意事項再填寫本頁)

表
訂
線

五、發明說明 (40)

6 的厚度以上即可。

然後，在多結晶矽層 3 上塗佈光阻劑而來作為光罩層。接著，利用光學微影成像技術來對 n 型領域 8 a 的上方部位進行開孔，而形成條紋狀圖案的光阻劑層 9（如圖 2 2 C 所示）。

此外，雖陽極氧化處理用的光罩層是使用光阻劑層 9，但亦可利用形成條紋狀的氧化矽膜或氮化矽膜。此情況是藉由電漿 C V D 法或濺鍍法等來形成氧化矽膜或氮化矽膜。然後，利用光學微影成像技術與蝕刻技術（濕蝕刻，乾蝕刻）來對 n 型領域 8 a 的上方部位進行開孔。當使用氧化矽膜或氮化矽膜時，可不必在多結晶矽層 3 的陽極氧化處理後除去光罩層。

另外，在 p 型矽基板 1 6 的背面形成有歐姆電極（未圖示）。然後，以光阻劑層 9 來作為光罩，在多結晶矽層 3 上藉由陽極氧化處理來形成多孔質半導體部 6 a（由多孔質多結晶矽所構成）。

再者，陽極氧化是利用圖 2 3 所示的裝置來進行。在此，儲存電解液（適量混合氫氟酸，乙醇及水）的處理槽 3 1 會被放進恆溫水槽 3 2 中，而來控制電解液的溫度。

如圖 2 2 C 所示，在 p 型矽基板 1 6 上形成有導電性基板與多結晶矽層 3 的被處理物 3 0 及白金電極（對極 3 3）會被浸入電解液中。然後，使 p 型矽基板 1 6 與對極 3 3 間通電。在本實施形態中，電解液是使用混合 5 5 w t % 的氟化氫水溶液與乙醇（1 : 1）的電解液。

（請先閱讀背面之注意事項再填寫本頁）

表
訂
線

五、發明說明 (41)

期間，在多結晶矽層 3 的露出部份會藉由 500 W 的鎢燈 34 來照射一定光功率的光。並且，在 p 型矽基板 16 與對極 33 間被通電的電流圖案是藉由機能發送器 35 及恆流器 36 來進行控制。在此，機能發送器 35 是用以控制電流的極性及通電時間與電流的大小。恆流器 36 是用以施加通電電流。又，陽極氧化並非只限於電流，亦可藉由電壓的施加來進行。此情況，亦可使用電位發生器來取代恆流器 36。

本實施形態的電流圖案是以 p 型矽基板 16 作為正極而連續通電。通電時間及電流密度是按照電解液的組成及溫度而適當地設定。亦即，陽極氧化時的電荷量會根據電解液的組成及溫度而調節。如上述，使用混合氫氟酸，乙醇及水的電解液時，最好電解液的溫度是控制在 $0^{\circ}\text{C} \sim$ 室溫的溫度範圍。並且，最好是控制電流或施加電壓，而使電流密度能夠形成 $1 \sim 200 \text{ mA} / \text{cm}^2$ 的範圍。如本實施形態所示，使陽極氧化處理時的電流密度形成一定，而依據處理時間來控制全體的電荷量時，會根據電荷量來決定被多孔質化的領域深度。因此，可藉電荷量來容易控制被多孔質化的領域深度。藉此，可縮短陽極氧化處理的處理時間，而能在不改變多孔質構造部 25 的多孔度之情況下來縮小厚度。

例如，可在陽極氧化處理中將電流密度設定為 $25 \text{ mA} / \text{cm}^2$ ，然後進行 6 秒的通電，而來形成厚度薄的多孔質構造部 25（被多孔質化的領域厚度不會超過 $2 \mu\text{m}$ ）。

（請先閱讀背面之注意事項再填寫本頁）

表

訂

線

五、發明說明 (42)

）。在本實施形態中，由於多結晶矽層 3 的厚度為 $1.5 \mu\text{m}$ ，因此可將陽極氧化處理的電流密度設定為 $25 \text{ mA} / \text{cm}^2$ ，而藉由 6 秒鐘的通電來進行多孔質化。在此，所被形成的多孔質多結晶矽層會形成混在柱狀構造部 21 與多孔質構造部 25 的多孔質半導體層 6。如此，藉由半導體層的多孔質化，若多孔質半導體層 6 維持面一致性的話，則在後面的過程中形成於多孔質半導體層 6 上面的導電性薄膜 7 不易形成網狀。因此，放出電子量的面內不均一情況難以發生。並且，不會因斷線而產生導電不良。

又，上述陽極氧化處理中，只要將電流密度設定成 $1.5 \text{ mA} / \text{cm}^2$ 以下的小電流密度，且適當地選擇電解液的組成，然後進行長期間陽極氧化，便可在多結晶矽層 3 不被多孔質化的情況下電解研磨表層，而來消除因晶粒的成長所造成的凹凸。藉此，多孔質半導體層 6 的表面與導電性基板（n 型領域 8a）的表面會形成平行。之後，在上述陽極氧化處理實施時，由於電場是均一地垂直施加於基板，因此多孔質化的進行方向也會垂直於導電性基板。藉此，多孔質構造部 25 的多孔質化方向會形成一樣。在此，電子會藉由多孔質構造部 25 的電場而加速。又，若多孔質化方向一致垂直於基板，則電子的放出方向也會一致垂直於基板。因此，將電子源 10 應用於顯示器時，更可以形成高精細化。又，以氧化矽或氮化矽作為光罩，而使多結晶矽層 3 形成多孔質化時，在藉由 RIE 法來形成氧化矽或氮化矽的開口部時，亦可進行比預定時間還要

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (43)

長的蝕刻。此情況，只會少許地蝕刻多結晶矽層的表層，而使能夠去除因晶粒成長所造成的表面凹凸，取得與上述同樣的效果。又，由於這些多結晶矽表面的平滑化方法不需要追加任何新的過程，因此可在不增加成本的情況下來取得上述效果。

又，多孔質半導體層 6 亦可使用多結晶矽以外的材料來形成。例如，在 n 型領域上，藉由 M O C V D 或 M B E 來形成預定厚度的單結晶矽，銻 (G e)，G a A s 等之半導體層，接著利用 R I E 或 F I B 來形成預定深度的微細孔。此情況，例如可在旋轉塗佈玻璃上使上述材料的微結晶粉末分散而埋入微細孔中，然後利用熱處理來形成上述構造。

藉由如此的陽極氧化處理，將可形成條紋狀的多孔質多結晶矽層，這將構成絕緣層形成前的多孔質半導體部 5。然後，去除光阻劑層 9 來取得圖 2 2 D 所示的構造。但，多孔質化會在多結晶矽層 3 的厚度方向途中停止。並且，使陽極氧化處理時的通電方向交替變化的同時，使電流通電成脈衝狀，藉此來使多孔質構造部 2 5 (多孔質的領域) 的厚度幾乎形成均一 (如圖 1 5 所示)。

又，於陽極氧化處理後，利用燈退火裝置，在乾燥氧氣環境中對多孔質多結晶矽層 5 施以急速熱氧化 (R T O)。藉此，可形成由熱氧化的多孔質多結晶矽層 5 所構成的多孔質構造部，取得圖 2 2 E 所示的構造。若利用急速熱氧化，則可於幾秒內升溫至氧化溫度。因此，可解決通

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (44)

常爐心間型氧化裝置的問題，亦即可抑止入爐時的捲入氧化。就本實施形態而言，急速熱氧化的條件：氧氣流量為 3 0 0 s c c m，氧化溫度為 9 0 0 ℃，氧化時間為 1 小時。

又，作為多孔質多結晶矽層的氧化方法，除了熱氧化法以外，亦可使用電漿的氧化方法，或電氣化學性（例如，酸）的氧化方法，或利用 U V，臭氧的方法。又，對多孔質多結晶矽層的氧化，亦可利用氮化來取代之。

然後，在多結晶矽層上，使用具有條紋狀開口圖案的金屬光罩，藉由蒸鍍法來形成由金屬膜所構成的條紋狀導電性薄膜 7，取得圖 2 2 F 所示的構造。在此，導電性薄膜 7 的厚度為 1 0 n m。又，導電性薄膜 7 的形成方法並非只限定於蒸鍍法，例如亦可使用濺鍍法。又，導電性薄膜 7 的圖案形成方法亦可利用光學成像技術及蝕刻技術。或利用光學成像技術及分離法（lift-off）。

又，於陽極氧化處理時，雖是利用光阻劑層 9 來作為光罩層，但亦可利用形成條紋狀的氧化矽膜或氮化矽膜來作為光阻劑膜。利用氧化矽膜或氮化矽膜時，在陽極氧化處理後不需要除去光阻劑層的過程。並且，在電子不放出的領域之導電性薄膜與多結晶矽間亦可設置絕緣膜。

又，電子放出現象是以導電性薄膜 7 作為正極，在多孔質半導體層施加電場，藉此到達多孔質半導體層表面的電子會利用隧道效應來從導電性薄膜 7 的表面放出於真空中。因此，根據施加於導電性基板與導電性薄膜 7 間的電

（請先閱讀背面之注意事項再填寫本頁）

衣

訂

線

五、發明說明 (45)

壓而取得的電子能量扣除導電性薄膜 7 的功函數後的能量是形成電子的理想能量。因此，導電性薄膜 7 材料的功函數最好是比較小。在此，作為導電性薄膜 7 的材料，除了金以外，亦可使用鋁，鉻，鎢，鎳，白金，或這些金屬的合金等。並且，導電性薄膜 7 的厚度雖是設定成 10 nm，但並非只限定於此，只要是電子能夠穿過多孔質半導體層 6 即可。

又，於陽極氧化處理時，亦可使電流通電成脈衝狀，而來取代上述連續通電。或進行電壓控制來取代電流控制。若通電成脈衝狀，則通電會被間歇性地進行，可縮小陽極氧化的進行速度（比連續通電時還要小）。因此，容易控制多孔質構造部（被多孔質化的領域）的厚度。

（實施形態 7）

以下，說明本發明之實施形態 7。

在實施形態 6 中，多結晶矽的陽極氧化處理是以流通一定電流密度或脈衝狀電流的方式來進行。相對的，就實施形態 7 的電流圖案而言，是交互設置於以 p 型矽基板 16 作為正極的期間與作為負極的期間，且於各期間分別流通脈衝狀的電流。

若形成如此的電流圖案，則多孔質化會在 p 型矽基板 16 為正極的期間進行。此刻，在多孔質構造部（被多孔質化的領域）中，由於多結晶矽層的厚度會變薄，電場會集中，因此電流容易流動。另一方面，p 型矽基板 16 為

（請先閱讀背面之注意事項再填寫本頁）

表
訂
線

五、發明說明 (46)

負極期間，電場所形成的氣體會產生於多孔質構造部 2 5 的附近。因此，在下個 p 型矽基板 1 6 為正極的期間，多孔質化進行較早的部位會在下次多孔質化時被抑止進行。在如此現象的重複進行下，圖 1 5 所示之多孔質構造部 2 5 的厚度會被均一化。

具體而言，如圖 2 4 所示，在多孔質半導體層 6 的形成過程中，陽極氧化處理的極性會根據脈衝而交互反相。此刻，在正極時進行多孔質化，多孔質化的狀態會依表面的形狀或半導體層的狀態而產生不均一。又，若極性反相而成負極的話，則電場會集中於多孔質化加速進行的部份，且載波集中。因此，該部份會產生多量的氣體 3 8。並且，在氣體 3 8 發生處會停止與電解質接觸，而於下個正極時變成不會進行多孔質化。藉由該情況的重複進行，多孔質構造部 2 5 的厚度會在面內全體被均一化。如此一來，若多孔質構造部 2 5 的厚度被均一化，則可實現放出電子量的面內分布極小的電子源 1 0。

脈衝狀電流的 1 次通電期間（亦即脈衝寬度）或 1 次的電流密度是依照電解液的組成及溫度而適宜選擇。亦即，根據電解液的組成及溫度來調整陽極氧化處理時的電荷量。具體而言，與實施例 6 的情況相同，是按照電解液的組成及溫度來設定光照射的條件。最好是在 p 型矽基板 1 6 為正極的期間，電流密度能夠形成 $1 \sim 200 \text{ mA} / \text{cm}^2$ ，在 p 型矽基板 1 6 為負極的期間，電流密度能夠形成 $-2 \sim -100 \text{ mA} / \text{cm}^2$ 之方式來使脈衝狀電流通電

（請先閱讀背面之注意事項再填寫本頁）

衣

訂

線

五、發明說明 (47)

。並且，在正極期間，最好脈衝狀電流的通電時間為 1 秒以下。

本實施形態中，在陽極氧化處理時，通電方向會被交互反相，且電流會通電成脈衝狀。藉此，多孔質半導體層 6 之多孔質構造部 2 5（多孔質化的領域）的厚度會大致形成均一，且多孔質構造部 2 5 之深度方向的不均一可形成 $0.5 \mu\text{m}$ 以下。又，以多孔質構造部 2 5 的一部份不會先到達 n 型領域 8 a 之方式來進行控制，因此可防止 n 型領域 8 a 的電解液所造成的損傷。又，多孔質半導體層 6 中，使多孔質構造部的厚度幾乎成均一化的結果，可使電子從 n 型領域 8 a 與導電性薄膜 7 所選擇出的多孔質半導體部 6 a 的幾乎全面放出。因此，與多孔質構造部 2 5 的厚度不均一時相較下，電子的放出效率會提高，且電子的放出量會變多。其他構成及動作則與實施形態 6 的情況時相同。

（實施形態 8）

以下，說明本發明之實施形態 8。

在實施形態 8 中是使用導電性基板，該導電性基板是在玻璃基板的 1 個表面上設有作為導電體層的白金電極。玻璃基板的材料是依照製造過程的處理溫度來從石英玻璃，無鹼玻璃，低鹼玻璃及蘇打石灰玻璃等來選擇出。在此，之所以會使用白金來作為導電體層，那是因為白金對氫氟酸具有耐蝕性。

（請先閱讀背面之注意事項再填寫本頁）

訂線

五、發明說明 (48)

如圖 2 5 A 所示，在由玻璃基板所構成的絕緣性基板 1 3 的 1 個表面上，藉由濺鍍法來形成導電體層 8 b（由厚度 $0.2 \mu\text{m}$ 的白金薄膜所構成）。然後，利用離子蝕刻，導電體層 8 b 會被形成條紋狀圖案。又，導電體層 8 b（白金薄膜）的形成方法並非只限定於濺鍍法，例如亦可使用蒸鍍法等。

其次，如圖 2 5 B 所示，未摻雜的多結晶矽層 3 會形成 $0.5 \mu\text{m}$ 的厚度，而來覆蓋絕緣性基板 1 3 及導電體層 8 b。

又，如圖 2 5 C 所示，多結晶矽層 3 會使其導電體層 8 b 的上側部份殘留，然後利用 R I E 法來形成圖案。藉由該圖案形成，多孔質半導體層 6 之多孔質半導體部 6 a 的部位之圖案會被形成。接著，以導電體層 8 b 作為一方的電極，進行與實施形態 6 或 7 相同的陽極氧化處理，而使多結晶矽層形成多孔質化。多孔質化的深度會被設定成幾乎相等於多結晶矽層 3 的厚度，而使多孔質化的領域幾乎到達導電體層 8 b。在此，陽極氧化時，即使電解液含氫氟酸，也會因為導電體層 8 b 對氫氟酸具有耐蝕性，所以導電體層 8 b 不會被腐蝕。並且，在陽極氧化處理後，利用退火裝置，在乾燥氧氣環境中藉由急速熱氧化（R T O）來形成多孔質半導體部 6 a（由被熱氧化的多孔質多結晶矽所構成）。又，根據玻璃的種類，亦可使用電漿的氧化方法，或電氣化學性（例如，酸）的氧化方法。

然後，如圖 2 5 D 所示，利用 E B 蒸鍍法來形成由金

（請先閱讀背面之注意事項再填寫本頁）

表
訂
線

五、發明說明 (49)

屬膜所構成的導電性薄膜 7 (表面電極) , 而來覆蓋絕緣性基板 1 3 及多孔質半導體部 6 a , 並且經由圖案形成過程來形成條紋狀的導電性薄膜 7 (表面電極) , 而完成電子源 1 0 。

此外, 在本實施形態中, 由於在絕緣性基板 1 3 上設有多結晶矽層, 因此在電子源 1 0 的周邊部份會形成活用多結晶矽層的半導體元件, 而使得電子源 1 0 的驅動電路等可以和絕緣性基板 1 3 一起形成。

另外, 在本實施形態中, 多孔質半導體部 6 a 之多孔質構造部 (多孔質化的領域) 的厚度幾乎相等於多結晶矽層的厚度。因此, 多孔質半導體部 6 a 的多孔質構造部會被施加全電壓。藉此, 可使施加後的電壓不會損失, 來利用於電子的放出, 進而能夠增大電子的放出量。在本實施形態中, 雖是使用絕緣性基板 1 3 上設有由白金所構成的導電體層 8 b 者, 但只要是對氫氟酸具有耐蝕性的材料, 亦可使用白金以外的材料。又, 亦可藉耐蝕性材料來保護其他的導電性材料, 而來形成導電體層 8 b 。其他構成及動作則與實施形態 6 相同。

(實施形態 9)

以下, 說明本發明之實施形態 9 。

如上述圖 9 所示, 就實施形態 9 的電場放射型電子源的基本構成而言, 其特徵是在實施形態 6 的多孔質半導體層 6 的表面部份設置比其他部份 6 d 的阻抗還要低之預定

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

五、發明說明 (50)

厚度的低阻抗層 6 c。在此，低阻抗層 6 c 的厚度是被設定成比該低阻抗層 6 c 中的電子平均自由行程還要小。藉此，可控制因低阻抗層 6 c 的設置而造成電子放出效率的下降。

此外，在本實施形態的電子源 10 中，在形成電場時，低阻抗層 6 c 具有作為虛擬電極的機能，且多孔質半導體層 6 的表面部份會幾乎形成同電位。因此，在多孔質半導體層 6 與導電性薄膜 7（由金屬膜所構成）之間，即使有與彼接觸的部份或未接觸的部份，在多孔質半導體層內部，電場還是會均一地形成於面內。藉此，面內的放出電子量的不均一情況會被控制住。如此一來，將電子源 10 應用於顯示器等時，可以縮小畫面亮度面內的不均一。

以下，將說明低阻抗層 6 c 的形成方法。亦即，形成低多孔度層（低阻抗層 6 c）的方法如下述。

首先，在實施形態 6 所示之陽極氧化處理中，是以一定的光功率來照射光，而使陽極氧化處理期間的電流密度變化。在此，陽極氧化處理期間的最初預定時間，電流密度會變小，預定期間後，電流密度會變大。藉此，在多孔度較大的多孔質多結晶矽層的上層會形成多孔度小且阻抗低的多孔質多結晶矽層。又，如實施形態 6 所示，亦可於陽極氧化處理時，保持一定的電流密度，而使光功率變化。此情況，陽極氧化處理期間的最初預定時間，照射於表面的光功率較小，預定期間後，光功率會變大。即使如此，還是可以實現與上述同樣的構造。

（請先閱讀背面之注意事項再填寫本頁）

表

訂

線

五、發明說明 (51)

就上述製造方法而言，在多孔質多結晶矽層的形成過程中，可同時將多孔度較小的多孔質多結晶矽層（低阻抗層）形成於多孔質多結晶矽層的表面部份。因此，不需要再另外追加用以形成低阻抗層 6 c 的過程，而能夠以低成本來實現面內的電子放出量不均一情況少的電子源 1 0。

具體而言，例如多結晶矽層的厚度為 $1.5 \mu\text{m}$ 時，陽極氧化期間的電流密度最初 4 秒間為一定值（ $3 \text{ mA} / \text{cm}^2$ ），之後的 1 0 秒間為一定值（ $30 \text{ mA} / \text{cm}^2$ ）。並且，多孔質多結晶矽層的多孔度是根據陽極氧化時的電流大小來決定。如此一來，多孔質多結晶矽層中，表面側的多孔質多結晶矽層的多孔度要比導電性基板側的多孔質多結晶矽層來得小。

（實施形態 1 0）

以下，說明本發明之實施形態 1 0。在此，實施形態 1 0 的電子源 1 0 是與實施形態 9 的情況相同，僅製造方法有所不同。亦即，本實施形態的特徵是藉由再結晶層的氧化（或氮化）來形成設置於多孔質半導體層 6 的表面部份之低阻抗層 6 c，該再結晶層是對多孔質多結晶矽層 4 的表面部份進行再結晶化。因此，以下只針對實施形態 1 0 之電子源 1 0 的製造方法加以說明。除了低阻抗層 6 c 的形成方法以外，其他則與實施形態 9 的情況相同。亦即，藉由陽極氧化來使多結晶矽層 3 形成多孔質化，而藉此來形成多孔質多結晶矽層 4。在此，由於陽極氧化時

（請先閱讀背面之注意事項再填寫本頁）

表

訂

線

五、發明說明 (52)

的電流密度及光的功率為一定，因此多孔質多結晶矽層的厚度方向的多孔度為一樣。

如圖 2 6 A 所示，該電子源 1 0 的製造方法，在導電性基板 1（由 n 型矽基板所構成）的背面形成有歐姆電極 2。其次，在導電性基板 1 的表面上形成有多結晶矽層 3，而取得圖 2 6 A 所示的構造。

然後，藉由陽極氧化來使多結晶矽層 3 形成多孔質化，而來形成多孔質多結晶矽層 4，取得圖 2 6 B 所示的構造。在本實施形態中，由於陽極氧化時的電流密度及光的功率為一定，因此多孔質多結晶矽層 4 的多孔度在厚度方向上一樣。

此外，在形成多孔質多結晶矽層 4 後，利用雷射退火法來使多孔質多結晶矽層 4 的表面部份形成再結晶化。然後，藉由多孔質多結晶矽層 4 的氧化（或氮化）處理來形成設有低阻抗層 6 c 的多孔質半導體層 6，而取得圖 2 6 C 所示的構造。在此，利用雷射退火法來使多孔質多結晶矽層 4 的表面部份再結晶化時，例如可對多孔質多結晶矽層 4 的表面照氬雷射及准分子雷射（excimer laser）。

另外，在形成多孔質半導體層 6 後，在多孔質半導體層 6 上（亦即，低阻抗層 6 c 上）形成由金屬膜所構成的導電性薄膜 7，而取得圖 2 6 D 所示構造的電子源 1 0。

換言之，在本實施形態中，利用雷射退火法而被再結晶化的表面部份會形成低阻抗層 6 c。因此，可比較簡單

（請先閱讀背面之注意事項再填寫本頁）

訂 線

五、發明說明 (53)

地設置低阻抗層 6 c。藉此，可以較低成本來實現面內的電子放出量不均一情況少的電子源 1 0。

在本實施形態的電場放射型電子源 1 0 中，亦可取得與實施形態 9 相同的效果。又，由於低阻抗層 6 c 是由多孔質多結晶矽層 4 的表面部份再結晶化的再結晶層所構成，因此可使多孔質半導體層 6 的表面凹凸變少。藉此，往多孔質半導體層 6 的表面凸部前端或凹部底的電場集中會被控制住。如此一來，將電子源 1 0 應用於顯示器等時，可以防止只有畫面的特定點變亮，進而能夠縮小畫面亮度面內的不均一。

(實施形態 1 1)

以下，說明本發明之實施形態 1 1。在此，實施形態 1 1 的電子源 1 0 是與實施形態 9 的情況相同，僅製造方法有所不同。本實施形態的特徵是藉由雜質導入層的氧化（或氮化）來形成低阻抗層 6 c，該雜質導入層是從多孔質多結晶矽層 4 的表面側來離子植入雜質（例如磷，硼等）。

其電子源 1 0 的製造方法大致與實施形態 1 0 相同，只有下述的這點有所不同，亦即在於多孔質多結晶矽層 4（參照圖 2 6 B）被形成後，從多孔質多結晶矽層 4 的表面側，利用離子植入法來將雜質離子植入後，對多孔質多結晶矽層 4 進行氧化（或氮化）處理，而來設置低阻抗層 6 c。

（請先閱讀背面之注意事項再填寫本頁）

訂 線

五、發明說明 (54)

換言之，本實施形態是在離子植入後，藉由多孔質多結晶矽層 4 的氧化（或氮化）而來使其表面部份形成低阻抗層 6 c。因此，可控制性佳地設置低阻抗層 6 c，可以較低成本來實現面內的電子放出量不均一情況少的電子源 1 0。

在本實施形態的電場放射型電子源 1 0 中，亦可取得與實施形態 9 相同的效果。又，由於低阻抗層 6 c 是由多孔質多結晶矽層 4 的表面側離子植入雜質的雜質導入層所構成，因此可容易控制低阻抗層 6 c 的雜質濃度或分布。

（實施形態 1 2）

以下，說明本發明之實施形態 1 2。在此，實施形態 1 2 的電子源 1 0 是與實施形態 9 的情況相同，僅製造方法有所不同。本實施形態的特徵是藉由擴散層的氧化（或氮化）來形成低阻抗層 6 c，該擴散層是利用擴散法來從多孔質多結晶矽層 4 的表面擴散雜質（例如磷，硼等）。

其電子源 1 0 的製造方法大致與實施形態 1 0 相同，只有下述的這點有所不同，亦即有多孔質多結晶矽層 4（參照圖 2 6 B）被形成後，從多孔質多結晶矽層 4 的表面，利用擴散法使雜質擴散後，對多孔質多結晶矽層 4 進行氧化（或氮化）處理，而來形成低阻抗層 6 c。

換言之，本實施形態是在雜質擴散後，藉由多孔質多結晶矽層 4 的氧化（或氮化）而來使其表面部份形成低阻抗層 6 c。因此，可較為簡單地設置電子放出面積大的低

（請先閱讀背面之注意事項再填寫本頁）

表
訂
線

五、發明說明 (55)

阻抗層 6 c。藉此，可以較低成本來實現面內的電子放出量不均一情況少的電子源 1 0。

在本實施形態的電場放射型電子源 1 0 中，亦可取得與實施形態 1 相同的效果。又，由於低阻抗層 6 c 是由多孔質多結晶矽層 4 的表面使雜質擴散的擴散層所構成，因此與利用離子植入法來植入雜質時相較下，可以較為容易增大電子放出面積。

以上，本發明雖是針對特定的實施形態加以說明，但並非僅限定於這些實施形態，只要不脫離本案申請專利範圍的主旨，亦可實施其他種種的變形例或修正例。

〔圖面之簡單說明〕

第 1 圖是用以說明本發明之電場放射型電子源的電子放出機構的原理的模式圖。

第 2 圖是用以說明第 1 圖之電場放射型電子源的電子放出動作的模式圖。。

第 3 圖是表示本發明之電場放射型電子源的正面剖面圖（導電性基板為玻璃基板上形成有導電性膜的基板）。

第 4 圖是用以說明多孔質半導體層內之熱移動的狀態的模式圖。

第 5 圖是表示多孔質半導體層的厚度與每單位面的電子放出量的關係圖表。

第 6 圖是表示多孔質半導體層厚度較大時與厚度較小時之推測的電子放出狀態的模式圖。

（請先閱讀背面之注意事項再填寫本頁）

表
訂
線

五、發明說明 (56)

第 7 圖是表示柱狀構造部的高度與多孔質構造部的高度不同時與相同時之導電性薄膜狀態的模式圖。

第 8 A 圖是表示未使用多結晶矽之多孔質半導體層的構造模式圖。

第 8 B 圖是表示使用多結晶矽之多孔質半導體層的構造模式圖。

第 9 圖是表示本發明之電場放射型電子源的正面剖面圖 (導電性基板為 n 型矽基板) 。

第 1 0 圖是表示在多孔質半導體層中未設置低阻抗層與設置低阻抗層時之電場狀態的模式圖。

第 1 1 圖是表示低阻抗層的多孔度較大時與較小時之導電性薄膜狀態的模式圖。

第 1 2 圖是表示低阻抗層未被再結晶化時與被再結晶化時之低阻抗層的表面狀態的模式圖。

第 1 3 圖是表示多孔質半導體層的表面對導電性基板的表面而言為傾斜時與平行時之電場狀態的模式圖。

第 1 4 圖是表示多孔質半導體層的厚度不均一情況較大時之電場放射型電子源的正面剖面圖。

第 1 5 圖是表示多孔質半導體層的厚度不均一情況較小時之電場放射型電子源的正面剖面圖。

第 1 6 圖是表示多孔質半導體層的厚度不均一情況較大時與較小時之電子放出狀態的模式圖。

第 1 7 圖是表示多孔質半導體層的厚度比導電性薄膜與導電性基板的間隔還要小時與大致相等時之多孔質半導

(請先閱讀背面之注意事項再填寫本頁)

訂 線

五、發明說明 (57)

體層狀態的模式圖。

第 18 圖是表示在導電性基板中未設置耐蝕性導電體層時與設置耐蝕性導電體層時之蝕刻狀態的模式圖。

第 19 圖是表示本發明之電場放射型電子源的立體圖（導電性基板為 p 型矽基板）。

第 20 圖是表示形成有接觸部之第 19 圖的電場放射型電子源的立體圖。

第 21 圖是表示第 19 圖之電場放射型電子源的正面剖面圖。

第 22 A ~ 22 F 圖是表示第 21 圖之電場放射型電子源的製造過程的主要過程之中間體或製品的正面剖面圖。

第 23 圖是表示用以製作第 19 圖之電場放射型電子源的陽極氧化裝置的模式圖。

第 24 圖是表示進行極性交互反相的陽極氧化處理時之多孔質化的進行狀態的模式圖。

第 25 A ~ 25 D 圖是表示本發明之電場放射型電子源的製造過程的主要過程之中間體或製品的正面剖面圖（導電性基板為玻璃基板上形成有導電性膜的基板）。

第 26 A ~ 26 D 圖是表示本發明之電場放射型電子源的製造過程的主要過程之中間體或製品的正面剖面圖（導電性基板為 n 型矽基板）。

〔符號之說明〕

（請先閱讀背面之注意事項再填寫本頁）

訂
線

五、發明說明 (58)

- 1 : 導電性基板
- 2 : 歐姆電極
- 3 : 多結晶矽層
- 4 , 5 : 多孔質多結晶矽層
- 6 : 多孔質半導體層
- 6 a : 多孔質半導體部
- 6 b : 分離部
- 6 c : 低阻抗層
- 7 : 導電性薄膜
- 8 a : n 型領域
- 8 b : 導電性基板 (導電體層)
- 9 : 光阻劑層
- 1 0 : 電子源
- 1 2 : 集極電極
- 1 3 : 絕緣性基板
- 1 4 : 玻璃基板
- 1 5 : 螢光體層
- 1 6 : p 型矽基板
- 2 1 , 2 6 : 柱狀構造部
- 2 2 : 絕緣膜
- 2 3 : 微結晶矽
- 2 4 : 絕緣膜
- 2 5 , 2 7 : 多孔質構造部
- 3 0 : 被處理物

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (59)

3 3 : 對 極

3 5 : 機 能 發 送 器

3 6 : 恆 流 器

3 8 : 氣 體

V p s : 直 流 電 壓

I p s : 二 極 體 電 流

I e : 放 出 電 子 電 流

(請先閱讀背面之注意事項再填寫本頁)

訂 線

四、中文發明摘要(發明之名稱：電場放射型電子源及其製造方法)

本發明之電場放射型電子源(10)是具備：

導電性基板(1)；及

形成於導電性基板(1)的一個表面上，且至少一部份會被多孔質化之半導體層(6)；及

形成於半導體層上之導電性薄膜(7)。

此外，在導電性薄膜(7)與導電性基板(1)之間，會以導電性薄膜(7)對導電性基板(1)而言能夠形成正極之方式來施加電壓，而使注入導電性基板(1)的電子可以通過半導體層來從導電性薄膜(7)放出。

另外，半導體層含有多孔質半導體層6，該多孔質半導體層6混在：各表面以絕緣層(22, 24)所覆蓋之柱狀構造部(21)，及由毫微米單位的半導體微結晶所構成之多孔質構造部(25)。

再者，由半導體層的厚度方向來看，多孔質構造部25的平均尺寸為2 μ m以下。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要(發明之名稱：)

FIELD EMISSION-TYPE ELECTRON SOURCE AND MANUFACTURING
METHOD THEREOF

A field emission-type electron source 10 is provided with a conductive substrate 1, a semiconductor layer formed on a surface of the conductive substrate 1, at least a part of the semiconductor layer being made porous, and a conductive thin film 7 formed on the semiconductor layer. Electrons injected into the conductive substrate 1 are emitted from the conductive thin film 7 through the semiconductor layer by applying a voltage between the conductive thin film 7 and the conductive substrate 1 in such a manner that the conductive thin film 7 acts as a positive electrode against the conductive substrate 1. The semiconductor layer includes a porous semiconductor layer 6 in which columnar structures 21 and porous structures 25 composed of fine semiconductor crystals of nanometer scale coexist, a surface of each of the structures being covered with an insulating film 22, 24. Further, an average dimension of each of the porous structures 25 in a thickness direction of the semiconductor layer is smaller than or equal to 2 μ m.

訂

六、申請專利範圍

1、一種電場放射型電子源，是屬於一種包含：

導電性基板；及

形成於導電性基板的 1 個表面上，且至少一部份會被多孔質化之半導體層；及

形成於半導體層上之導電性薄膜；

並且，在導電性薄膜與導電性基板之間，以導電性薄膜對導電性基板而言能夠形成正極之方式來施加電壓，而使注入導電性基板的電子可以通過半導體層來從導電性薄膜放出之電場放射型電子源；其特徵為：

半導體層含多孔質半導體層，該多孔質半導體層混在：各表面以絕緣層所覆蓋之柱狀構造部，及由毫微米單位的半導體微結晶所構成之多孔質構造部；

並且，由半導體層的厚度方向來看，多孔質構造部的平均尺寸為 $2\ \mu\text{m}$ 以下。

2、如申請專利範圍第 1 項之電場放射型電子源，其中由半導體層的厚度方向來看，柱狀構造部的導電性薄膜側的端部與多孔質構造部的導電性薄膜側的端部是配置於相同位置。

3、如申請專利範圍第 1 項之電場放射型電子源，其中多孔質半導體層是由利用陽極氧化而形成的多孔質多結晶矽所構成。

4、如申請專利範圍第 1 項之電場放射型電子源，其中由半導體層的厚度方向來看，多孔質構造部的最大尺寸與最小尺寸的差為 $0.5\ \mu\text{m}$ 以下。

六、申請專利範圍

5、如申請專利範圍第1項之電場放射型電子源，其中多孔質半導體層的厚度是與配置於導電性薄膜和導電性基板之間的半導體層的厚度大致相等。

6、如申請專利範圍第1項之電場放射型電子源，其中在導電性基板的半導體層側表面上設有對陽極氧化處理用電解液（使半導體層多孔質化）具有耐蝕性之耐蝕性導體層。

7、如申請專利範圍第1項之電場放射型電子源，其中由半導體層的厚度方向來看，在多孔質半導體層的導電性薄膜側的端部設有要比其他部份阻抗來得低之預定厚度的低阻抗層。

8、如申請專利範圍第7項之電場放射型電子源，其中低阻抗層的厚度要比形成該低阻抗層的半導體中之電子的平均自由行程來得小。

9、如申請專利範圍第7項之電場放射型電子源，其中低阻抗層是由比多孔質半導體層的其他部份的多孔度來得小的低多孔度層所構成。

10、如申請專利範圍第7項之電場放射型電子源，其中低阻抗層是由多孔質半導體層的表面部份被再結晶化的再結晶層所構成。

11、如申請專利範圍第7項之電場放射型電子源，其中低阻抗層是由自多孔質半導體層表面來將雜質離子植入多孔質半導體層內而形成的雜質導入層所構成。

12、如申請專利範圍第7項之電場放射型電子源，

（請先閱讀背面之注意事項再填寫本頁）

訂

線

六、申請專利範圍

其中低阻抗層是由自多孔質半導體層表面來使雜質擴散於多孔質半導體層內而形成的雜質擴散層所構成。

1 3、如申請專利範圍第 1，2 或 3 項之電場放射型電子源，其中多孔質構造部的導電性薄膜側表面是與導電性基板的表面平行。

1 4、一種電場放射型電子源的製造方法，是屬於一種包含：

導電性基板；及

形成於導電性基板的 1 個表面上，且含平均厚度為 2 μ m 以下的多孔質半導體層（該多孔質半導體層混在：各表面以絕緣層所覆蓋的柱狀構造部，及由毫微米單位的半導體微結晶所構成的多孔質構造部）之半導體層；及

形成於半導體層上之導電性薄膜；

並且，在導電性薄膜與導電性基板之間，以導電性薄膜對導電性基板而言能夠形成正極之方式來施加電壓，而使注入導電性基板的電子可以通過半導體層來從導電性薄膜放出之電場放射型電子源的製造方法；

其特徵是含：

藉由陽極氧化處理來使半導體層多孔質化，而形成多孔質半導體層之步驟；

該步驟中是以半導體層形成正極期間的電荷量來控制多孔質半導體層的厚度。

1 5、如申請專利範圍第 1 4 項之電場放射型電子源的製造方法，其中被多孔質化的半導體層在形成於其上面

（請先閱讀背面之注意事項再填寫本頁）

訂

線

六、申請專利範圍

的導電性基板與對極之間，以導電性基板呈正極的期間與呈通電關閉狀態的期間能夠交互產生之方式來施加脈衝狀的電流或電壓，並使導電性基板呈正極的期間的電荷量變化，而來控制多孔質半導體層的厚度。

1 6、如申請專利範圍第 1 4 項之電場放射型電子源的製造方法，其中被多孔質化的半導體層在形成於其上面的導電性基板與對極之間，以導電性基板呈正極的期間與呈負極的期間能夠交互反相產生之方式來施加脈衝狀的電流或電壓，並使導電性基板呈負極的期間之每一個脈衝的電荷量變化，而來使多孔質半導體層的厚度均一化。

1 7、一種電場放射型電子源的製造方法，是屬於一種包含：

導電性基板；及

形成於導電性基板的 1 個表面上，且含平均厚度為 $2\ \mu\text{m}$ 以下的多孔質半導體層（該多孔質半導體層混在：各表面以絕緣層所覆蓋的柱狀構造部，及由毫微米單位的半導體微結晶所構成的多孔質構造部）之半導體層；及

形成於半導體層上之導電性薄膜；

並且，在導電性薄膜與導電性基板之間，以導電性薄膜對導電性基板而言能夠形成正極之方式來施加電壓，而使注入導電性基板的電子可以通過半導體層來從導電性薄膜放出之電場放射型電子源的製造方法；

其特徵是含：

由半導體層的厚度方向來看，在多孔質半導體層的導

六、申請專利範圍

電性薄膜側的端部設置比其他部份的多孔度小且阻抗低之預定厚度的低阻抗層，而於導電性基板上形成半導體層之後，以半導體層的表面部份的多孔度能夠比其他部份的多孔度還要小之方式來形成多孔質半導體層之步驟；及

使多孔質半導體層氧化或氮化，而來形成含低阻抗層的多孔質半導體層之步驟；及

在多孔質半導體層上形成導電性薄膜之步驟。

18、如申請專利範圍第17項之電場放射型電子源的製造方法，其中半導體層的多孔質化是藉由陽極氧化來進行，且於陽極氧化的期間中最初的預定時間，電流密度會被設定成較小，預定期間後，電流密度會被設定成較大。

19、如申請專利範圍第17項之電場放射型電子源的製造方法，其中半導體層的多孔質化是藉由陽極氧化來進行，且於陽極氧化的期間中最初的預定時間，被照射於半導體層的表面之光功率較小，預定期間後，光功率較大。

20、一種電場放射型電子源的製造方法，是屬於一種包含：

導電性基板；及

形成於導電性基板的1個表面上，且含平均厚度為2 μ m 以下的多孔質半導體層（該多孔質半導體層混在：各表面以絕緣層所覆蓋的柱狀構造部，及由毫微米單位的半導體微結晶所構成的多孔質構造部）之半導體層；及

六、申請專利範圍

形成於半導體層上之導電性薄膜；

並且，在導電性薄膜與導電性基板之間，以導電性薄膜對導電性基板而言能夠形成正極之方式來施加電壓，而使注入導電性基板的電子可以通過半導體層來從導電性薄膜放出之電場放射型電子源的製造方法；

其特徵是含：

由半導體層的厚度方向來看，在多孔質半導體層的導電性薄膜側的端部設置：由多孔質半導體層的表面部份被再結晶化而成的再結晶層所構成，且比其他部份阻抗來得低之預定厚度的低阻抗層，而於導電性基板上形成半導體層之後，藉由半導體層的多孔質化來形成多孔質半導體層之步驟；及

藉由雷射退火法來使多孔質半導體層的表面部份再結晶化之步驟；及

使多孔質半導體層氧化或氮化，而來形成含低阻抗層的多孔質半導體層之步驟；及

在多孔質半導體層上形成導電性薄膜之步驟。

21、一種電場放射型電子源的製造方法，是屬於一種包含：

導電性基板；及

形成於導電性基板的1個表面上，且含平均厚度為2 μm 以下的多孔質半導體層（該多孔質半導體層混在：各表面以絕緣層所覆蓋的柱狀構造部，及由毫微米單位的半導體微結晶所構成的多孔質構造部）之半導體層；及

（請先閱讀背面之注意事項再填寫本頁）

訂

線

六、申請專利範圍

形成於半導體層上之導電性薄膜；

並且，在導電性薄膜與導電性基板之間，以導電性薄膜對導電性基板而言能夠形成正極之方式來施加電壓，而使注入導電性基板的電子可以通過半導體層來從導電性薄膜放出之電場放射型電子源的製造方法；

其特徵是含：

由半導體層的厚度方向來看，在多孔質半導體層的導電性薄膜側的端部設置：由利用雜質的離子植入而形成的雜質導入層所構成，且比其他部份阻抗來得低之預定厚度的低阻抗層，而於導電性基板上形成半導體層之後，藉由半導體層的多孔質化來形成多孔質半導體層之步驟；及

從多孔質半導體層的表面側，藉由離子植入法來將雜質離子植入多孔質半導體層內之步驟；及

使多孔質半導體層氧化或氮化，而來形成含低阻抗層的多孔質半導體層之步驟；及

在多孔質半導體層上形成導電性薄膜之步驟。

22、一種電場放射型電子源的製造方法，是屬於一種包含：

導電性基板；及

形成於導電性基板的1個表面上，且含平均厚度為2 μ m 以下的多孔質半導體層（該多孔質半導體層混在：各表面以絕緣層所覆蓋的柱狀構造部，及由毫微米單位的半導體微結晶所構成的多孔質構造部）之半導體層；及

形成於半導體層上之導電性薄膜；

（請先閱讀背面之注意事項再填寫本頁）

世

訂

線

六、申請專利範圍

並且，在導電性薄膜與導電性基板之間，以導電性薄膜對導電性基板而言能夠形成正極之方式來施加電壓，而使注入導電性基板的電子可以通過半導體層來從導電性薄膜放出之電場放射型電子源的製造方法；

其特徵是含：

由半導體層的厚度方向來看，在多孔質半導體層的導電性薄膜側的端部設置：由利用雜質的擴散而形成的雜質擴散層所構成，且比其他部份阻抗來得低之預定厚度的低阻抗層，而於導電性基板上形成半導體層之後，藉由半導體層的多孔質化來形成多孔質半導體層之步驟；及

從多孔質半導體層表面，藉由熱擴散法來將雜質擴散於多孔質半導體層內之步驟；及

使多孔質半導體層氧化或氮化，而來形成含低阻抗層的多孔質半導體層之步驟；及

在多孔質半導體層上形成導電性薄膜之步驟。

23、一種電場放射型電子源的製造方法，是屬於一種包含：

導電性基板；及

形成於導電性基板的1個表面上，且含平均厚度為2 μ m 以下的多孔質半導體層（該多孔質半導體層混在：各表面以絕緣層所覆蓋的柱狀構造部，及由毫微米單位的半導體微結晶所構成的多孔質構造部）之半導體層；及

形成於半導體層上之導電性薄膜；

並且，在導電性薄膜與導電性基板之間，以導電性薄

六、申請專利範圍

膜對導電性基板而言能夠形成正極之方式來施加電壓，而使注入導電性基板的電子可以通過半導體層來從導電性薄膜放出之電場放射型電子源的製造方法；

其特徵是含：

在對半導體層表面進行平滑化處理之後，藉由半導體層的陽極氧化處理來形成多孔質構造部表面與導電性基板的表面平行之多孔質半導體層。

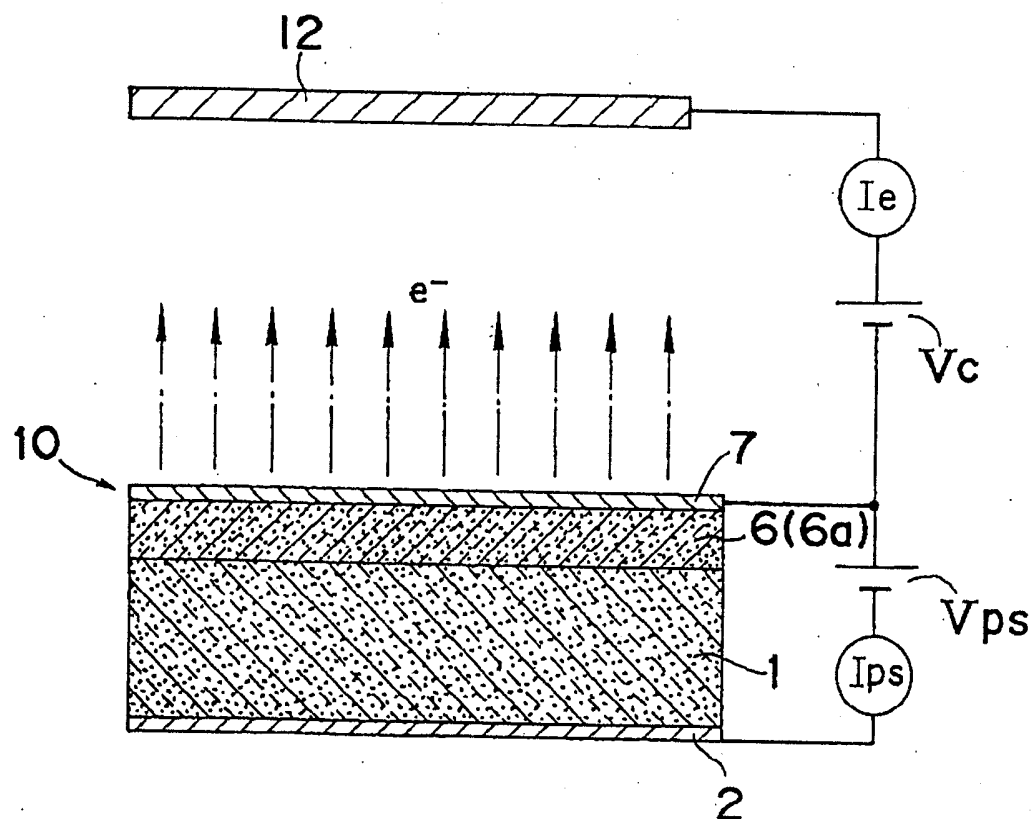
(請先閱讀背面之注意事項再填寫本頁)

訂

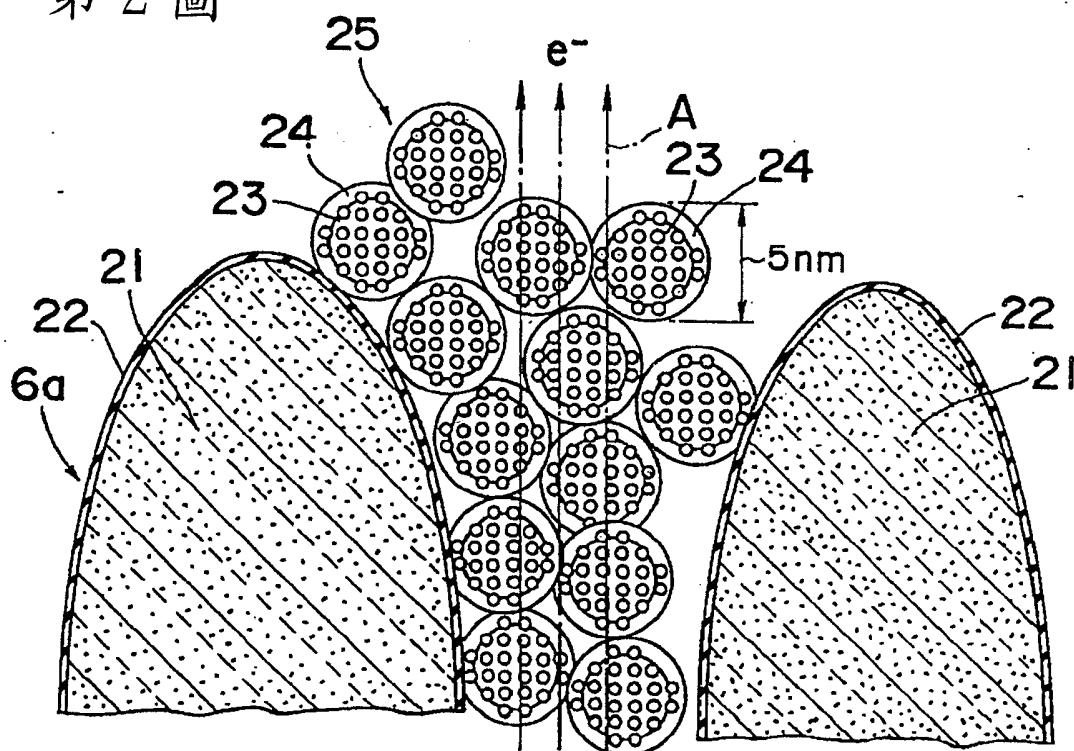
訂

線

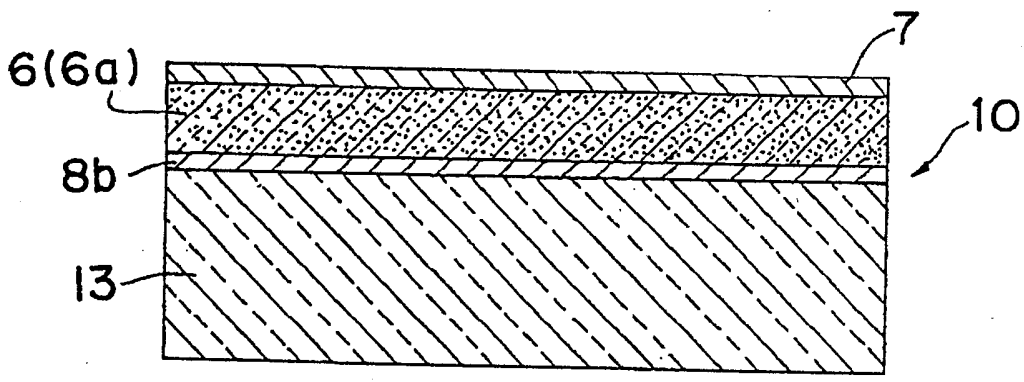
第 1 圖



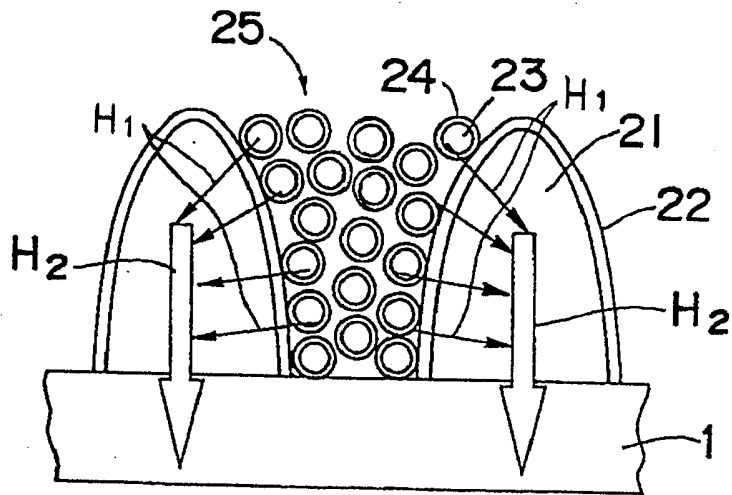
第 2 圖



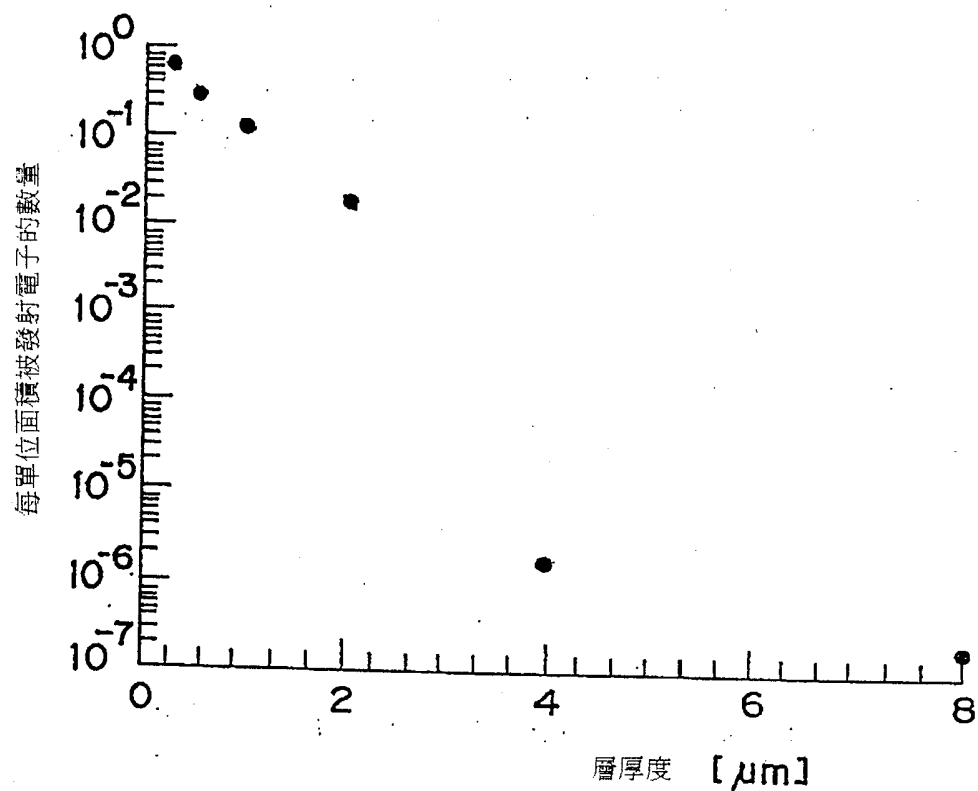
第 3 圖



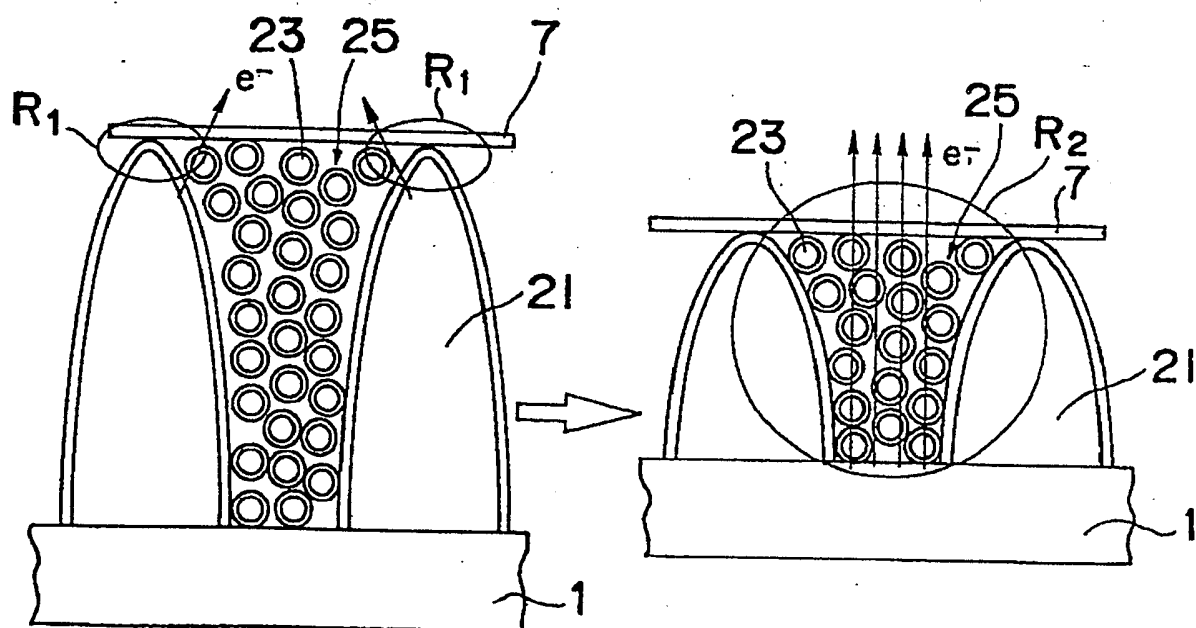
第 4 圖



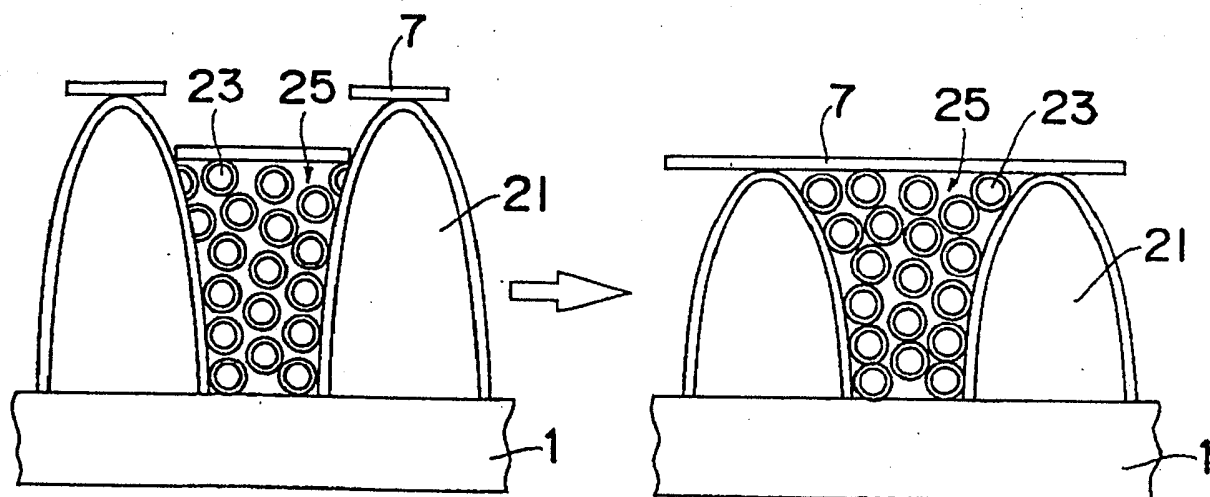
第 5 圖



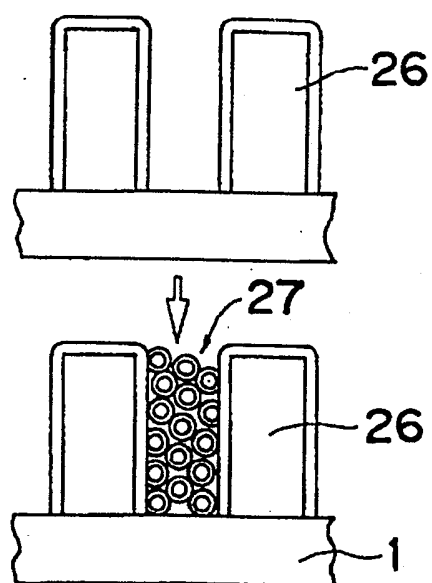
第 6 圖



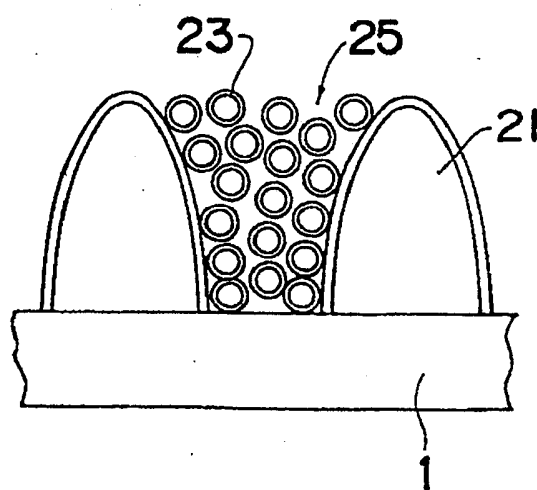
第 7 圖



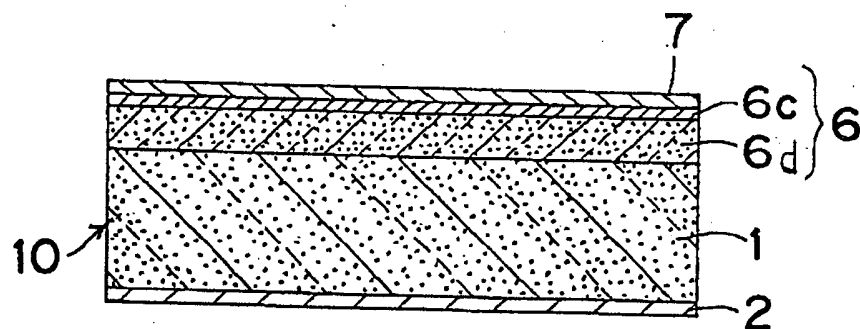
第 8 圖 A



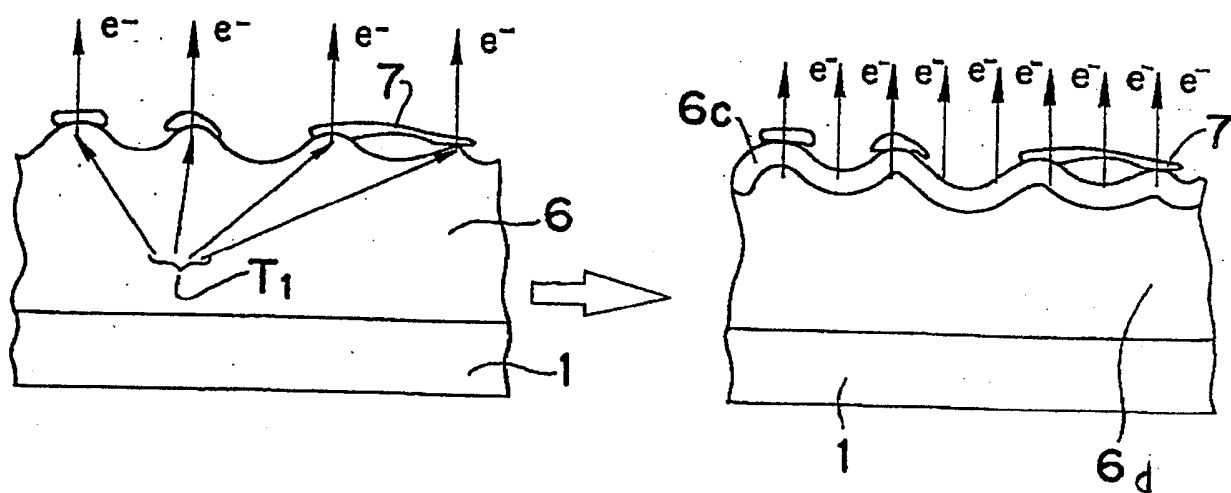
第 8 圖 B



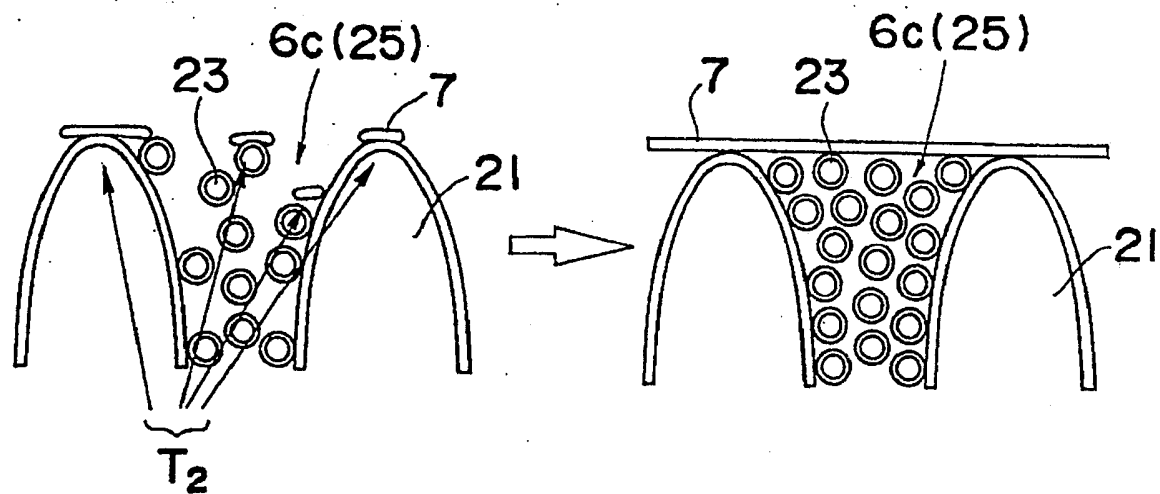
第 9 圖



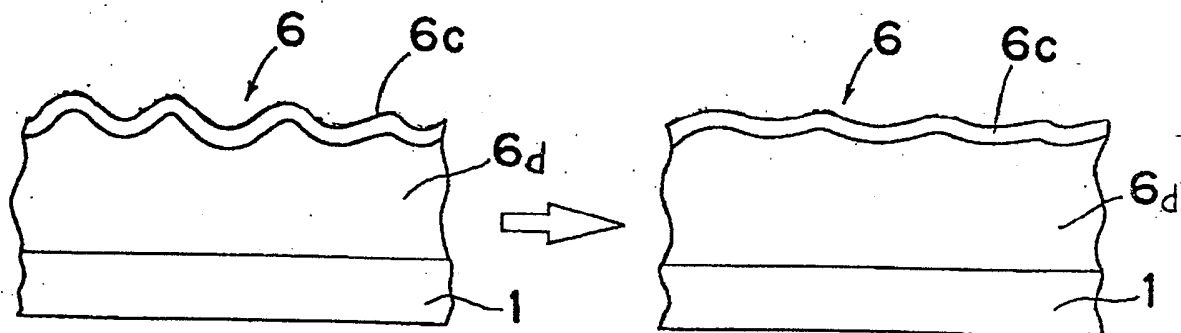
第 10 圖



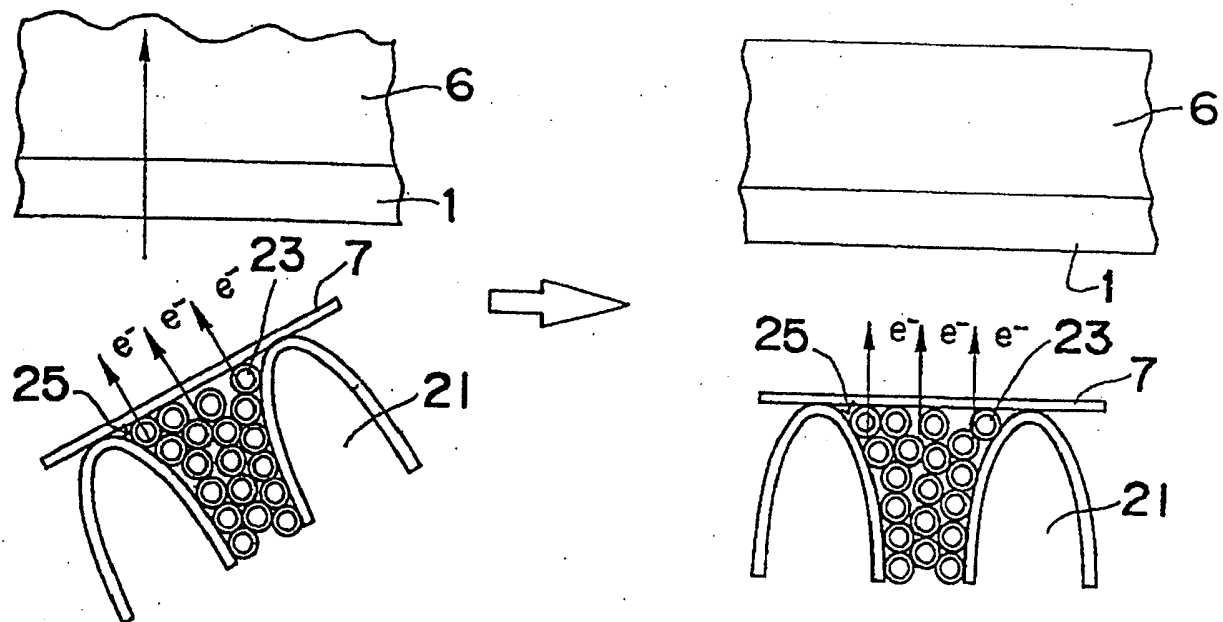
第 11 圖



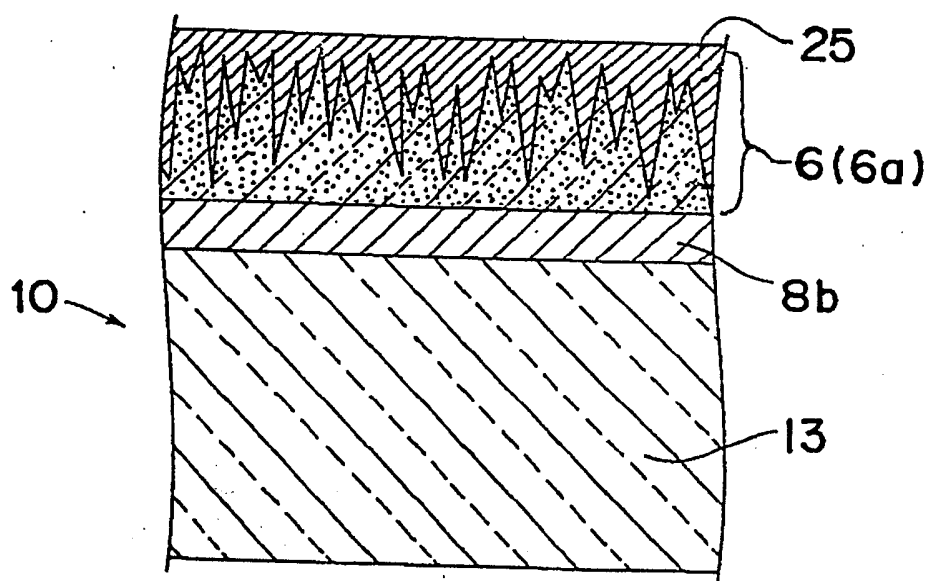
第 12 圖



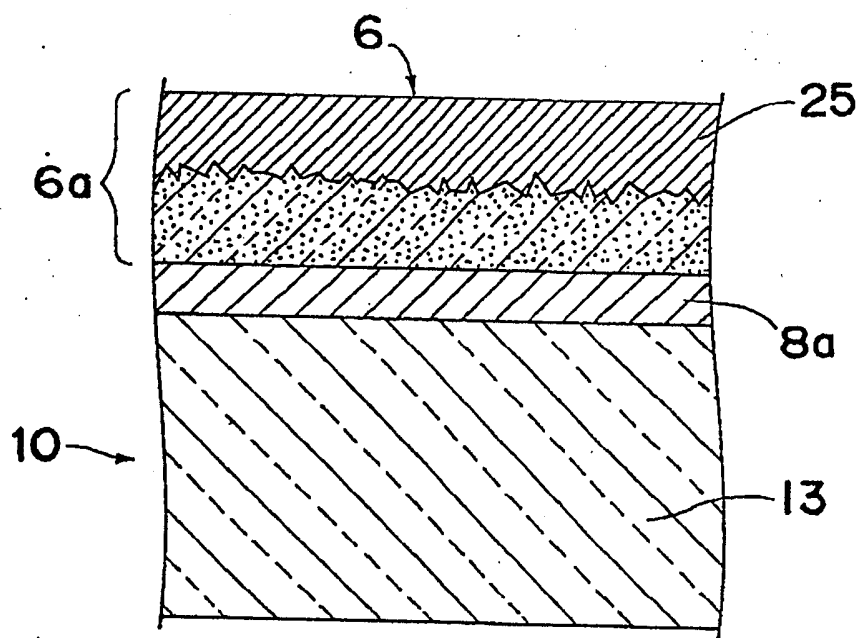
第 13 圖



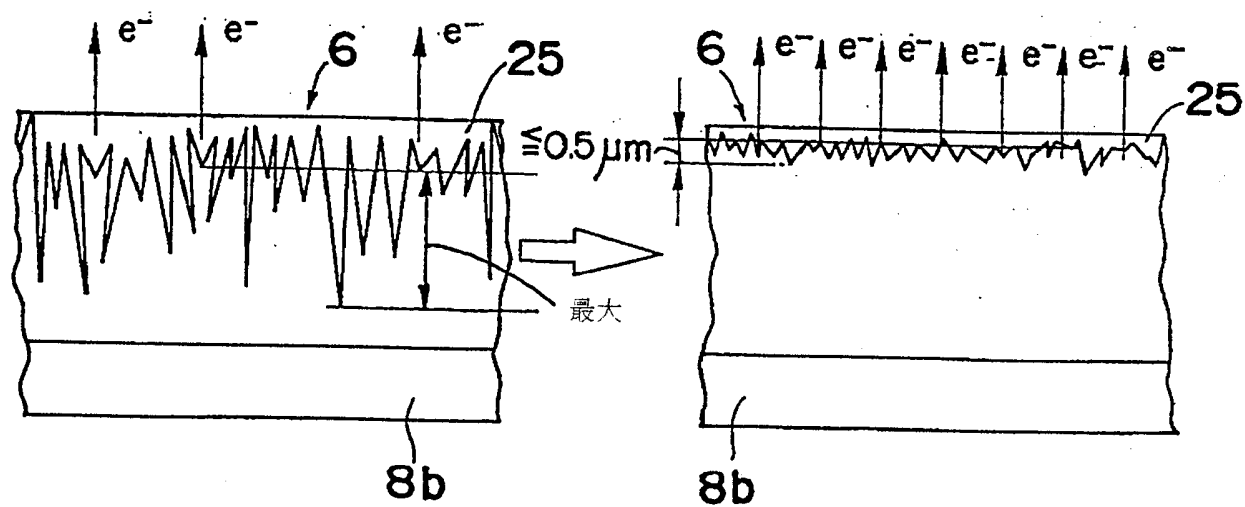
第 14 圖



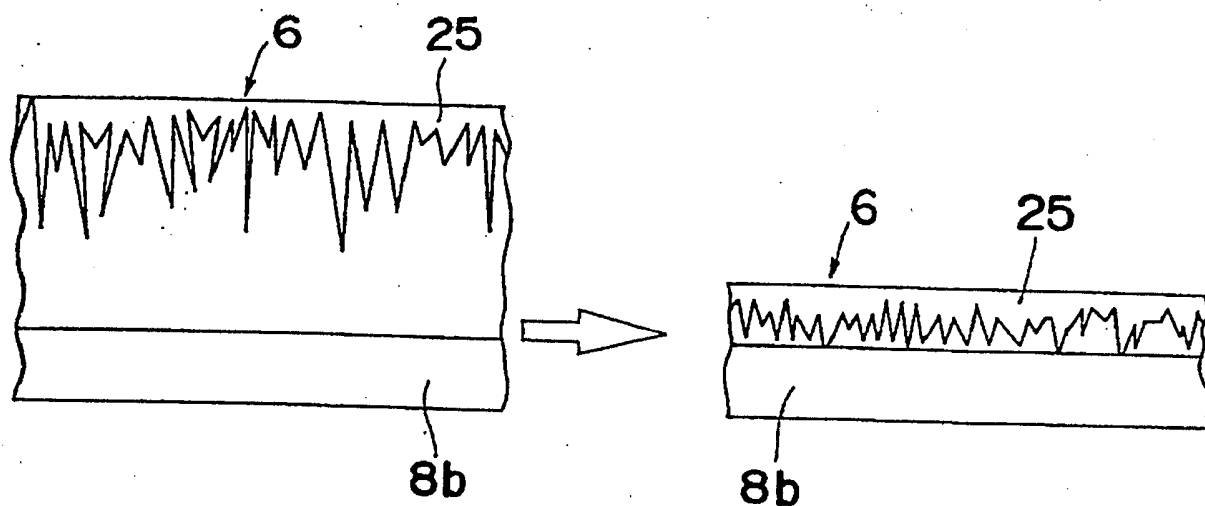
第 15 圖



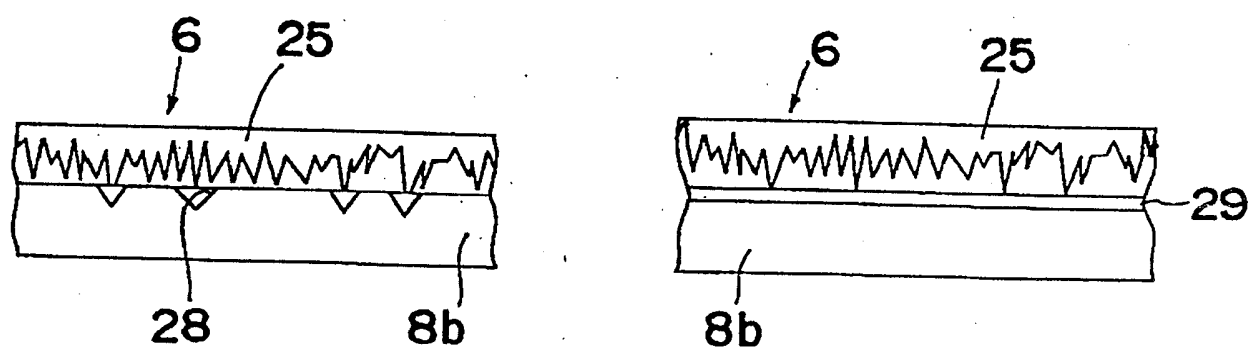
第 16 圖



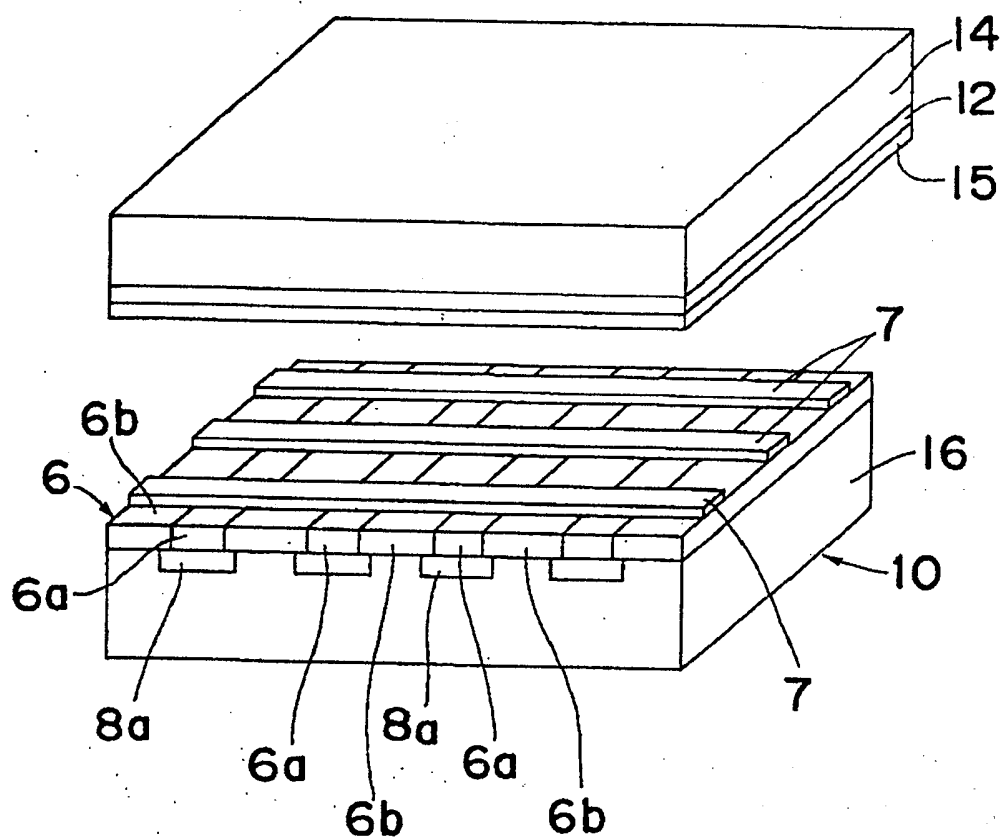
第 17 圖



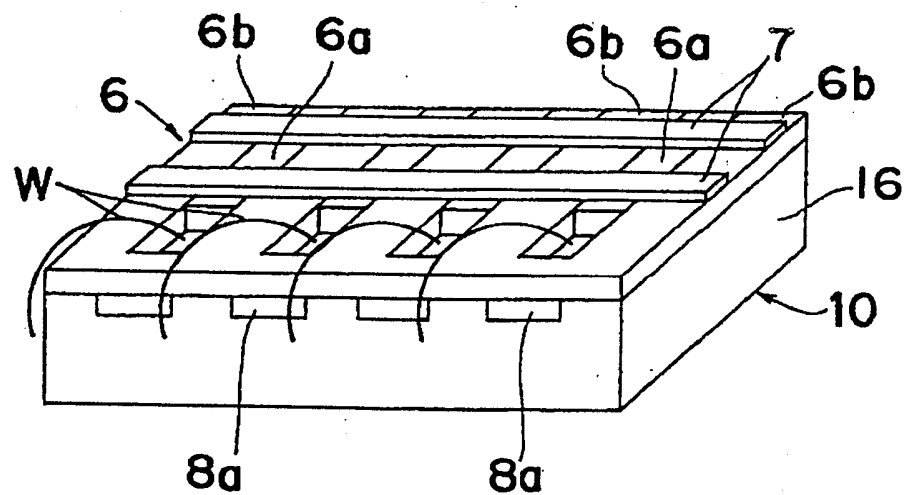
第 18 圖



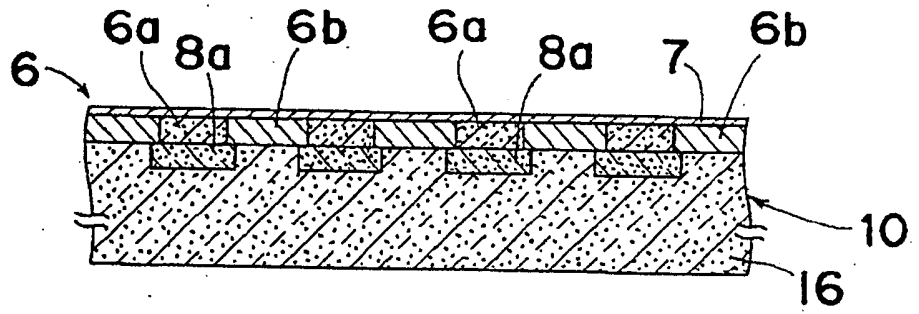
第 19 圖



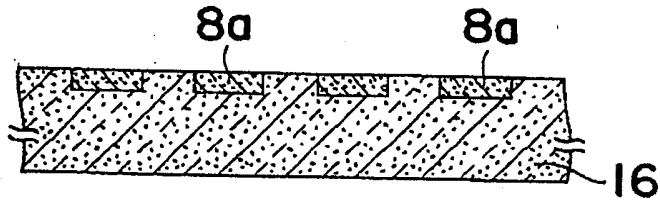
第 20 圖



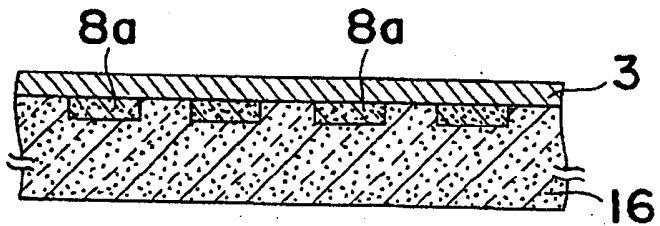
第 21 圖



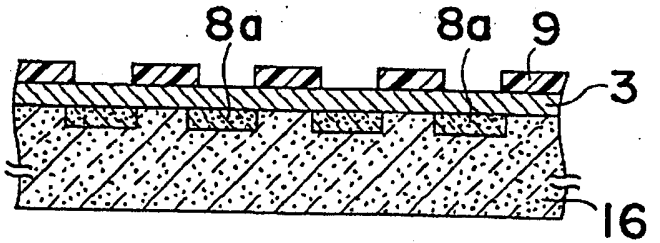
第 22 圖 A



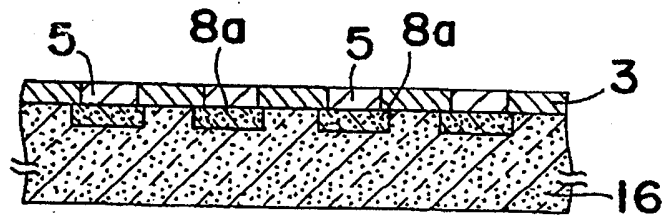
第 22 圖 B



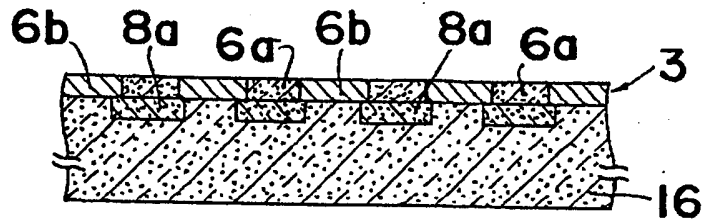
第 22 圖 C



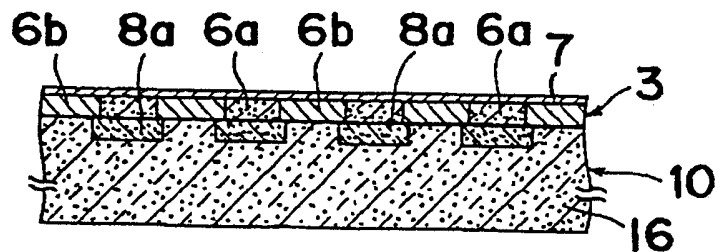
第 22 圖 D



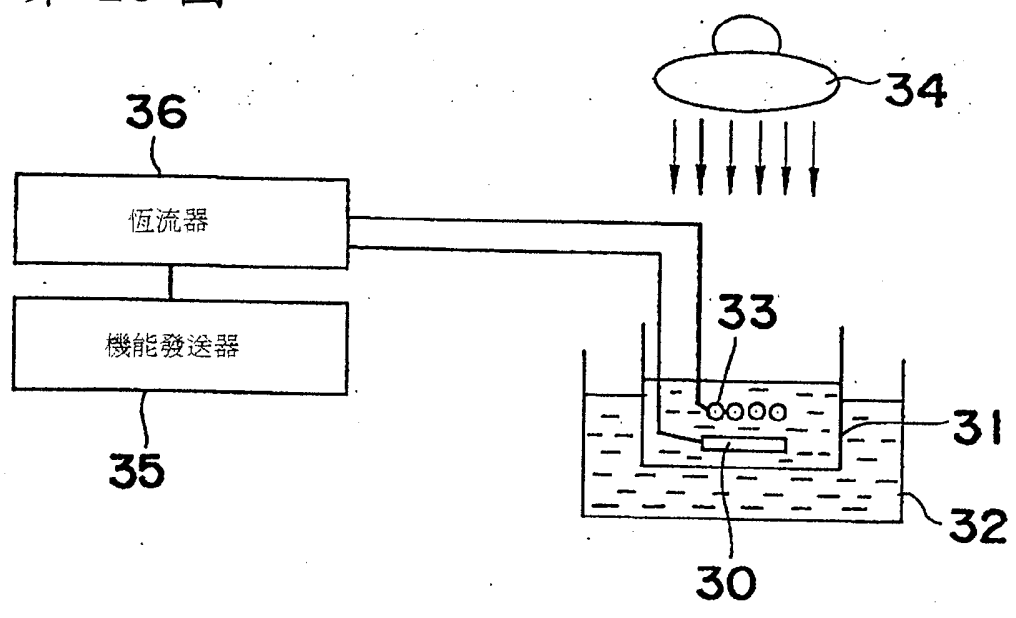
第 22 圖 E



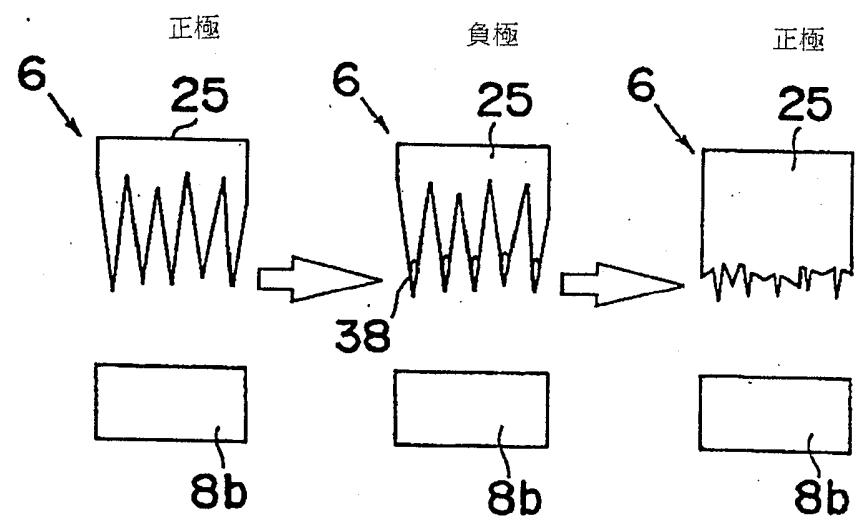
第 22 圖 F



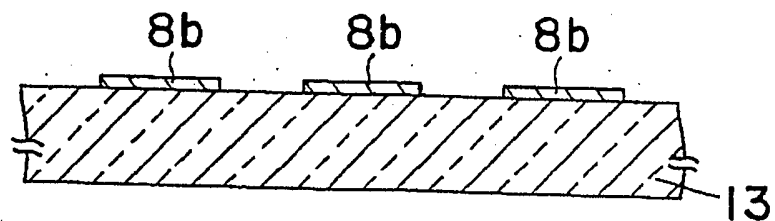
第 23 圖



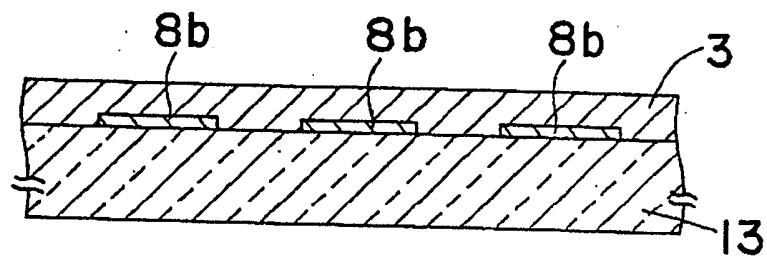
第 24 圖



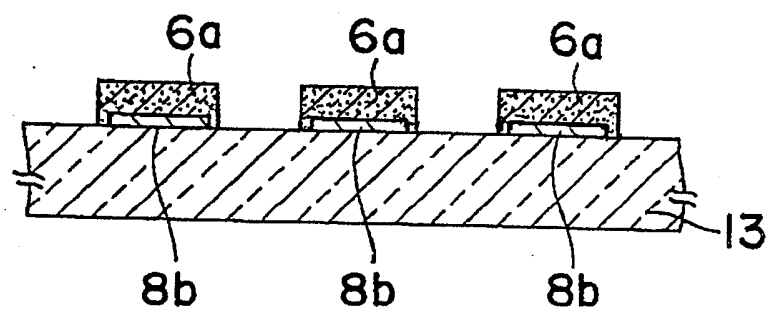
第 25 圖 A



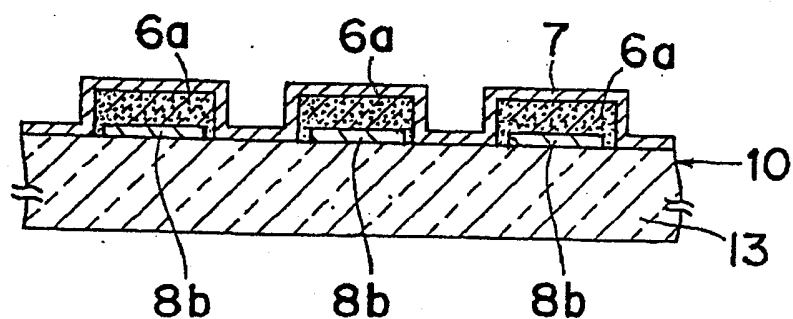
第 25 圖 B



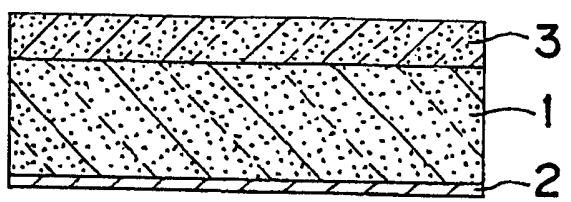
第 25 圖 C



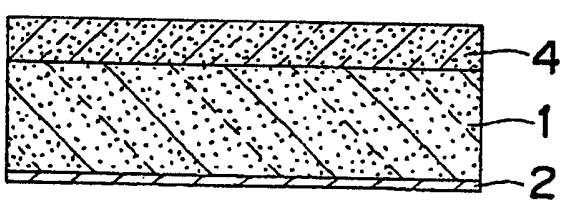
第 25 圖 D



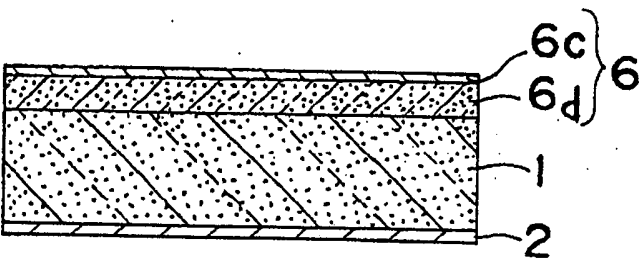
第 26 圖 A



第 26 圖 B



第 26 圖 C



第 26 圖 D

