

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-170696

(P2016-170696A)

(43) 公開日 平成28年9月23日(2016.9.23)

(51) Int.Cl.	F 1	テーマコード (参考)	
G06F 3/06 (2006.01)	G06F 3/06	301X	5B060
G06F 12/02 (2006.01)	G06F 12/02	570A	
G06F 12/00 (2006.01)	G06F 12/00	597U	
G06F 3/08 (2006.01)	G06F 12/00	560B	
G06F 13/10 (2006.01)	G06F 3/08	H	

審査請求 未請求 請求項の数 13 O L (全 20 頁) 最終頁に続く

(21) 出願番号	特願2015-50896 (P2015-50896)	(71) 出願人	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成27年3月13日 (2015.3.13)	(74) 代理人	110002147 特許業務法人酒井国際特許事務所
		(72) 発明者	長谷川 揚平 東京都港区芝浦一丁目1番1号 株式会社 東芝内
		(72) 発明者	齊藤 貴樹 東京都港区芝浦一丁目1番1号 株式会社 東芝内
		(72) 発明者	浅野 滋博 東京都港区芝浦一丁目1番1号 株式会社 東芝内
		F ターム (参考)	5B060 AB25 CA17 CB01

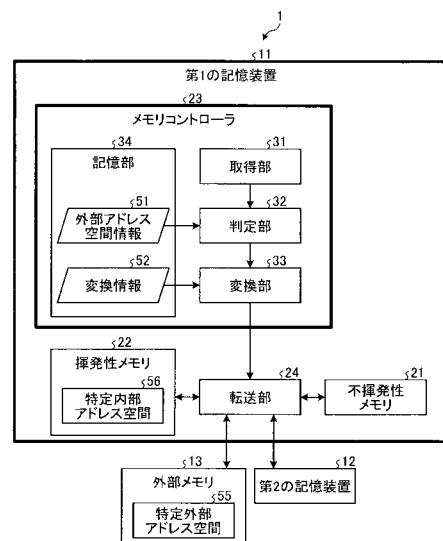
(54) 【発明の名称】メモリコントローラ、記憶装置、データ転送システム、データ転送方法、及びデータ転送プログラム

(57) 【要約】

【課題】外部メモリを中継することなく複数の記憶装置間ににおけるデータ転送を可能にする。

【解決手段】メモリコントローラ23は、データ転送時にアクセスする第1の記憶領域を示す第1のアドレス情報を含むコマンド情報を取得する取得部31と、第1の記憶領域が、外部メモリ13の特定のアドレス空間である特定外部アドレス空間55に属するかを判定する判定部32と、第1の記憶領域が特定外部アドレス空間55に属する場合に、特定外部アドレス空間55と第1の記憶装置11の特定のアドレス空間である特定内部アドレス空間56との対応関係を示す変換情報52に基づいて、第1のアドレス情報を内部アドレス空間56に属する第2の記憶領域を示す第2のアドレス情報に変換する変換部33とを備える。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

記憶装置と他の記憶装置との間で行われるデータ転送を制御するメモリコントローラであって、

前記データ転送時にアクセスする第1の記憶領域を示す第1のアドレス情報を含むコマンド情報を取得する取得部と、

前記第1の記憶領域が、外部メモリの特定のアドレス空間である特定外部アドレス空間に属するかを判定する判定部と、

前記第1の記憶領域が前記特定外部アドレス空間に属する場合に、前記特定外部アドレス空間と前記第1の記憶装置の特定のアドレス空間である特定内部アドレス空間との対応関係を示す変換情報に基づいて、前記第1のアドレス情報を前記内部アドレス空間に属する第2の記憶領域を示す第2のアドレス情報に変換する変換部と、
を備えるメモリコントローラ。

10

【請求項 2】

前記記憶装置及び前記他の記憶装置は、SSDである、
請求項1に記載のメモリコントローラ。

【請求項 3】

前記コマンド情報は、SATA規格に準拠する処理を行うための情報を含む、
請求項2に記載のメモリコントローラ。

20

【請求項 4】

前記コマンド情報は、SCSI規格に準拠する処理を行うための情報を含む、
請求項2に記載のメモリコントローラ。

【請求項 5】

前記コマンド情報は、NVMe規格に準拠する処理を行うための情報を含む、
請求項2に記載のメモリコントローラ。

【請求項 6】

前記特定内部アドレス空間は、前記記憶装置の作業領域内に設定される、
請求項1～5のいずれか1項に記載のメモリコントローラ。

【請求項 7】

前記データ転送の対象となるデータを一時的に保存するバッファメモリと、

前記コマンド情報に従って前記データを前記記憶装置、前記他の記憶装置、及び前記外部メモリの間で転送する転送部と、
を更に備え、

前記転送部は、前記第1の記憶領域が前記特定外部アドレス空間に含まれる場合に、前記データを前記バッファメモリに転送することなく前記第2の記憶領域に転送する、
請求項1～6のいずれか1項に記載のメモリコントローラ。

30

【請求項 8】

他の記憶装置との間で行われるデータ転送を制御するメモリコントローラを備える記憶装置であって、

前記メモリコントローラは、

前記データ転送時にアクセスする第1の記憶領域を示す第1のアドレス情報を含むコマンド情報を取得する取得部と、

前記第1の記憶領域が、外部メモリの特定のアドレス空間である特定外部アドレス空間に属するかを判定する判定部と、

前記第1の記憶領域が前記特定外部アドレス空間に属する場合に、前記特定外部アドレス空間と前記第1の記憶装置の特定のアドレス空間である特定内部アドレス空間との対応関係を示す変換情報に基づいて、前記第1のアドレス情報を前記内部アドレス空間に属する第2の記憶領域を示す第2のアドレス情報に変換する変換部と、
を備える記憶装置。

40

【請求項 9】

50

記憶装置、他の記憶装置、及び制御装置を含むデータ転送システムであって、前記記憶装置は、前記他の記憶装置との間で行われるデータ転送を制御するメモリコントローラを備え、

前記制御装置は、外部メモリを備え、前記データ転送時にアクセスする第1の記憶領域を示す第1のアドレス情報を含むコマンド情報を生成し、

前記メモリコントローラは、

前記コマンド情報を取得する取得部と、

前記第1の記憶領域が、外部メモリの特定のアドレス空間である特定外部アドレス空間に属するかを判定する判定部と、

前記第1の記憶領域が前記特定外部アドレス空間に属する場合に、前記特定外部アドレス空間と前記第1の記憶装置の特定のアドレス空間である特定内部アドレス空間との対応関係を示す変換情報に基づいて、前記第1のアドレス情報を前記内部アドレス空間に属する第2の記憶領域を示す第2のアドレス情報に変換する変換部と、
を備えるデータ転送システム。

10

【請求項10】

前記記憶装置は、読み出し用記憶装置として用いられ、

前記他の記憶装置は、書き込み用記憶装置として用いられる、
請求項9に記載のデータ転送システム。

【請求項11】

前記記憶装置は、書き込み用記憶装置として用いられ、

前記他の記憶装置は、読み出し用記憶装置として用いられる、
請求項9に記載のデータ転送システム。

20

【請求項12】

記憶装置と他の記憶装置との間で行われるデータ転送を制御する方法であって、

前記データ転送時にアクセスする第1の記憶領域を示す第1のアドレス情報を含むコマンド情報を取得するステップと、

前記第1の記憶領域が、外部メモリの特定のアドレス空間である特定外部アドレス空間に属するかを判定するステップと、

前記第1の記憶領域が前記特定外部アドレス空間に属する場合に、前記特定外部アドレス空間と前記第1の記憶装置の特定のアドレス空間である特定内部アドレス空間との対応関係を示す変換情報に基づいて、前記第1のアドレス情報を前記内部アドレス空間に属する第2の記憶領域を示す第2のアドレス情報に変換するステップと、
を含むデータ転送方法。

30

【請求項13】

他の記憶装置との間でデータ転送を行う記憶装置を制御するコンピュータに、

前記データ転送時にアクセスする第1の記憶領域を示す第1のアドレス情報を含むコマンド情報を取得する処理と、

前記第1の記憶領域が、外部メモリの特定のアドレス空間である特定外部アドレス空間に属するかを判定する処理と、

前記第1の記憶領域が前記特定外部アドレス空間に属する場合に、前記特定外部アドレス空間と前記第1の記憶装置の特定のアドレス空間である特定内部アドレス空間との対応関係を示す変換情報に基づいて、前記第1のアドレス情報を前記内部アドレス空間に属する第2の記憶領域を示す第2のアドレス情報に変換する処理と、
を実行させるデータ転送プログラム。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、メモリコントローラ、記憶装置、データ転送システム、データ転送方法、及びデータ転送プログラムに関する。

【背景技術】

50

【 0 0 0 2 】

高速化を続ける S S D (Solid State Drive)において、バスインターフェースに P C I e (Peripheral Components Interconnect Express)を採用するものが普及しつつある。P C I e は、P C、サーバ等のコンピュータにグラフィックカード等の拡張デバイスを接続するためのインターフェースであり、拡張デバイス内の記憶領域をシステムメモリのアドレス空間の特定の領域として割当ることが可能である。この機能を用いることで、ホストプロセッサは、アクセスすべき記憶領域を示すメモリアドレスを用いて拡張デバイス内の記憶領域に対して読み出し及び書き込みを行うことが可能となる。

【 0 0 0 3 】

不揮発性メモリと、ホストプロセッサがメモリアドレスでアクセス可能な R A M とを有し、電源遮断時に R A M に記憶されているデータを不揮発性メモリに退避させ、電源復帰時に退避させたデータを不揮発性メモリから読み出すことにより R A M の状態を復旧させる記憶装置がある。

10

【 0 0 0 4 】

また、不揮発性メモリと、ホストプロセッサがメモリアドレスでアクセス可能な R A M とを有し、メモリアドレスと対応する不揮発性メモリの記憶位置をテーブルで管理する記憶装置がある。

【 先行技術文献 】**【 特許文献 】****【 0 0 0 5 】**

20

【 特許文献 1 】米国特許出願公開第 2 0 1 3 / 0 2 0 5 0 6 5 号公報

【 特許文献 2 】米国特許第 8 6 8 3 1 3 1 号公報

【 非特許文献 1 】N V M E x p r e s s http://www.nvme.org/wp-content/uploads/NVM-Express-1_1b.pdf

【 発明の概要 】**【 発明が解決しようとする課題 】****【 0 0 0 6 】**

記憶装置のバックアップ、スナップショットの作成等を行う際には、記憶装置間でデータ転送を行う必要がある。一般的なコンピュータアーキテクチャでは、S S D、H D D (Hard Disk Drive)等の記憶装置は、ホストコンピュータの主記憶領域の二次記憶領域として使用される。ホストコンピュータの主記憶領域は、当該記憶装置にとっては外部メモリとなる。そのため、S A T A (Serial Advanced Technology Attachment)、N V M e (Non-Volatile Memory Express)等の記憶装置向けインターフェースは、主記憶領域と記憶装置内の記憶領域との間でのデータ転送を前提とした設計がなされている。そのため、記憶装置間でデータ転送を行う場合には、記憶装置外の主記憶領域（外部メモリ）を中継したデータ転送を行わなければならない。

30

【 0 0 0 7 】

そこで、以下の実施形態では、外部メモリを中継することなく複数の記憶装置間におけるデータ転送を可能にすることを目的とする。

【 課題を解決するための手段 】**【 0 0 0 8 】**

40

実施形態のメモリコントローラは、記憶装置と他の記憶装置との間で行われるデータ転送を制御するメモリコントローラであって、データ転送時にアクセスする第 1 の記憶領域を示す第 1 のアドレス情報を含むコマンド情報を取得する取得部と、第 1 の記憶領域が、外部メモリの特定のアドレス空間である特定外部アドレス空間に属するかを判定する判定部と、第 1 の記憶領域が特定外部アドレス空間に属する場合に、特定外部アドレス空間と第 1 の記憶装置の特定のアドレス空間である特定内部アドレス空間との対応関係を示す変換情報に基づいて、第 1 のアドレス情報を内部アドレス空間に属する第 2 の記憶領域を示す第 2 のアドレス情報に変換する変換部とを備えることを特徴とする。

【 図面の簡単な説明 】

50

【0009】

【図1】第1の実施形態のデータ転送システムの構成を例示する図。

【図2】コマンド情報を例示する図。

【図3】データサイズを示す情報を含むアドレス情報を例示する図。

【図4】外部アドレス空間情報を例示する図。

【図5】特定外部アドレス空間に含まれる記憶領域（第1のアクセス位置）を特定内部アドレス空間に含まれる記憶領域（第2のアクセス位置）に変換する処理を模式的に示す図。

【図6】第1の実施形態のデータ転送システムのハードウェア構成を例示する図。

10

【図7】第1の記憶装置における処理の流れを例示するフローチャート。

【図8】第1の実施形態のデータ転送システムにおける読み出し処理の流れを例示するフローチャート。

【図9】第1の実施形態のデータ転送システムにおける書き込み処理の流れを例示するフローチャート。

【図10】第2の実施形態のデータ転送システムの構成を例示する図。

20

【図11】第2の実施形態のデータ転送システムにおける読み出し処理の流れを例示するフローチャート。

【図12】第2の実施形態のデータ転送システムにおける書き込み処理の流れを例示するフローチャート。

【図13】第3の実施形態のデータ転送システムの構成を例示する図。

20

【図14】第3の実施形態のデータ転送システムにおける読み出し及び書き込み処理の流れを例示するフローチャート。

【図15】第4の実施形態のデータ転送システムの構成を例示する図。

30

【図16】第4の実施形態のデータ転送システムにおける読み出し及び書き込み処理の流れを例示するフローチャート。

【発明を実施するための形態】

【0010】

（第1の実施形態）

図1は、第1の実施形態におけるデータ転送システム1の構成を例示する図である。データ転送システム1は、第1の記憶装置11（記憶装置）、第2の記憶装置12（他の記憶装置）、及び外部メモリ13を含む。

【0011】

第1の記憶装置11と第2の記憶装置12との間でデータ転送が行われる。第1の記憶装置11及び第2の記憶装置12はSSDであることを想定するが、これに限定されるものでない。外部メモリ13はホストコンピュータのRAMを含む主記憶領域であることを想定するが、これに限定されるものではない。本実施形態においては、データ転送が外部メモリ13を中継して行われる場合と、第1の記憶装置11と第2の記憶装置12との間で直接行われる場合とがある。

【0012】

第1の記憶装置11は、不揮発性メモリ21、揮発性メモリ22、メモリコントローラ23、及び転送部24を含む。

【0013】

不揮発性メモリ21は、第1の記憶装置11の主要な記憶媒体として機能するメモリであり、データ転送の対象となるデータを保持する。不揮発性メモリ21は一般的なSSDで利用されるNANDフラッシュメモリ等であることを想定するが、これに限定されるものではない。不揮発性メモリ21は不揮発であることを想定するが、DRAM等の揮発性メモリを用い、電源遮断時にデータを所定のメモリに退避させる等の適宜なデータ保護手段を備える構成であってもよい。不揮発性メモリ21を1つ以上のモジュールで構成し、複数のモジュールを並列動作させることにより、処理の高速化を実現することができる。

【0014】

40

50

揮発性メモリ22は、ホストコンピュータ、第2の記憶装置12等の外部装置がメモリアドレスを用いてアクセス可能な記憶領域を有するメモリである。揮発性メモリ22はDRAM (Dynamic Random Access Memory)、SRAM (Static Random Access Memory)等であることを想定するが、これに限定されるものではない。図1において、揮発性メモリ22は後述するメモリコントローラ23の外部に実装されている構成が示されているが、メモリコントローラ23の内部に実装されてもよい。揮発性メモリ22は揮発性であることを想定するが、MRAM (Magnetoresistive Random Access Memory)等の不揮発性メモリを用いてもよい。上記不揮発性メモリ21と同様に、揮発性メモリ22を複数のモジュールで構成することにより、高速化を実現することができる。

【0015】

10

メモリコントローラ23は、データ転送を行う際に第1の記憶装置11を制御するユニットである。メモリコントローラ23はプログラムにより制御されるCPU、適宜な論理回路等を用いて構成されることを想定するが、これに限定されるものではない。メモリコントローラ23は、機能部として取得部31、判定部32、変換部33、及び記憶部34を含む。

【0016】

取得部31は、データ転送に関する処理を実行するためのコマンド情報を取得する。コマンド情報は、第1の記憶装置11を外部から操作するための情報であって、例えば外部メモリ13を内蔵するホストコンピュータにより生成された（外部メモリ13に記憶された）情報をすることを想定するが、これに限定されるものではない。

20

【0017】

図2は、コマンド情報41を例示する図である。本例のコマンド情報41は、4バイト×6ワードからなり、コマンド識別子42、論理ブロックアドレス情報43、及びアドレス情報44を含む。本例のコマンド情報41はSATA規格又はNVMe規格に準拠するものであることを想定するが、これに限定されるものではない。

30

【0018】

コマンド識別子42は、データ転送における処理の内容を示す情報であり、例えば読み出し又は書き込みを特定する情報である。コマンド識別子42が読み出しがある場合、当初のコマンド情報41には、第1の記憶装置11又は第2の記憶装置12からデータを読み出して外部メモリ13へ書き込む指示が含まれている。コマンド識別子42が書き込みである場合、当初のコマンド情報41には、外部メモリ13からデータを読み出して第1の記憶装置11又は第2の記憶装置12へ書き込む指示が含まれている。

【0019】

論理ブロックアドレス情報43は、所定の纏まったサイズのデータブロックを基本単位（例えば512バイト）とするアクセス位置を示す情報である。なお、当該サイズ、データブロック数をコマンド情報により特定してもよいし、後述するアドレス情報44から判断してもよい。

【0020】

40

アドレス情報44は、データ転送を行う際のアクセス先となる記憶領域を示すメモリアドレスを含む情報である。コマンド識別子42が読み出しがある場合、不揮発性メモリ21から読み出したデータはアドレス情報44が示す記憶領域に書き込まれる。コマンド識別子42が書き込みである場合、アドレス情報44が示す記憶領域からデータが読み出され、読み出されたデータは不揮発性メモリ21に書き込まれる。本実施形態においては、アドレス情報44に含まれるメモリアドレスはアドレス空間における32bit又は64bitで表現される特定のバイトを示す情報（バイトアドレッシング）であることを想定するが、これに限定されるものではない。また、1つのコマンド情報41に含まれるアドレス情報は、NVMeにおけるPRP (Physical Region Page) リストのように、複数のメモリアドレスからなるリスト構造であってもよい。

【0021】

1つのアドレス情報44で特定されるデータのサイズは、例えば4KB等の固定サイズ

50

であってもよいし、アドレス情報 4 4 毎に異なる可変サイズであってもよい。可変サイズとする場合、アドレス情報 4 4 にメモリアドレスに加え、データサイズを示す情報を付加すればよい。図 3 は、データサイズを示す情報を含むアドレス情報 4 4' を例示する図である。本例のアドレス情報 4 4' は、N V M E 、 S C S I (Small Computer System Interface) 等で定義される情報であり、記憶領域を示すメモリアドレスとデータのサイズを示す情報を含む。

【0 0 2 2】

判定部 3 2 は、コマンド情報 4 1 と外部アドレス空間情報 5 1 とに基づいて、アドレス情報 4 4 が示す記憶領域が外部メモリ 1 3 内の特定外部アドレス空間 5 5 に属するかを判定する。特定外部アドレス空間 5 5 とは、外部メモリ 1 3 の記憶領域のうちの特定のアドレス空間である。特定外部アドレス空間 5 5 に対応する記憶領域（後述する特定内部アドレス空間 5 6 ）は、第 1 の記憶装置 1 1 （本実施形態においては揮発性メモリ 2 1 ）に物理的に実装されることが想定され、外部メモリ 1 3 に実装される必要はない。特定外部アドレス空間 5 5 は予め設定された固定値であることを想定するが、これに限定されるものではない。外部アドレス空間情報 5 1 は、特定外部アドレス空間 5 5 を示す情報である。図 1 においては、外部アドレス空間情報 5 1 がメモリコントローラ 2 3 内に設けられた記憶部 3 4 に記憶されている構成が示されているが、これに限定されるものではない。

10

【0 0 2 3】

図 4 は、外部アドレス空間情報 5 1 を例示する図である。本例の外部アドレス空間情報 5 1 は、アドレス空間の先頭を示すアドレス情報 S t a r t A d d r とアドレス空間の長さを示す L e n g t h とを含む。本例の外部アドレス空間情報 5 1 は、0 x 0 0 1 0 0 0 0 0 から 0 x 0 0 0 1 0 0 0 0 (6 5 5 3 6) バイト分の領域を示している。すなわち、メモリアドレスが 0 x 0 0 1 0 0 0 0 0 から 0 x 0 0 1 0 F F F F までのアドレス空間が特定外部アドレス空間 5 5 であることが示されている。

20

【0 0 2 4】

P C I e では、P C I コンフィグレーションレジスタの 1 つである B A R (Base Address Register) を制御することで、特定のアドレス空間に P C I e デバイスの記憶領域を割当てることができる。外部アドレス空間情報 5 1 は、第 1 の記憶装置 1 1 側で固定された情報であってもよいし、B A R のように外部からプログラム可能な情報であってもよい。

30

【0 0 2 5】

変換部 3 3 は、アドレス情報 4 4 (第 1 のアドレス情報) が示す記憶領域 (第 1 の記憶領域) が特定外部アドレス空間 5 5 に属する場合に、変換情報 5 2 に基づいて、当該アドレス情報 4 4 (第 1 のアドレス情報) を、特定内部アドレス空間 5 6 に属する記憶領域 (第 2 の記憶領域) を示すアドレス情報 4 4 (第 2 のアドレス情報) に変換する。特定内部アドレス空間 5 6 とは、第 1 の記憶装置 1 1 の揮発性メモリ 2 2 の記憶領域のうちの特定のアドレス空間である。特定内部アドレス空間 5 6 は予め設定された固定値であることを想定するが、これに限定されるものではない。変換情報 5 2 とは、特定外部アドレス空間 5 5 と特定内部アドレス空間 5 6 との対応関係を示す情報である。図 1 においては、変換情報 5 2 がメモリコントローラ 2 3 内に設けられた記憶部 3 4 に記憶されている構成が示されているが、これに限定されるものではない。

40

【0 0 2 6】

図 5 は、特定外部アドレス空間 5 5 に属する記憶領域 (第 1 の記憶領域) を特定内部アドレス空間 5 6 に属する記憶領域 (第 2 の記憶領域) に変換する処理を模式的に例示する図である。本例では、メモリアドレス 0 x 4 1 0 0 ~ 0 x 4 3 0 0 で特定される特定外部アドレス空間 5 5 が、メモリアドレス 0 x 8 7 0 0 ~ 0 x 8 9 0 0 で特定される特定内部アドレス空間 5 6 に対応することが示されている。

【0 0 2 7】

例えば、取得部 3 1 により取得されたコマンド情報 4 1 のアドレス情報 4 4 がメモリアドレス「0 x 4 1 8 0 」を含む場合、判定部 3 2 は、外部アドレス空間情報 5 1 に基づい

50

て、当該メモリアドレス「 0×4180 」は特定外部アドレス空間 55 「 $0 \times 4100 \sim 0 \times 4300$ 」に属すると判定する。その後、変換部 33 は、変換情報 52 に基づいて、当該メモリアドレス「 0×4180 」を含むアドレス情報 44 を特定内部アドレス空間 56 内の対応するメモリアドレス「 0×8780 」を含むアドレス情報 44 に変換する。変換部 33 は上記のようにアドレス情報 44 を変換したコマンド情報 41 を、後述する転送部 24 へ出力する。

【0028】

一方、取得部 31 が取得したアドレス情報 44 が例えばメモリアドレス「 0×4480 」を含む場合、判定部 32 は当該メモリアドレス「 0×4480 」は特定外部アドレス空間 55 「 $0 \times 4100 \sim 0 \times 4300$ 」に属さないと判定する。その後、変換部 33 は当該メモリアドレス「 0×4480 」を含むコマンド情報 41 をそのまま転送部 24 へ出力する。

10

【0029】

転送部 24 は、変換部 33 から出力されたコマンド情報 41 に従ってデータ転送の対象となるデータを不揮発性メモリ 21、揮発性メモリ 22、第 2 の記憶装置 12、及び外部メモリ 13 の間で転送する。

【0030】

例えば、コマンド識別子 42 により読み出しが指示された場合、転送部 24 は不揮発性メモリ 21 からデータを読み出し、アドレス情報 44 が示す記憶領域に当該データの書き込みを行う。ここで、判定部 32 により上記第 1 の記憶領域が特定外部アドレス空間 55 に属すると判定され、変換部 33 によりアドレス情報 44 が上記第 2 の記憶領域を示すように変換された場合には、揮発性メモリ 22 の特定内部アドレス空間 56 に書き込みを行う。一方、判定部 32 による上記第 1 の記憶領域が特定外部アドレス空間 55 に属さないと判定され、アドレス情報 44 が変換されなかった場合には、外部メモリ 13 に書き込みが行われる。

20

【0031】

コマンド識別子 42 により書き込みが指示された場合、転送部 24 はアドレス情報 44 が示す記憶領域からデータを読み出し、不揮発性メモリ 21 に当該データを書き込む。ここで、判定部 32 により上記第 1 の記憶領域が特定外部アドレス空間 55 に属すると判定され、変換部 33 によりアドレス情報 44 が上記第 2 の記憶領域を示すように変換された場合には、揮発性メモリ 22 の特定内部アドレス空間 56 から読み出しが行う。一方、判定部 32 による上記第 1 の記憶領域が特定外部アドレス空間 55 に属さないと判定され、アドレス情報 44 が変換されなかった場合には、外部メモリ 13 から読み出しが行われる。

30

【0032】

なお、転送部 24 はコマンド情報 41 に応じて、アクセスする不揮発性メモリ 21 の領域を特定する。このとき、一般的な SSD と同様に、コマンド情報 41 の論理ブロックアドレス情報 43 が示す論理アドレスと、これに対応する不揮発性メモリ 21 の記憶領域を特定する物理アドレスとの対応表（論物変換テーブル）を用いることを想定するが、これに限定されるものではない。

40

【0033】

図 6 は、データ転送システム 1 のハードウェア構成を例示する図である。図 6 において、第 1 の記憶装置 11、第 2 の記憶装置 12、及びホストコンピュータ 15 が示されている。

【0034】

第 1 の記憶装置 11 及び第 2 の記憶装置 12 は、それぞれ CPU 61A, 61B、NAND フラッシュ等の不揮発性メモリ 62A, 62B、DRAM 等の RAM 63A, 63B、及び入出力ポート (I/O) 64A, 64B がバス 65A, 65B で接続された構成を有している。第 1 の記憶装置 11 の CPU 61A は、不揮発性メモリ 62A に記憶されたプログラムに従って上記取得部 31、判定部 32、及び変換部 33 の機能を実現するための処理を行う。第 2 の記憶装置 12 の CPU 61B は、必ずしも第 1 の記憶装置 11 の C

50

P U 6 1 A と同一の処理を行う機能を有している必要はない。

【 0 0 3 5 】

ホストコンピュータ 1 5 は、 C P U 6 6 、不揮発性メモリ 6 7 、 R A M 6 8 、キーボード、マウス等の入力デバイス 6 9 、ディスプレイ等の出力デバイス 7 0 、及び入出力ポート(I / O) 7 1 がバス 7 2 で接続された構成を有している。 C P U 6 6 は、不揮発性メモリ 6 7 に記憶されたプログラムに従って上記コマンド情報 4 1 を生成するための処理等を行う。 R A M 6 8 は、上記外部メモリ 1 3 の少なくとも一部を構成する。

【 0 0 3 6 】

なお、図 6 に示すハードウェア構成は例示に過ぎず、他の様々な構成が適用され得る。例えば、データ転送を行う記憶装置 1 1 , 1 2 の数は 2 つに限られず、 3 つ以上であってもよい。また、外部メモリ 1 3 は 1 つの外部装置(ホストコンピュータ 1 5)により構成されることに限られず、複数の外部装置により構成されてもよい。

10

【 0 0 3 7 】

図 7 は、第 1 の記憶装置 1 1 における処理の流れを例示するフローチャートである。取得部 3 1 (図 1 参照) がコマンド情報 4 1 (図 2 参照) を取得すると (S 1 0 1) 、判定部 3 2 は外部アドレス空間情報 5 1 (図 4 参照) に基づいて、アドレス情報 4 4 が示す第 1 の記憶領域が特定外部アドレス空間 5 5 (図 5 参照) に属するかを判定する (S 1 0 2) 。

【 0 0 3 8 】

ステップ S 1 0 2 において、 Y E S と判定された場合、変換部 3 3 はアドレス情報 4 4 を、特定内部アドレス空間 5 6 (図 5 参照) に属する第 2 の記憶領域を示すアドレス情報 4 4 に変換して出力する (S 1 0 3) 。一方、ステップ S 1 0 2 において、 N O と判定された場合、変換部 3 3 はアドレス情報 4 4 を変換せずに出力する (S 1 0 4) 。転送部 2 4 は、変換部 3 3 から出力されたコマンド情報 4 1 に含まれるアドレス情報 4 4 に従ってデータを転送する (S 1 0 5) 。

20

【 0 0 3 9 】

図 8 は、データ転送システム 1 における読み出し処理の流れを例示するフローチャートである。取得部 3 1 はコマンド情報 4 1 を取得し (S 2 0 1) 、コマンド情報 4 1 の内容を解釈する (S 2 0 2) 。本例では、コマンド識別子 4 2 で指定される動作は読み出しであり、 2 つのアドレス情報 4 4 が含まれ、一方のアドレス情報 4 4 は特定外部アドレス空間 5 5 に属する第 1 の記憶領域を示し、他方のアドレス情報 4 4 は特定外部アドレス空間 5 5 以外の外部メモリ 1 3 内のアドレス空間に属する第 2 の記憶領域を示すものとする。

30

【 0 0 4 0 】

判定部 3 2 は、一方のアドレス情報 4 4 について判定を行い、判定結果が Y E S である(一方のアドレス情報 4 4 が示す記憶領域は特定外部アドレス空間 5 5 に属する) と判定する (S 2 0 3) 。この判定結果に基づき、変換部 3 3 は、一方のアドレス情報 4 4 を特定内部アドレス空間 5 6 に属する記憶領域を示すアドレス情報 4 4 に変換して出力する (S 2 0 4) 。

【 0 0 4 1 】

転送部 2 4 は、変換されたアドレス情報 4 4 を含むコマンド情報 4 1 に基づき不揮発性メモリ 2 1 に対して読み出し要求を行う (S 2 0 5) 。不揮発性メモリ 2 1 は、読み出し要求に基づきデータを読み出す (S 2 0 6) 。転送部 2 4 は、変換されたアドレス情報 4 4 に基づき、揮発性メモリ 2 2 に対して、読み出されたデータの書き込み要求を行う (S 2 0 7) 。揮発性メモリ 2 2 は、書き込み要求に基づき特定内部アドレス空間 5 6 内の記憶領域にデータを書き込む (S 2 0 8) 。

40

【 0 0 4 2 】

一方、判定部 3 2 は、他方のアドレス情報 4 4 について判定を行い、判定結果が N O である(他方のアドレス情報 4 4 が示す記憶領域は特定外部アドレス空間 5 5 に属さない) と判定する (S 2 0 9) 。この判定結果に基づき、変換部 3 3 は、他方のアドレス情報 4 4 を変換せずに出力する (S 2 1 0) 。

50

【0043】

転送部24は、コマンド情報41に基づき不揮発性メモリ21に対して読み出し要求を行う(S211)。不揮発性メモリ21は、読み出し要求に基づきデータを読み出す(S212)。読み出しが完了すると、転送部24は、アドレス情報44に基づき外部メモリ13に対してデータの書き込み要求を行う(S213)。外部メモリ13は、書き込み要求に基づきデータを書き込む(S214)。

【0044】

図9は、データ転送システム1における書き込み処理の流れを例示するフローチャートである。取得部31はコマンド情報41を取得し(S301)、コマンド情報41の内容を解釈する(S302)。本例では、コマンド識別子42で指定される動作は書き込みであり、2つのアドレス情報44が含まれ、一方のアドレス情報44は特定外部アドレス空間55に属する第1の記憶領域を示し、他方のアドレス情報44は特定外部アドレス空間55以外の外部メモリ13内のアドレス空間に属する第2の記憶領域を示すものとする。

10

【0045】

判定部32は、一方のアドレス情報44のアドレス判定を行い、判定結果がYESであると判定する(S303)。この判定結果に基づき、変換部33は、一方のアドレス情報44を特定内部アドレス空間56に属する記憶領域を示すアドレス情報44に変換して出力する(S304)。

【0046】

転送部24は、変換されたアドレス情報44を含むコマンド情報41に基づき揮発性メモリ22に読み出し要求を行う(S305)。揮発性メモリ22は、読み出し要求に基づきデータを読み出す(S306)。読み出しが完了すると、転送部24は、コマンド情報41に基づき不揮発性メモリ21に対してデータの書き込み要求を行う(S307)。不揮発性メモリ21は、書き込み要求に基づきデータを書き込む(S308)。

20

【0047】

一方、判定部32は、他方のアドレス情報44について判定を行い、判定結果がNOであると判定する(S309)。この判定結果に基づき、変換部33は、他方のアドレス情報44を変換せずに出力する(S310)。

【0048】

転送部24は、コマンド情報41に基づき外部メモリ13に対して読み出し要求を行う(S311)。外部メモリ13は、読み出し要求に基づきデータを読み出す(S312)。読み出しが完了すると、転送部24は、コマンド情報41に基づき不揮発性メモリ21に対してデータの書き込み要求を行う(S313)。不揮発性メモリ21は、書き込み要求に基づきデータを書き込む(S314)。

30

【0049】

本実施形態によれば、コマンド情報41に含まれるアドレス情報44が特定外部アドレス空間55に属する記憶領域を示す場合には、データ転送の対象となるデータの転送先が第1の記憶装置11の揮発性メモリ22の特定内部アドレス空間56内の記憶領域に変換される。これにより、第1の記憶装置11と第2の記憶装置12との間で行われるデータ転送を、外部メモリ13を介すことなく行うことが可能となる。

40

【0050】

以下、図面を参照して他の実施形態について説明するが、上記第1の実施形態と同一又は同様の作用効果を奏する箇所については同一の符号を付してその説明を省略する場合がある。

【0051】

(第2の実施形態)

図10は、第2の実施形態におけるデータ転送システム81の構成を例示する図である。データ転送システム81は、第3の記憶装置91、第2の記憶装置12、及び外部メモリ13を含む。第3の記憶装置91と第2の記憶装置12との間でデータ転送が行われる。

50

【0052】

第3の記憶装置81は、不揮発性メモリ21、揮発性メモリ22、及びメモリコントローラ92を含む。メモリコントローラ92は、取得部31、判定部32、変換部33、記憶部34、バッファメモリ95、及び転送部96を含む。

【0053】

バッファメモリ95は、データ転送の対象となるデータを一時的に記憶するメモリである。バッファメモリ95はDRAM、SRAM等に代表される揮発性メモリであることを想定するが、これに限定されるものではない。バッファメモリ95は、例えば所定の大きさのデータブロックを纏めて不揮発性メモリ21に書き込む際等に利用される。バッファメモリ95は、メモリコントローラ92により適切なフロー制御がなされる。バッファメモリ95の全ての記憶領域が使用された状態(フル状態)では、新しいデータをバッファメモリ95に書込むことができない。フロー制御としては、例えば、未使用的メモリアドレスをフリーリストとしてキュー等により管理し、書き込みを行う際に適切なメモリアドレスを割当て、使用が終了した際にそのメモリアドレスを解放する方式を想定するが、これに限定されるものではない。10

【0054】

また、バッファメモリ95は、不揮発性メモリ21のアクセス速度と揮発性メモリ22又は外部メモリ13のアクセス速度との差を吸収する役割を担うこともある。バッファメモリ95は、複数のデータブロック間にまたがるエラー訂正符号(ECC)のエンコード・デコード、データの暗号化・複合化、圧縮処理等の作業領域として利用されてもよい。20
本実施形態においては、バッファメモリ95はメモリコントローラ92に実装されているが、これに限定されるものではない。また、揮発性メモリ22の一部の領域をバッファメモリとして利用してもよい。

【0055】

本実施形態における転送部96は、バッファメモリ95を中継してデータ転送を行う。ここで、判定部32による判定結果がYESの場合(アドレス情報44が示す記憶領域が特定外部アドレス空間55に属する場合)、データ転送の対象となるデータの読み出し位置又は書き込み位置は、揮発性メモリ22の特定内部アドレス空間56内となる。このとき、バッファメモリ95を中継すると、内部メモリ同士のデータ転送が発生するため、処理効率が悪くなる。そこで、転送部96は、判定部32による判定結果がYESの場合には、バッファメモリ95への中継をスキップし、揮発性メモリ22へ直接アクセスをする。なお、本実施形態においては、転送部96はメモリコントローラ92に実装されているが、これに限定されるものではない。30

【0056】

図11は、データ転送システム81における読み出し処理の流れを例示するフローチャートである。取得部31は、コマンド情報41を取得し(S401)、コマンド情報41の内容を解釈する(S402)。本例では、コマンド識別子42で指定される動作は読み出しがあり、2つのアドレス情報44を含み、一方のアドレス情報44は特定外部アドレス空間55に属する第1の記憶領域を示し、他方のアドレス情報44は特定外部アドレス空間55以外の外部メモリ13内のアドレス空間に属する第2の記憶領域を示すものとする。40

【0057】

判定部32は、一方のアドレス情報44について判定を行い、判定結果がYESである(一方のアドレス情報44が示す記憶領域は特定外部アドレス空間55に属する)と判定する(S403)。この判定結果に基づき、変換部33は、一方のアドレス情報44を特定内部アドレス空間56に属する記憶領域を示すアドレス情報44に変換して出力する(S404)。

【0058】

転送部96は、コマンド情報41に基づき不揮発性メモリ21に対して読み出し要求を行う(S405)。不揮発性メモリ21は、読み出し要求に基づきデータを読み出す(S406)。転送部96は、変換されたアドレス情報44に基づき、揮発性メモリ22に対して50

、読み出されたデータの書き込み要求を行う(S407)。このとき、転送部96は、バッファメモリ95への書き込み要求及び読み出し要求を行わない。揮発性メモリ22は、書き込み要求に基づき特定内部アドレス空間56内の記憶領域にデータを書き込む(S408)。

【0059】

一方、判定部32は、他方のアドレス情報44について判定を行い、判定結果がNOである(他方のアドレス情報44が示す記憶領域は特定外部アドレス空間55に属さない)と判定する(S409)。この判定結果に基づき、変換部33は、他方のアドレス情報44を変換せずに出力する(S410)。

【0060】

転送部96は、コマンド情報41に基づき不揮発性メモリ21に対して読み出し要求を行う(S411)。不揮発性メモリ21は、読み出し要求に基づきデータを読み出す(S412)。読み出しが完了すると、転送部96は、フロー制御に従って割当てられたバッファメモリ95の記憶領域に、読み出されたデータの書き込み要求を行う(S413)。バッファメモリ95は、書き込み要求に基づきデータを書き込む(S414)。バッファメモリ95への書き込みが完了すると、転送部96は、バッファメモリ95に対して読み出し要求を行う(S415)。バッファメモリ95は、読み出し要求に基づきデータを読み出す(S416)。読み出しが完了すると、転送部96は、コマンド情報41に基づき外部メモリ13にデータの書き込み要求を行う(S417)。外部メモリ13は、書き込み要求に基づきデータを書き込む(S418)。

10

【0061】

図12は、データ転送システム81における書き込み処理の流れを例示するフローチャートである。取得部31は、コマンド情報41を取得し(S501)、コマンド情報41の内容を解釈する(S502)。本例では、コマンド識別子42で指定される動作は書き込みであり、2つのアドレス情報44を含み、一方のアドレス情報44は特定外部アドレス空間55に属する第1の記憶領域を示し、他方のアドレス情報44は特定外部アドレス空間55以外の外部メモリ13内のアドレス空間に属する第2の記憶領域を示すものとする。

20

【0062】

判定部32は、一方のアドレス情報44のアドレス判定を行い、判定結果がYESであると判定する(S503)。この判定結果に基づき、変換部33は、一方のアドレス情報44を特定内部アドレス空間56に属する記憶領域を示すアドレス情報44に変換して出力する(S504)。

30

【0063】

転送部96は、変換されたアドレス情報44を含むコマンド情報41に基づき揮発性メモリ22に読み出し要求を行う(S505)。揮発性メモリ22は、読み出し要求に基づきデータを読み出す(S506)。読み出しが完了すると、転送部96は、コマンド情報41に基づき不揮発性メモリ21に対してデータの書き込み要求を行う(S507)。このとき、転送部96は、バッファメモリ95への書き込み要求及び読み出し要求を行わない。不揮発性メモリ21は、書き込み要求に基づきデータを書き込む(S508)。

【0064】

一方、判定部32は、他方のアドレス情報44について判定を行い、判定結果がNOであると判定する(S509)。この判定結果に基づき、変換部33は、他方のアドレス情報44を変換せずに出力する(S510)。

40

【0065】

転送部96は、コマンド情報41に基づき外部メモリ13に対して読み出し要求を行う(S511)。外部メモリ13は、読み出し要求に基づきデータを読み出す(S512)。読み出しが完了すると、転送部96は、フロー制御に従って割当てられたバッファメモリ95の記憶領域に、読み出されたデータの書き込み要求を行う(S513)。バッファメモリ95は、書き込み要求に基づきデータを書き込む(S514)。バッファメモリ95への書き込みが完了すると、転送部96は、バッファメモリ95に対して読み出し要求を行う(S515)。バッファメモリ95は、読み出し要求に基づきデータを読み出す(S516)。読み出

50

しが完了すると、転送部 96 は、コマンド情報 41 に基づき不揮発性メモリ 21 にデータの書き込み要求を行う (S517)。不揮発性メモリ 21 は、書き込み要求に基づきデータを書き込む (S518)。

【0066】

本実施形態によれば、アドレス情報 44 が示す記憶領域が外部メモリ 13 から内部メモリである揮発性メモリ 22 に変更された場合には、外部メモリ 13 へのアクセスを省略できるだけでなく、バッファメモリ 95 へのアクセスも省略できる。

【0067】

(第3の実施形態)

図13は、第3の実施形態におけるデータ転送システム101の構成を例示する図である。データ転送システム101は、第1の記憶装置11、書き込み用記憶装置111、制御装置112、及び回線交換装置113を含む。本実施形態においては、上記メモリコントローラ23を備える第1の記憶装置11が読み出し用記憶装置として用いられる。

10

【0068】

第1の記憶装置11は、上述したように、外部装置からメモリアドレスによってアクセス可能な揮発性メモリ22を備え、メモリコントローラ23によって外部メモリ13の記憶領域を示すメモリアドレス(アドレス情報44)を揮発性メモリ22の特定内部アドレス空間56内の記憶領域を示すメモリアドレスに変換するアドレス変換機能を有する。このようなアドレス変換があった場合には、第1の記憶装置11は読み出されたデータを揮発性メモリ22に記憶する。

20

【0069】

書き込み用記憶装置111は、第1の記憶装置11から読み出されたデータを記憶する機能を有するが、メモリコントローラ23によるアドレス変換機能を有していないなくてもよい。書き込み用記憶装置111は、書き込みコマンドに基づいて、外部メモリ13又は第1の記憶装置11の揮発性メモリ22から読み出したデータを自らの不揮発性メモリに書き込む。

【0070】

制御装置112は、システム全体を制御する役割を担い、第1の記憶装置11および書き込み用記憶装置111のホストとしてコマンド情報41の生成、発行等を行う。制御装置112はPC、サーバ等のコンピュータであることを想定するが、これに限定されるものではない。

30

【0071】

回線交換装置113は、第1の記憶装置11、書き込み用記憶装置111、及び制御装置112を相互に接続し、各装置間でデータの送受を可能にする装置である。回線交換装置112はクロスバスイッチのように単独で複数の装置を相互接続する装置であることを想定するが、これに限定されるものではない。例えば、ルータを組み合わせたネットワークによりパケット交換を行う構成等を回線交換装置113の代わりに適用することができる。また、回線交換装置113が階層構造を有することで、様々な構成(トポロジ)の相互結合網、例えばメッシュネットワーク、ツリーネットワーク等を構築することができる。

40

【0072】

図14は、データ転送システム101における読み出し及び書き込み処理の流れを例示するフローチャートである。制御装置112は、第1の記憶装置11に記憶されているデータを読み出すためのコマンド情報41を生成し、第1の記憶装置11に対する読み出し要求を行う(S601)。このとき、コマンド情報41に含まれる1つ以上のアドレス情報44は、第1の記憶装置11の揮発性メモリ22内の記憶領域を示す。このコマンド情報41は回線交換装置113に入力され、回線交換装置113はコマンド情報41を第1の記憶装置11に転送する(S602)。第1の記憶装置11は、取得したコマンド情報41に従って不揮発性メモリ21からデータを読み出し(S603)、当該コマンド情報41に含まれるアドレス情報44に従って、読み出したデータを揮発性メモリ22に書き込む(S604)。

50

【0073】

上記読み出し処理が完了すると、制御装置112は、書き込み用記憶装置111にデータを書き込むためのコマンド情報41を生成し、書き込み用記憶装置111に対する書き込み要求を行う(S605)。このとき、コマンド情報41に含まれる1つ以上のアドレス情報44は、上記読み出し処理時のコマンド情報41に含まれる1つ以上のアドレス情報44を含む。書き込み処理のコマンド情報41は回線交換装置113に入力され、回線交換装置113はこのコマンド情報41を書き込み用記憶装置111に転送する(S606)。書き込み用記憶装置111は、取得したコマンド情報41に含まれるアドレス情報44に従って、第1の記憶装置11の揮発性メモリ22又は外部メモリ13に対する読み出し要求を行う(S607)。このとき、書き込み用記憶装置111は、データが揮発性メモリ22に記憶されている場合であっても、これに関わらず外部メモリ13に対する読み出し要求を行う。読み出し要求を取得した第1の記憶装置11は、揮発性メモリ22(読み出し要求された外部メモリ13の特定外部アドレス空間55に対応する特定内部アドレス空間56)からデータを読み出す(S608)。読み出されたデータは回線交換装置113に入力され、回線交換装置113はデータを書き込み用記憶装置111へ転送する(S609)。書き込み用記憶装置111は、コマンド情報41に従って、取得したデータを不揮発性メモリに書き込む(S610)。

10

【0074】

本実施形態が示すように、メモリコントローラ23を備える第1の記憶装置22を読み出し用記憶装置として使用すれば、これを書き込み用記憶装置111として使用しなくても、外部メモリへのアクセスを省略することができる。また、特殊なコマンドを用いる必要がないため、一般的なインターフェース(例えばN V M e)の仕様を崩さずに実現することが可能である。

20

【0075】

(第4の実施形態)

図15は、第4の実施形態におけるデータ転送システム201の構成を例示する図である。データ転送システム201は、第1の記憶装置11、読み出し用記憶装置211、制御装置112、及び回線交換装置113を含む。本実施形態においては、上記メモリコントローラ23を備える第1の記憶装置11が書き込み用記憶装置として用いられる。

30

【0076】

読み出し用記憶装置211は、第1の記憶装置11に書き込まれるデータを記憶し且つ読み出す機能を有するが、メモリコントローラ23によるアドレス変換機能を有していないくともよい。読み出し用記憶装置211は、読み出しコマンドに基づいて、自らの不揮発性メモリに記憶されたデータを読み出す。

【0077】

図16は、データ転送システム201における読み出し及び書き込み処理の流れを例示するフローチャートである。制御装置112は、読み出し用記憶装置211に記憶されているデータを読み出すためのコマンド情報41を生成し、読み出し用記憶装置211に対する読み出し要求を行う(S701)。このとき、コマンド情報41に含まれる1つ以上のアドレス情報44は、第1の記憶装置11の揮発性メモリ22内の記憶領域を示す。このコマンド情報41は回線交換装置113に入力され、回線交換装置113はコマンド情報41を読み出し用記憶装置211に転送する(S702)。読み出し用記憶装置211は、取得したコマンド情報41に従って自らの不揮発性メモリからデータを読み出し(S703)、当該コマンド情報41に含まれるアドレス情報44に従って、外部メモリ13に対する書き込み要求を行う(S704)。このとき、読み出し用記憶装置211は、データの書き込み先が第1の記憶装置11の揮発性メモリ22であっても、これに関わらず外部メモリ13に対する書き込み要求を行う。読み出されたデータは回線交換装置113に入力され、回線交換装置113はデータを第1の記憶装置11へ転送する(S705)。読み出されたデータと書き込み要求を取得した第1の記憶装置11は、データを揮発性メモリ22へ書き込む(S706)。

40

50

【0078】

上記読み出し処理が完了すると、制御装置112は、第1の記憶装置11にデータを書き込むためのコマンド情報41を生成し、第1の記憶装置11に対する書き込み要求を行う(S707)。このとき、コマンド情報41に含まれる1つ以上のアドレス情報44は、上記読み出し処理時のコマンド情報41に含まれる1つ以上のアドレス情報44を含む。書き込み処理のコマンド情報41は回線交換装置113に入力され、回線交換装置113はこのコマンド情報41を第1の記憶装置11に転送する(S708)。第1の記憶装置11は、取得したコマンド情報41に含まれるアドレス情報44(特定内部アドレス空間56内の記憶領域を示すように変換されたアドレス情報44)に従って揮発性メモリ22からデータを読み出し(S709)、読み出したデータを不揮発性メモリに書き込む(S710)。

10

【0079】

本実施形態が示すように、メモリコントローラ23を備える第1の記憶装置22を書き込み用記憶装置として使用すれば、これを読み出し用記憶装置211として使用しなくても、外部メモリへのアクセスを省略することができる。また、特殊なコマンドを用いる必要がないため、一般的なインターフェース(例えばNVM e)の仕様を崩さずに実現することが可能である。

【0080】

上記機能を実現させるプログラムは、インストール可能な形式又は実行可能な形式のファイルでCD-ROM、フレキシブルディスク(FD)、CD-R、DVD等のコンピュータで読み取り可能な記録媒体に記録されて提供することができる。また、プログラムは、ネットワークに接続された所定の記憶装置から所定の情報処理装置にダウンロードすることにより提供されてもよいし、予めROM等に組み込まれて所定の情報処理装置に提供されてもよい。また、プログラムは、上記各部の機能を実現する複数のモジュールから構成されてもよい。

20

【0081】

以上、本発明の実施形態を説明したが、これらの実施形態は例として提示したものであり、発明の範囲を限定することを意図するものではない。この新規な実施形態はその他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これらの実施形態及びその変形は発明の範囲及び要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

30

【符号の説明】

【0082】

- 1, 81, 101, 201 データ転送システム
- 11 第1の記憶装置(記憶装置)
- 12 第2の記憶装置(他の記憶装置)
- 91 第3の記憶装置(記憶装置)
- 13 外部メモリ
- 21 不揮発性メモリ
- 22 挥発性メモリ
- 23, 92 メモリコントローラ
- 24, 96 転送部
- 31 取得部
- 32 判定部
- 33 変換部
- 34 記憶部
- 41 コマンド情報
- 42 コマンド識別子
- 43 論理ブロックアドレス情報

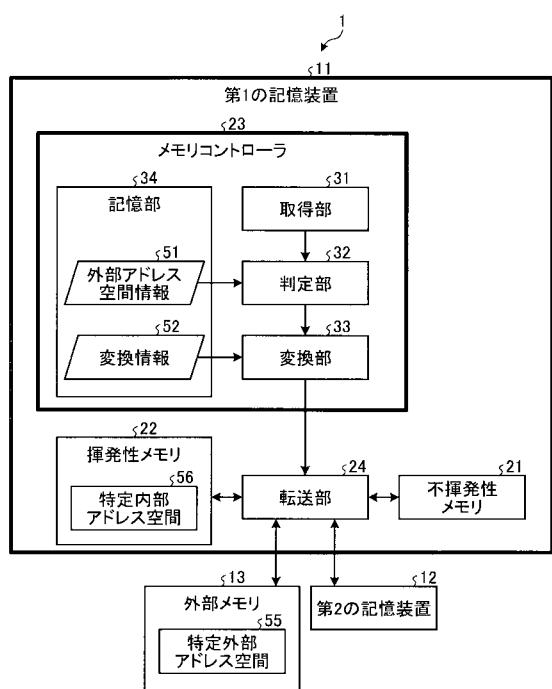
40

50

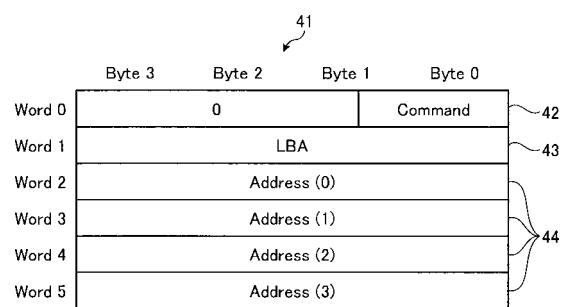
4 4 , 4 4' アドレス情報
 5 1 外部アドレス空間情報
 5 2 変換情報
 5 5 特定外部アドレス空間
 5 6 特定内部アドレス空間
 9 5 バッファメモリ
 1 1 1 書込み用記憶装置
 1 1 2 制御装置
 1 1 3 回線交換装置
 2 1 1 読出し用記憶装置

10

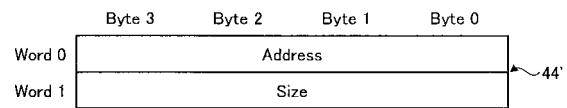
【図 1】



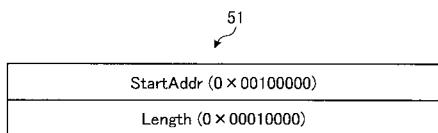
【図 2】



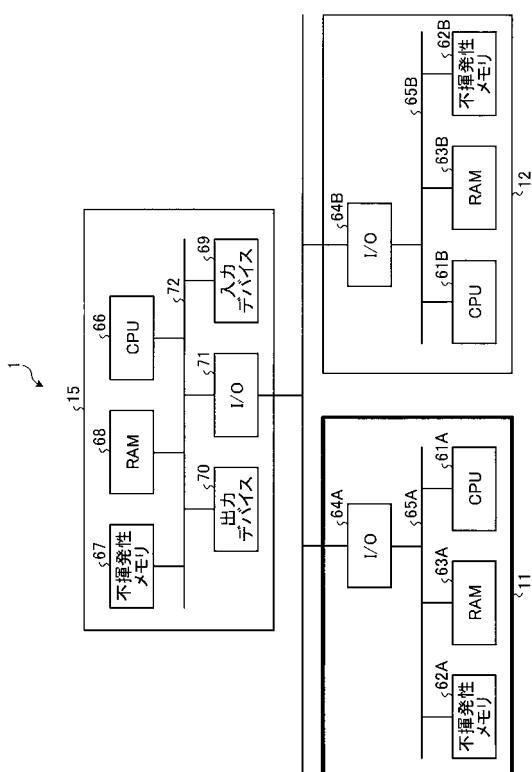
【図 3】



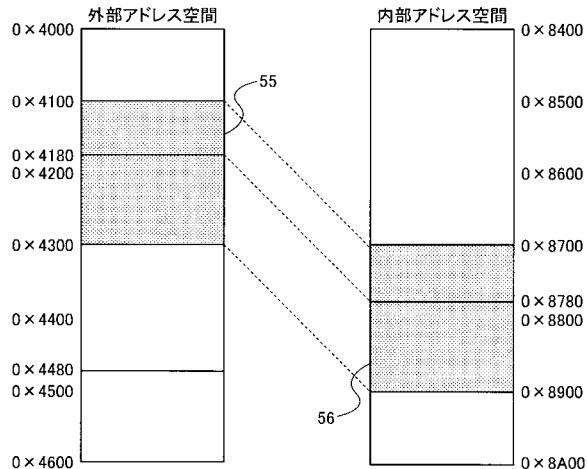
【図4】



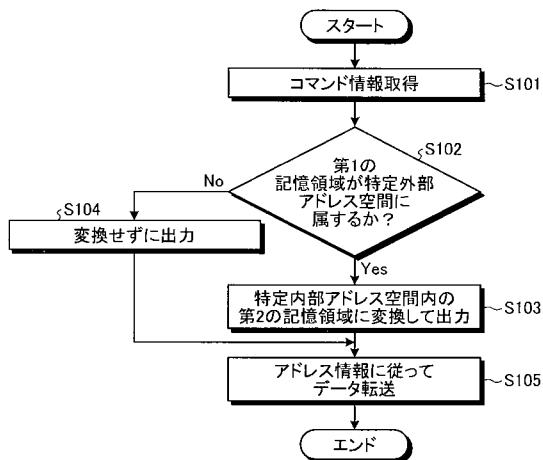
【図6】



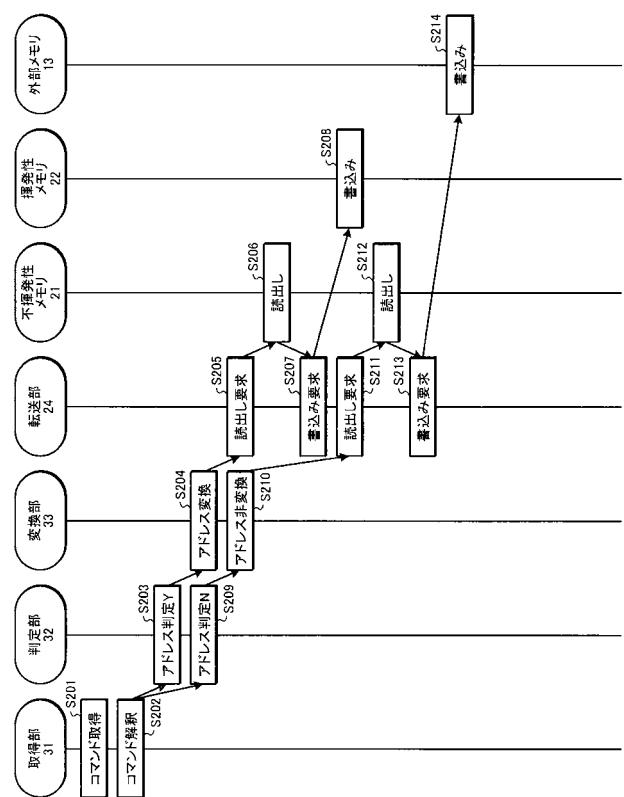
【図5】



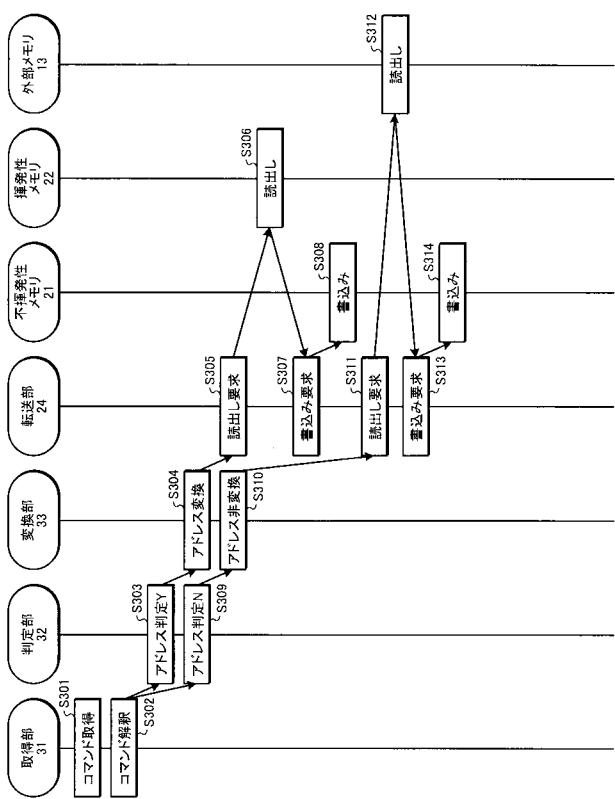
【図7】



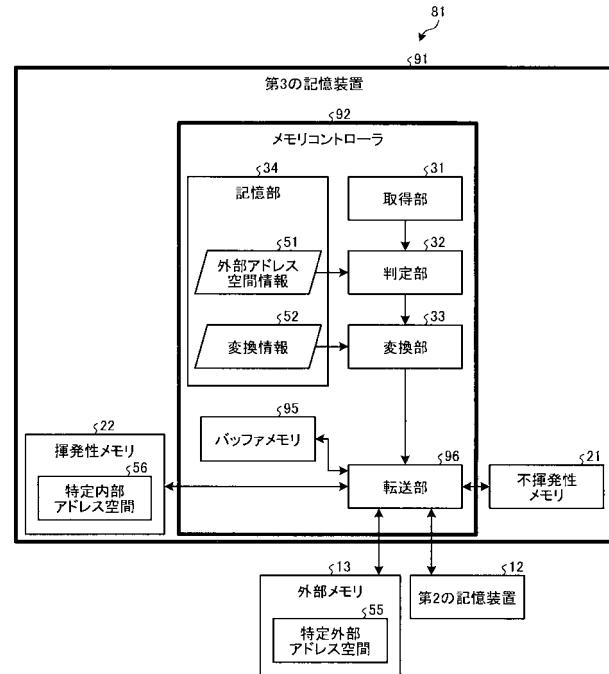
【図8】



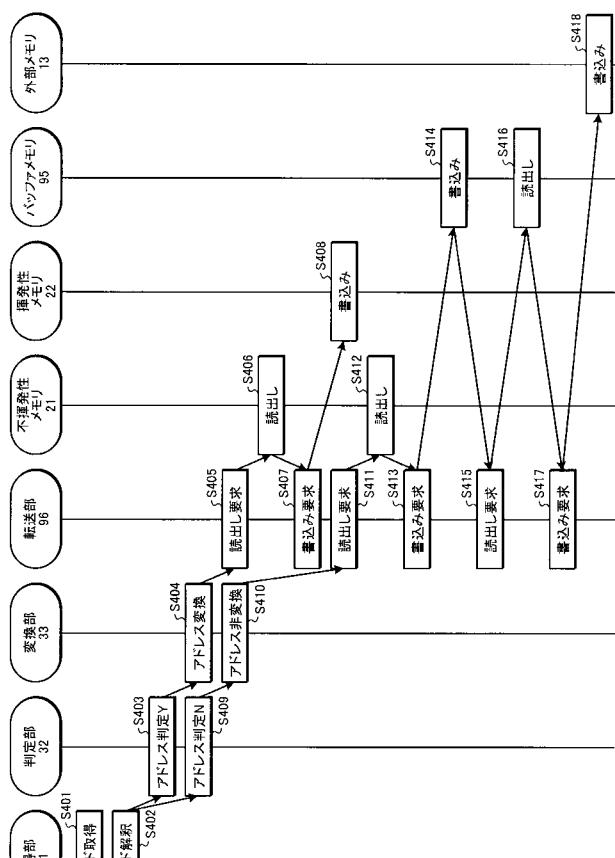
【図 9】



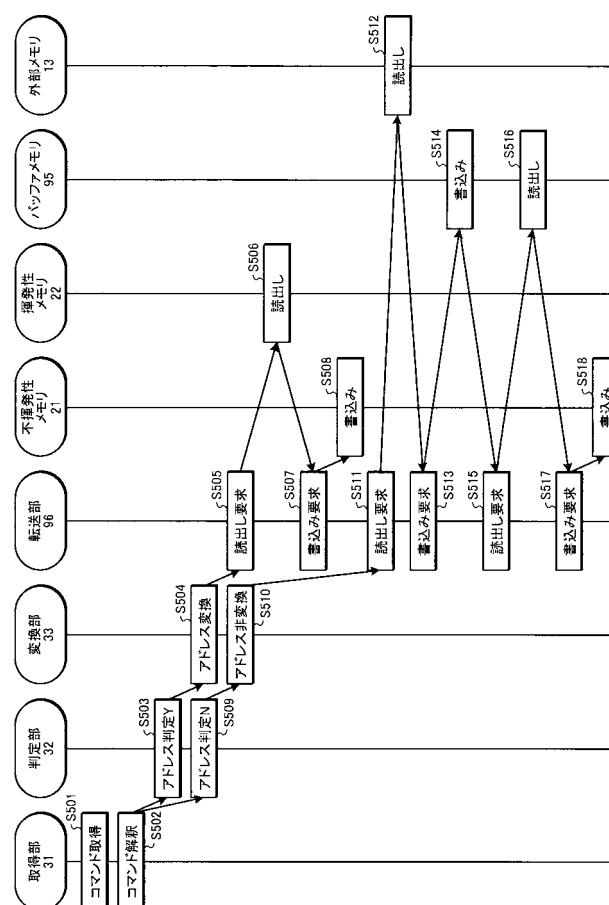
【図 10】



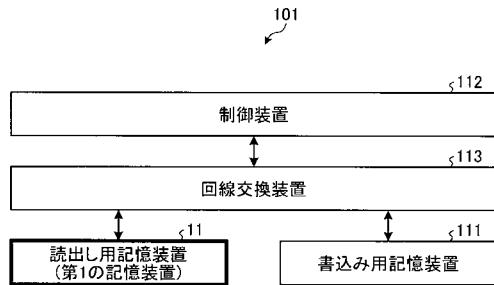
【図 11】



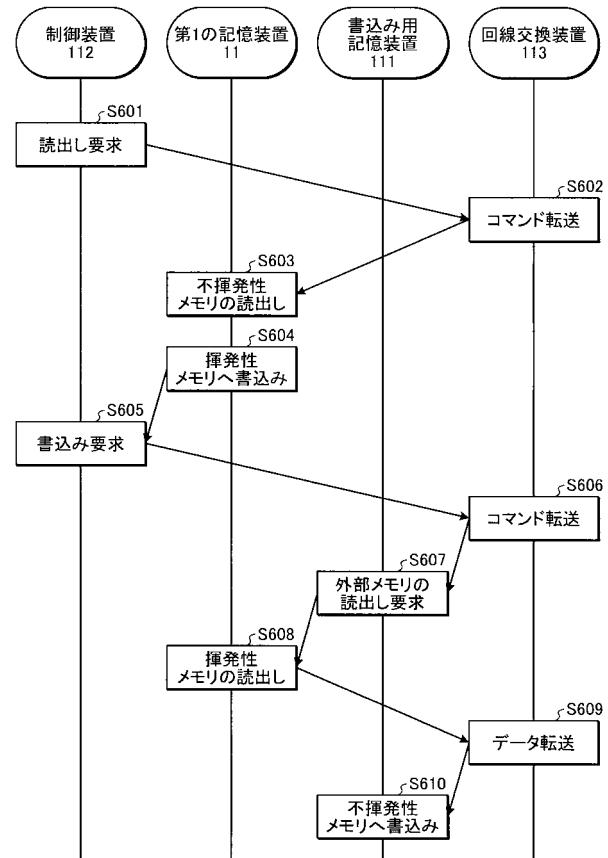
【図 12】



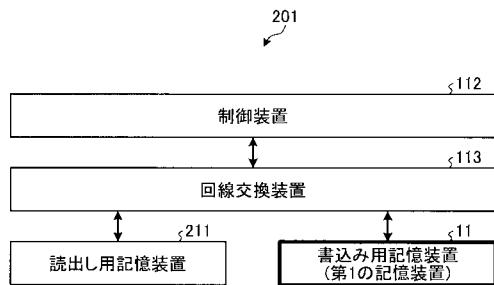
【図 1 3】



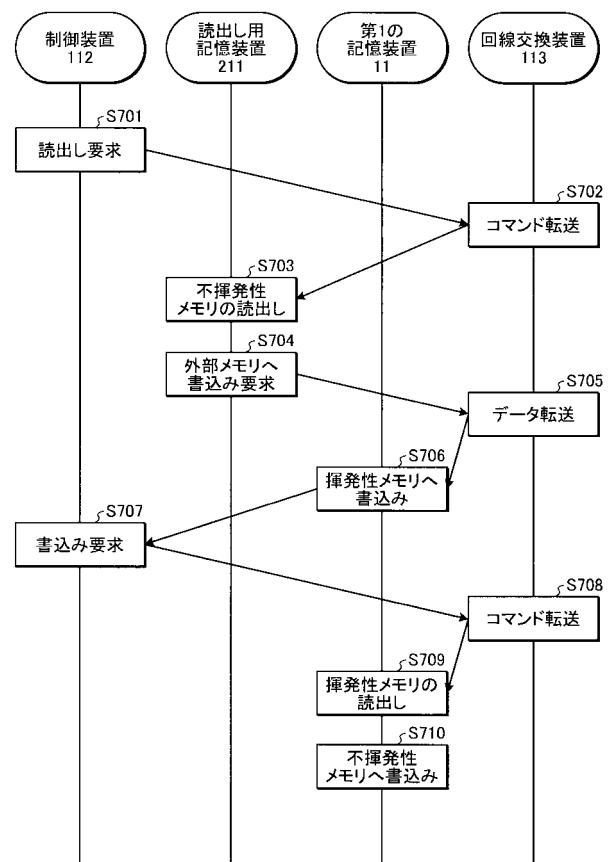
【図 1 4】



【図 1 5】



【図 1 6】



フロントページの続き

(51) Int.Cl.

F I

G 0 6 F 3/06 3 0 1 K
G 0 6 F 13/10 3 4 0 A

テーマコード(参考)