



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0133348
(43) 공개일자 2021년11월08일

(51) 국제특허분류(Int. Cl.)
G09G 3/3291 (2016.01) H03M 1/66 (2006.01)
(52) CPC특허분류
G09G 3/3291 (2013.01)
H03M 1/662 (2013.01)
(21) 출원번호 10-2020-0051555
(22) 출원일자 2020년04월28일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
황영수
경기도 화성시 동탄숲속로 103(능동, 동탄숲속마을자연환경남아너스빌아파트)
고준철
경기도 수원시 영통구 센트럴타운로 76(이의동, e편한세상 광고) 6103동 2403호
(뒷면에 계속)
(74) 대리인
박영우

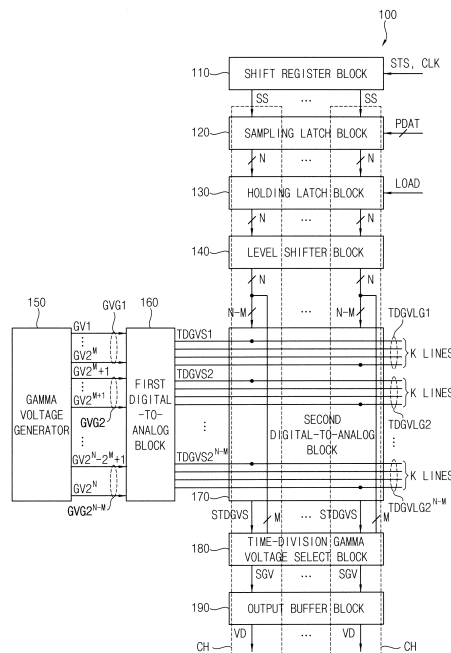
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 데이터 드라이버 및 데이터 드라이버를 포함하는 표시 장치

(57) 요약

데이터 드라이버는 2^N 개의 감마 전압들을 생성하는 감마 전압 생성기, 2^{N-M} 개의 감마 전압 그룹들에 각각 상응하는 2^{N-M} 개의 시분할 감마 전압 신호들을 생성하고, 각 시분할 감마 전압 신호가 2^M 개의 감마 전압들을 나타내는 제1 디지털-아날로그 변환기 블록, 2^{N-M} 개의 시분할 감마 전압 신호들을 전송하는 2^{N-M} 개의 시분할 감마 전압 라인 그
(뒷면에 계속)

대표도 - 도1



롭들로서, 각 시분할 감마 전압 라인 그룹이 2^{N-M} 개의 시분할 감마 전압 신호들 중 동일한 하나를 전송하는 K개의 시분할 감마 전압 라인들을 포함하는 2^{N-M} 개의 시분할 감마 전압 라인 그룹들, 복수의 채널들 각각에서 2^{N-M} 개의 시분할 감마 전압 신호들 중 하나의 시분할 감마 전압 신호를 상위 (N-M)비트에 따라 선택하는 제2 디지털-아날로그 변환기 블록, 복수의 채널들 각각에서 선택된 시분할 감마 전압 신호가 나타내는 상응하는 2^M 개의 감마 전압들 중 하나의 감마 전압을 하위 M비트에 따라 선택하는 시분할 감마 전압 선택 블록, 및 복수의 채널들 각각에서 선택된 감마 전압을 출력하는 출력 버퍼 블록을 포함한다.

(52) CPC특허분류

G09G 2320/0673 (2013.01)

(72) 발명자

권오조

경기도 수원시 권선구 세류로 60(세류동, LH수원센트럴타운1단지) 109동 803호

김기덕

대전광역시 유성구 문화원로146번길 17(봉명동) 4층

김정민

서울특별시 서초구 서초대로1길 30(방배동, 방배1차현대아파트) 101동 101호

유봉현

서울특별시 서초구 서초중앙로 220(반포동, 반포래미안아이파크) 105동 3201호

이형민

서울특별시 성북구 안암로 145(안암동5가) 고려대학교 신공학관 516호

최승훈

경기도 군포시 고산로539번길 6(산본동, 백두(극동)아파트)

명세서

청구범위

청구항 1

각각이 N비트(N은 2 이상의 정수)를 가지는 복수의 화소 데이터를 수신하고, 복수의 채널들에서 복수의 화소들에 상기 복수의 화소 데이터에 상응하는 복수의 데이터 전압들을 출력하는 데이터 드라이버에 있어서,

2^N 개의 감마 전압들을 생성하는 감마 전압 생성기;

각 감마 전압 그룹이 상기 2^N 개의 감마 전압들 중 상응하는 2^M 개의 감마 전압들(M은 1 이상 및 N 미만의 정수)을 포함하도록 상기 2^N 개의 감마 전압들을 2^{N-M} 개의 감마 전압 그룹들로 그룹화하고, 상기 2^{N-M} 개의 감마 전압 그룹들에 각각 상응하는 2^{N-M} 개의 시분할 감마 전압 신호들을 생성하고, 각 시분할 감마 전압 신호가 1 수평 시간을 분할하여 상기 상응하는 2^M 개의 감마 전압들을 나타내는 제1 디지털-아날로그 변환기 블록;

상기 2^{N-M} 개의 시분할 감마 전압 신호들을 전송하는 상기 2^{N-M} 개의 시분할 감마 전압 라인 그룹들로서, 각 시분할 감마 전압 라인 그룹이 상기 2^{N-M} 개의 시분할 감마 전압 신호들 중 동일한 하나를 전송하는 K개의 시분할 감마 전압 라인들(K는 2 이상 및 상기 복수의 채널들의 개수 이하의 정수)을 포함하는 상기 2^{N-M} 개의 시분할 감마 전압 라인 그룹들;

상기 2^{N-M} 개의 시분할 감마 전압 라인 그룹들을 통하여 상기 2^{N-M} 개의 시분할 감마 전압 신호들을 수신하고, 상기 복수의 채널들 각각에서 상기 2^{N-M} 개의 시분할 감마 전압 신호들 중 하나의 시분할 감마 전압 신호를 상기 복수의 화소 데이터 중 상응하는 하나의 상기 N비트의 상위 (N-M)비트에 따라 선택하는 제2 디지털-아날로그 변환기 블록;

상기 복수의 채널들 각각에서 상기 선택된 시분할 감마 전압 신호가 나타내는 상기 상응하는 2^M 개의 감마 전압들 중 하나의 감마 전압을 상기 복수의 화소 데이터 중 상응하는 하나의 상기 N비트의 하위 M비트에 따라 선택하는 시분할 감마 전압 선택 블록; 및

상기 복수의 채널들 각각에서 상기 복수의 데이터 전압들 중 상응하는 하나로서 상기 선택된 감마 전압을 출력하는 출력 버퍼 블록을 포함하는 데이터 드라이버.

청구항 2

제1 항에 있어서, 상기 복수의 채널들이 K개의 채널 그룹들로 그룹화되며,

상기 K개의 시분할 감마 전압 라인들이 상기 K개의 채널 그룹들에 각각 연결된 것을 특징으로 하는 데이터 드라이버.

청구항 3

제1 항에 있어서, 상기 복수의 채널들은 K*L개의 채널들(L은 1 이상의 정수)을 포함하고,

상기 K*L개의 채널들 중 제(K*I+J) 채널(I는 0 내지 L-1의 정수이고, J는 1 내지 K의 정수임)이 제J 채널 그룹으로 그룹화되도록, 상기 K*L개의 채널들이 K개의 채널 그룹들로 그룹화되고,

상기 K개의 시분할 감마 전압 라인들 각각이 상기 K*L개의 채널들 중 상응하는 L개의 채널들에 연결되도록, 상기 K개의 시분할 감마 전압 라인들이 상기 K개의 채널 그룹들에 각각 연결된 것을 특징으로 하는 데이터 드라이버.

청구항 4

제1 항에 있어서, 상기 K개의 시분할 감마 전압 라인들은 4개의 시분할 감마 전압 라인들이고,

상기 복수의 채널들은 $4 \times L$ 개의 채널들(L 은 1 이상의 정수)을 포함하고,

상기 $4 \times L$ 개의 채널들 중 제 $(4 \times I + J)$ 채널(I 는 0 내지 $L-1$ 의 정수이고, J 는 1 내지 4의 정수임)이 제 J 채널 그룹으로 그룹화되도록, 상기 $4 \times L$ 개의 채널들이 4개의 채널 그룹들로 그룹화되고,

상기 4개의 시분할 감마 전압 라인들 각각이 상기 $4 \times L$ 개의 채널들 중 상응하는 L 개의 채널들에 연결되도록, 상기 4개의 시분할 감마 전압 라인들이 상기 4개의 채널 그룹들에 각각 연결된 것을 특징으로 하는 데이터 드라이버.

청구항 5

제1 항에 있어서, 상기 복수의 채널들은 $K \times L$ 개의 채널들(L 은 1 이상의 정수)을 포함하고,

상기 $K \times L$ 개의 채널들 중 연속된 L 개의 채널들이 동일한 채널 그룹으로 그룹화되도록, 상기 $K \times L$ 개의 채널들이 K 개의 채널 그룹들로 그룹화되고,

상기 K 개의 시분할 감마 전압 라인들 각각이 상기 $K \times L$ 개의 채널들 중 상응하는 L 개의 채널들에 연결되도록, 상기 K 개의 시분할 감마 전압 라인들이 상기 K 개의 채널 그룹들에 각각 연결된 것을 특징으로 하는 데이터 드라이버.

청구항 6

제1 항에 있어서, 상기 K 개의 시분할 감마 전압 라인들은 4개의 시분할 감마 전압 라인들이고,

상기 복수의 채널들은 $4 \times L$ 개의 채널들(L 은 1 이상의 정수)을 포함하고,

상기 $4 \times L$ 개의 채널들 중 제1 내지 제 L 채널들이 제1 채널 그룹으로 그룹화되고, 상기 $4 \times L$ 개의 채널들 중 제 $L+1$ 내지 제 $2L$ 채널들이 제2 채널 그룹으로 그룹화되며, 상기 $4 \times L$ 개의 채널들 중 제 $2L+1$ 내지 제 $3L$ 채널들이 제3 채널 그룹으로 그룹화되고, 상기 $4 \times L$ 개의 채널들 중 제 $3L+1$ 내지 제 $4L$ 채널들이 제4 채널 그룹으로 그룹화되며,

상기 4개의 시분할 감마 전압 라인들 각각이 상기 $4 \times L$ 개의 채널들 중 상응하는 L 개의 채널들에 연결되도록, 상기 4개의 시분할 감마 전압 라인들이 상기 제1 내지 제4 채널 그룹들에 각각 연결된 것을 특징으로 하는 데이터 드라이버.

청구항 7

제1 항에 있어서, 상기 1 수평 시간이 동일한 시간 길이를 가지는 2^M 개의 분할 시간들로 등분되고,

상기 각 시분할 감마 전압 신호는 상기 2^M 개의 분할 시간들에서 비-선형적인 전압 간격으로 변경되는 상기 상응하는 2^M 개의 감마 전압들을 각각 나타내는 것을 특징으로 하는 데이터 드라이버.

청구항 8

제1 항에 있어서, 상기 1 수평 시간이 동일한 시간 길이를 가지는 2^M 개의 분할 시간들로 등분되고,

상기 각 시분할 감마 전압 신호는 상기 2^M 개의 분할 시간들에서 동일한 전압 간격으로 변경되는 상기 상응하는 2^M 개의 감마 전압들을 각각 나타내는 것을 특징으로 하는 데이터 드라이버.

청구항 9

제1 항에 있어서, 상기 1 수평 시간이 서로 다른 시간 길이들을 가지는 2^M 개의 분할 시간들로 분할되고,

상기 각 시분할 감마 전압 신호는 상기 2^M 개의 분할 시간들에서 동일한 전압 간격으로 변경되는 상기 상응하는 2^M 개의 감마 전압들을 각각 나타내는 것을 특징으로 하는 데이터 드라이버.

청구항 10

제1 항에 있어서, 상기 감마 전압 생성기는,

고 전압의 라인과 저 전압의 라인 사이에 직렬로 연결되고, 상기 고 전압과 상기 저 전압 사이를 분압하여 상기 2^N 개의 감마 전압들을 생성하는 2^N+1 개의 저항들을 포함하는 것을 특징으로 하는 데이터 드라이버.

청구항 11

제1 항에 있어서, 상기 감마 전압 생성기에 의해 생성된 상기 2^N 개의 감마 전압들은 제1 감마 전압으로부터 제 2^N 감마 전압까지 점진적으로 감소하는 것을 특징으로 하는 데이터 드라이버.

청구항 12

제1 항에 있어서, 상기 감마 전압 생성기에 의해 생성된 상기 2^N 개의 감마 전압들은 제1 감마 전압으로부터 제 2^N 감마 전압까지 점진적으로 증가하는 것을 특징으로 하는 데이터 드라이버.

청구항 13

제1 항에 있어서, 저계조 영역에서의 상기 2^N 개의 감마 전압들 사이의 전압 간격은 고계조 영역에서의 상기 2^N 개의 감마 전압들 사이의 전압 간격보다 작은 것을 특징으로 하는 데이터 드라이버.

청구항 14

제1 항에 있어서, 상기 제1 디지털-아날로그 변환기 블록은,

상기 1 수평 시간 동안 2^M 개의 클록들을 가지는 M-클록 신호를 생성하는 M-클록 생성기;

상기 M-클록 신호에 응답하여 1 내지 2^M 을 나타내는 M-카운트 신호를 생성하는 M비트 카운터; 및

상기 2^{N-M} 개의 시분할 감마 전압 신호들을 각각 출력하는 2^{N-M} 개의 M비트 디지털-아날로그 변환기들로서, 각 M비트 디지털-아날로그 변환기가, 상기 2^{N-M} 개의 시분할 감마 전압 신호들 중 상응하는 하나로서, 상기 M-카운트 신호에 응답하여 상기 상응하는 2^M 개의 감마 전압들을 순차적으로 출력하는 상기 2^{N-M} 개의 M비트 디지털-아날로그 변환기들을 포함하는 것을 특징으로 하는 데이터 드라이버.

청구항 15

제1 항에 있어서, 상기 제2 디지털-아날로그 변환기 블록은,

상기 복수의 채널들에 상응하는 복수의 (N-M)비트 디지털-아날로그 변환기들로서, 각 (N-M)비트 디지털-아날로그 변환기가 상기 복수의 화소 데이터 중 상응하는 하나의 상기 상위 (N-M)비트에 따라 상기 2^{N-M} 개의 시분할 감마 전압 신호들 중 상기 하나의 시분할 감마 전압 신호를 선택하는 상기 복수의 (N-M)비트 디지털-아날로그 변환기들을 포함하는 것을 특징으로 하는 데이터 드라이버.

청구항 16

제15 항에 있어서, 상기 복수의 (N-M)비트 디지털-아날로그 변환기들 각각은,

상기 복수의 화소 데이터 중 상응하는 하나의 상기 상위 (N-M)비트에 기초하여 2^{N-M} 개의 스위칭 신호들을 생성하는 디코더; 및

상기 2^{N-M} 개의 스위칭 신호들에 응답하여 상기 2^{N-M} 개의 시분할 감마 전압 신호들을 선택적으로 출력하는 2^{N-M} 개의 스위치들을 포함하는 것을 특징으로 하는 데이터 드라이버.

청구항 17

제1 항에 있어서, 상기 시분할 감마 전압 선택 블록은,

상기 복수의 채널들에 상응하는 복수의 스위칭 신호 생성기들로서, 각 스위칭 신호 생성기가 상기 1 수평 시간의 2^M 개의 분할 시간들 중 상기 복수의 화소 데이터 중 상응하는 하나의 상기 하위 M비트에 상응하는 분할 시간

동안 액티브 레벨을 가지는 시분할 스위칭 신호를 생성하는 상기 복수의 스위칭 신호 생성기들; 및

상기 복수의 채널들에 상응하는 복수의 시분할 감마 전압 선택 스위치들로서, 각 시분할 감마 전압 선택 스위치가 상기 액티브 레벨을 가지는 상기 시분할 스위칭 신호에 응답하여 상기 상응하는 2^M 개의 감마 전압들 중 상기 하나의 감마 전압을 선택하는 상기 복수의 시분할 감마 전압 선택 스위치들을 포함하는 것을 특징으로 하는 데이터 드라이버.

청구항 18

제1 항에 있어서,

시작 신호 및 클록 신호에 응답하여 샘플링 신호들을 순차적으로 생성하는 쉬프트 레지스터 블록;

상기 샘플링 신호들에 응답하여 상기 복수의 화소 데이터를 순차적으로 샘플링하는 샘플링 래치 블록; 및

로드 신호에 응답하여 상기 샘플링 래치 블록에 의해 샘플링된 상기 복수의 화소 데이터를 저장하는 홀딩 래치 블록을 더 포함하는 것을 특징으로 하는 데이터 드라이버.

청구항 19

제18 항에 있어서, 상기 홀딩 래치 블록으로부터 출력되는 상기 복수의 화소 데이터 각각의 상기 N비트의 상기 상위 (N-M)비트가 상기 제2 디지털-아날로그 변환기 블록에 제공되고,

상기 홀딩 래치 블록으로부터 출력되는 상기 복수의 화소 데이터 각각의 상기 N비트의 상기 하위 M비트가 상기 시분할 감마 전압 선택 블록에 제공되는 것을 특징으로 하는 데이터 드라이버.

청구항 20

복수의 화소들을 포함하는 표시 패널;

각각이 N비트(N은 2 이상의 정수)를 가지는 복수의 화소 데이터를 수신하고, 복수의 채널들에서 상기 복수의 화소들에 상기 복수의 화소 데이터에 상응하는 복수의 데이터 전압들을 출력하는 데이터 드라이버; 및

상기 데이터 드라이버에 상기 복수의 화소 데이터를 제공하는 컨트롤러를 포함하고,

상기 데이터 드라이버는,

2^N 개의 감마 전압들을 생성하는 감마 전압 생성기;

각 감마 전압 그룹이 상기 2^N 개의 감마 전압들 중 상응하는 2^M 개의 감마 전압들(M은 1 이상 및 N 미만의 정수)을 포함하도록 상기 2^N 개의 감마 전압들을 2^{N-M} 개의 감마 전압 그룹들로 그룹화하고, 상기 2^{N-M} 개의 감마 전압 그룹들에 각각 상응하는 2^{N-M} 개의 시분할 감마 전압 신호들을 생성하고, 각 시분할 감마 전압 신호가 1 수평 시간을 분할하여 상기 상응하는 2^M 개의 감마 전압들을 나타내는 제1 디지털-아날로그 변환기 블록;

상기 2^{N-M} 개의 시분할 감마 전압 신호들을 전송하는 상기 2^{N-M} 개의 시분할 감마 전압 라인 그룹들로서, 각 시분할 감마 전압 라인 그룹이 상기 2^{N-M} 개의 시분할 감마 전압 신호들 중 동일한 하나를 전송하는 K개의 시분할 감마 전압 라인들(K는 2 이상 및 상기 복수의 채널들의 개수 이하의 정수)을 포함하는 상기 2^{N-M} 개의 시분할 감마 전압 라인 그룹들;

상기 2^{N-M} 개의 시분할 감마 전압 라인 그룹들을 통하여 상기 2^{N-M} 개의 시분할 감마 전압 신호들을 수신하고, 상기 복수의 채널들 각각에서 상기 2^{N-M} 개의 시분할 감마 전압 신호들 중 하나의 시분할 감마 전압 신호를 상기 복수의 화소 데이터 중 상응하는 하나의 상기 N비트의 상위 (N-M)비트에 따라 선택하는 제2 디지털-아날로그 변환기 블록;

상기 복수의 채널들 각각에서 상기 선택된 시분할 감마 전압 신호가 나타내는 상기 상응하는 2^M 개의 감마 전압들 중 하나의 감마 전압을 상기 복수의 화소 데이터 중 상응하는 하나의 상기 N비트의 하위 M비트에 따라 선택하는

시분할 감마 전압 선택 블록; 및

상기 복수의 채널들 각각에서 상기 복수의 데이터 전압들 중 상응하는 하나로서 상기 선택된 감마 전압을 출력하는 출력 버퍼 블록을 포함하는 것을 특징으로 하는 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 표시 장치에 관한 것으로서, 보다 구체적으로, 데이터 드라이버, 및 데이터 드라이버를 포함하는 표시 장치에 관한 것이다.

배경 기술

[0002] 표시 장치의 데이터 드라이버는 복수의 화소들에 대한 복수의 화소 데이터를 수신하고, 복수의 채널들에서 상기 복수의 화소들에 상기 복수의 화소 데이터에 상응하는 복수의 데이터 전압들을 출력할 수 있다. 상기 복수의 화소 데이터에 상응하는 상기 복수의 데이터 전압들을 출력하도록, 상기 데이터 드라이버는 복수의 감마 전압들을 생성하고, 복수의 감마 전압 라인들을 통하여 각 채널에 상기 복수의 감마 전압들을 제공하며, 각 채널에서 상응하는 화소 데이터에 따라 상기 복수의 감마 전압들 중 하나를 선택하고, 각 채널에서 상응하는 데이터 전압으로서 선택된 감마 전압을 출력할 수 있다. 한편, 상기 복수의 감마 전압들을 선택하기 위한 구성, 특히 상기 복수의 감마 전압들의 개수에 상응하는 개수의 상기 복수의 감마 전압 라인들이 상기 데이터 드라이버 내에서 큰 면적을 요구할 수 있다. 특히, 각 화소 데이터의 비트 수가 1비트 증가하면, 상기 복수의 감마 전압 라인들의 개수가 두 배가 되고, 상기 데이터 드라이버의 면적이 크게 증가될 수 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 일 목적은 감소된 면적을 가지는 데이터 드라이버를 제공하는 것이다.

[0004] 본 발명의 다른 목적은 감소된 면적을 가지는 데이터 드라이버를 포함하는 표시 장치를 제공하는 것이다.

[0005] 다만, 본 발명의 해결하고자 하는 과제는 상기 언급된 과제에 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

과제의 해결 수단

[0006] 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 각각이 N비트(N은 2 이상의 정수)를 가지는 복수의 화소 데이터를 수신하고, 복수의 채널들에서 복수의 화소들에 상기 복수의 화소 데이터에 상응하는 복수의 데이터 전압들을 출력하는 데이터 드라이버는 2^N 개의 감마 전압들을 생성하는 감마 전압 생성기, 각 감마 전압 그룹이 상기 2^N 개의 감마 전압들 중 상응하는 2^M 개의 감마 전압들(M은 1 이상 및 N 미만의 정수)을 포함하도록 상기 2^N 개의 감마 전압들을 2^{N-M} 개의 감마 전압 그룹들로 그룹화하고, 상기 2^{N-M} 개의 감마 전압 그룹들에 각각 상응하는 2^{N-M} 개의 시분할 감마 전압 신호들을 생성하고, 각 시분할 감마 전압 신호가 1 수평 시간을 분할하여 상기 상응하는 2^M 개의 감마 전압들을 나타내는 제1 디지털-아날로그 변환기 블록, 상기 2^{N-M} 개의 시분할 감마 전압 신호들을 전송하는 상기 2^{N-M} 개의 시분할 감마 전압 라인 그룹들로서, 각 시분할 감마 전압 라인 그룹이 상기 2^{N-M} 개의 시분할 감마 전압 신호들 중 동일한 하나를 전송하는 K개의 시분할 감마 전압 라인들(K는 2 이상 및 상기 복수의 채널들의 개수 이하의 정수)을 포함하는 상기 2^{N-M} 개의 시분할 감마 전압 라인 그룹들, 상기 2^{N-M} 개의 시분할 감마 전압 라인 그룹들을 통하여 상기 2^{N-M} 개의 시분할 감마 전압 신호들을 수신하고, 상기 복수의 채널들 각각에서 상기 2^{N-M} 개의 시분할 감마 전압 신호들 중 하나의 시분할 감마 전압 신호를 상기 복수의 화소 데이터 중 상응하는 하나의 상기 N비트의 상위 (N-M)비트에 따라 선택하는 제2 디지털-아날로그 변환기 블록, 상기 복수의 채널들 각각에서 상기 선택된 시분할 감마 전압 신호가 나타내는 상기 상응하는 2^M 개의 감마 전압들 중 하나의 감마 전압을 상기 복수의 화소 데이터 중 상응하는 하나의 상기 N비트의 하위 M비트에 따라 선택하는 시

분할 감마 전압 선택 블록, 및 상기 복수의 채널들 각각에서 상기 복수의 데이터 전압들 중 상응하는 하나로서 상기 선택된 감마 전압을 출력하는 출력 버퍼 블록을 포함한다.

- [0007] 일 실시예에서, 상기 복수의 채널들이 K개의 채널 그룹들로 그룹화되며, 상기 K개의 시분할 감마 전압 라인들이 상기 K개의 채널 그룹들에 각각 연결될 수 있다.
- [0008] 일 실시예에서, 상기 복수의 채널들은 $K \times L$ 개의 채널들(L 은 1 이상의 정수)을 포함하고, 상기 $K \times L$ 개의 채널들 중 제($K \times I + J$) 채널(I 는 0 내지 $L-1$ 의 정수이고, J 는 1 내지 K 의 정수임)이 제J 채널 그룹으로 그룹화되도록, 상기 $K \times L$ 개의 채널들이 K개의 채널 그룹들로 그룹화되고, 상기 K개의 시분할 감마 전압 라인들 각각이 상기 $K \times L$ 개의 채널들 중 상응하는 L개의 채널들에 연결되도록, 상기 K개의 시분할 감마 전압 라인들이 상기 K개의 채널 그룹들에 각각 연결될 수 있다.
- [0009] 일 실시예에서, 상기 K개의 시분할 감마 전압 라인들은 4개의 시분할 감마 전압 라인들이고, 상기 복수의 채널들은 $4 \times L$ 개의 채널들(L 은 1 이상의 정수)을 포함하고, 상기 $4 \times L$ 개의 채널들 중 제($4 \times I + J$) 채널(I 는 0 내지 $L-1$ 의 정수이고, J 는 1 내지 4의 정수임)이 제J 채널 그룹으로 그룹화되도록, 상기 $4 \times L$ 개의 채널들이 4개의 채널 그룹들로 그룹화되고, 상기 4개의 시분할 감마 전압 라인들 각각이 상기 $4 \times L$ 개의 채널들 중 상응하는 L개의 채널들에 연결되도록, 상기 4개의 시분할 감마 전압 라인들이 상기 4개의 채널 그룹들에 각각 연결될 수 있다.
- [0010] 일 실시예에서, 상기 복수의 채널들은 $K \times L$ 개의 채널들(L 은 1 이상의 정수)을 포함하고, 상기 $K \times L$ 개의 채널들 중 연속된 L개의 채널들이 동일한 채널 그룹으로 그룹화되도록, 상기 $K \times L$ 개의 채널들이 K개의 채널 그룹들로 그룹화되고, 상기 K개의 시분할 감마 전압 라인들 각각이 상기 $K \times L$ 개의 채널들 중 상응하는 L개의 채널들에 연결되도록, 상기 K개의 시분할 감마 전압 라인들이 상기 K개의 채널 그룹들에 각각 연결될 수 있다.
- [0011] 일 실시예에서, 상기 K개의 시분할 감마 전압 라인들은 4개의 시분할 감마 전압 라인들이고, 상기 복수의 채널들은 $4 \times L$ 개의 채널들(L 은 1 이상의 정수)을 포함하고, 상기 $4 \times L$ 개의 채널들 중 제1 내지 제L 채널들이 제1 채널 그룹으로 그룹화되고, 상기 $4 \times L$ 개의 채널들 중 제L+1 내지 제2L 채널들이 제2 채널 그룹으로 그룹화되며, 상기 $4 \times L$ 개의 채널들 중 제2L+1 내지 제3L 채널들이 제3 채널 그룹으로 그룹화되고, 상기 $4 \times L$ 개의 채널들 중 제3L+1 내지 제4L 채널들이 제4 채널 그룹으로 그룹화되며, 상기 4개의 시분할 감마 전압 라인들 각각이 상기 $4 \times L$ 개의 채널들 중 상응하는 L개의 채널들에 연결되도록, 상기 4개의 시분할 감마 전압 라인들이 상기 제1 내지 제4 채널 그룹들에 각각 연결될 수 있다.
- [0012] 일 실시예에서, 상기 1 수평 시간이 동일한 시간 길이를 가지는 2^M 개의 분할 시간들로 등분되고, 상기 각 시분할 감마 전압 신호는 상기 2^M 개의 분할 시간들에서 비-선형적인 전압 간격으로 변경되는 상기 상응하는 2^M 개의 감마 전압들을 각각 나타낼 수 있다.
- [0013] 일 실시예에서, 상기 1 수평 시간이 동일한 시간 길이를 가지는 2^M 개의 분할 시간들로 등분되고, 상기 각 시분할 감마 전압 신호는 상기 2^M 개의 분할 시간들에서 동일한 전압 간격으로 변경되는 상기 상응하는 2^M 개의 감마 전압들을 각각 나타낼 수 있다.
- [0014] 일 실시예에서, 상기 1 수평 시간이 서로 다른 시간 길이를 가지는 2^M 개의 분할 시간들로 분할되고, 상기 각 시분할 감마 전압 신호는 상기 2^M 개의 분할 시간들에서 동일한 전압 간격으로 변경되는 상기 상응하는 2^M 개의 감마 전압들을 각각 나타낼 수 있다.
- [0015] 일 실시예에서, 상기 감마 전압 생성기는, 고 전압의 라인과 저 전압의 라인 사이에 직렬로 연결되고, 상기 고 전압과 상기 저 전압 사이를 분압하여 상기 2^N 개의 감마 전압들을 생성하는 $2^N + 1$ 개의 저항들을 포함할 수 있다.
- [0016] 일 실시예에서, 상기 감마 전압 생성기에 의해 생성된 상기 2^N 개의 감마 전압들은 제1 감마 전압으로부터 제 2^N 감마 전압까지 점진적으로 감소할 수 있다.
- [0017] 일 실시예에서, 상기 감마 전압 생성기에 의해 생성된 상기 2^N 개의 감마 전압들은 제1 감마 전압으로부터 제 2^N 감마 전압까지 점진적으로 증가할 수 있다.
- [0018] 일 실시예에서, 저계조 영역에서의 상기 2^N 개의 감마 전압들 사이의 전압 간격은 고계조 영역에서의 상기 2^N 개의 감마 전압들 사이의 전압 간격보다 작을 수 있다.

- [0019] 일 실시예에서, 상기 제1 디지털-아날로그 변환기 블록은, 상기 1 수평 시간 동안 2^M 개의 클록들을 가지는 M-클록 신호를 생성하는 M-클록 생성기, 상기 M-클록 신호에 응답하여 1 내지 2^M 을 나타내는 M-카운트 신호를 생성하는 M비트 카운터, 및 상기 2^{N-M} 개의 시분할 감마 전압 신호들을 각각 출력하는 2^{N-M} 개의 M비트 디지털-아날로그 변환기들로서, 각 M비트 디지털-아날로그 변환기가, 상기 2^{N-M} 개의 시분할 감마 전압 신호들 중 상응하는 하나로서, 상기 M-카운트 신호에 응답하여 상기 상응하는 2^M 개의 감마 전압들을 순차적으로 출력하는 상기 2^{N-M} 개의 M비트 디지털-아날로그 변환기들을 포함할 수 있다.
- [0020] 일 실시예에서, 상기 제2 디지털-아날로그 변환기 블록은, 상기 복수의 채널들에 상응하는 복수의 (N-M)비트 디지털-아날로그 변환기들로서, 각 (N-M)비트 디지털-아날로그 변환기가 상기 복수의 화소 데이터 중 상응하는 하나의 상기 상위 (N-M)비트에 따라 상기 2^{N-M} 개의 시분할 감마 전압 신호들 중 상기 하나의 시분할 감마 전압 신호를 선택하는 상기 복수의 (N-M)비트 디지털-아날로그 변환기들을 포함할 수 있다.
- [0021] 일 실시예에서, 상기 복수의 (N-M)비트 디지털-아날로그 변환기들 각각은, 상기 복수의 화소 데이터 중 상응하는 하나의 상기 상위 (N-M)비트에 기초하여 2^{N-M} 개의 스위칭 신호들을 생성하는 디코더, 및 상기 2^{N-M} 개의 스위칭 신호들에 응답하여 상기 2^{N-M} 개의 시분할 감마 전압 신호들을 선택적으로 출력하는 2^{N-M} 개의 스위치들을 포함할 수 있다.
- [0022] 일 실시예에서, 상기 시분할 감마 전압 선택 블록은, 상기 복수의 채널들에 상응하는 복수의 스위칭 신호 생성기들로서, 각 스위칭 신호 생성기가 상기 1 수평 시간의 2^M 개의 분할 시간들 중 상기 복수의 화소 데이터 중 상응하는 하나의 상기 하위 M비트에 상응하는 분할 시간 동안 액티브 레벨을 가지는 시분할 스위칭 신호를 생성하는 상기 복수의 스위칭 신호 생성기들, 및 상기 복수의 채널들에 상응하는 복수의 시분할 감마 전압 선택 스위치들로서, 각 시분할 감마 전압 선택 스위치가 상기 액티브 레벨을 가지는 상기 시분할 스위칭 신호에 응답하여 상기 상응하는 2^M 개의 감마 전압들 중 상기 하나의 감마 전압을 선택하는 상기 복수의 시분할 감마 전압 선택 스위치들을 포함할 수 있다.
- [0023] 일 실시예에서, 상기 데이터 드라이버는 시작 신호 및 클록 신호에 응답하여 샘플링 신호들을 순차적으로 생성하는 쉬프트 레지스터 블록, 상기 샘플링 신호들에 응답하여 상기 복수의 화소 데이터를 순차적으로 샘플링하는 샘플링 래치 블록, 및 로드 신호에 응답하여 상기 샘플링 래치 블록에 의해 샘플링된 상기 복수의 화소 데이터를 저장하는 홀딩 래치 블록을 더 포함할 수 있다.
- [0024] 일 실시예에서, 상기 홀딩 래치 블록으로부터 출력되는 상기 복수의 화소 데이터 각각의 상기 N비트의 상기 상위 (N-M)비트가 상기 제2 디지털-아날로그 변환기 블록에 제공되고, 상기 홀딩 래치 블록으로부터 출력되는 상기 복수의 화소 데이터 각각의 상기 N비트의 상기 하위 M비트가 상기 시분할 감마 전압 선택 블록에 제공될 수 있다.
- [0025] 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 표시 장치는 복수의 화소들을 포함하는 표시 패널, 각각이 N비트(N은 2 이상의 정수)를 가지는 복수의 화소 데이터를 수신하고, 복수의 채널들에서 상기 복수의 화소들에 상기 복수의 화소 데이터에 상응하는 복수의 데이터 전압들을 출력하는 데이터 드라이버, 및 상기 데이터 드라이버에 상기 복수의 화소 데이터를 제공하는 컨트롤러를 포함한다. 상기 데이터 드라이버는, 2^N 개의 감마 전압들을 생성하는 감마 전압 생성기, 각 감마 전압 그룹이 상기 2^N 개의 감마 전압들 중 상응하는 2^M 개의 감마 전압들(M은 1 이상 및 N 미만의 정수)을 포함하도록 상기 2^N 개의 감마 전압들을 2^{N-M} 개의 감마 전압 그룹들로 그룹화하고, 상기 2^{N-M} 개의 감마 전압 그룹들에 각각 상응하는 2^{N-M} 개의 시분할 감마 전압 신호들을 생성하고, 각 시분할 감마 전압 신호가 1 수평 시간을 분할하여 상기 상응하는 2^M 개의 감마 전압들을 나타내는 제1 디지털-아날로그 변환기 블록, 상기 2^{N-M} 개의 시분할 감마 전압 신호들을 전송하는 상기 2^{N-M} 개의 시분할 감마 전압 라인 그룹들로서, 각 시분할 감마 전압 라인 그룹이 상기 2^{N-M} 개의 시분할 감마 전압 신호들 중 동일한 하나를 전송하는 K개의 시분할 감마 전압 라인들(K는 2 이상 및 상기 복수의 채널들의 개수 이하의 정수)을 포함하는 상기 2^{N-M} 개의 시분할 감마 전압 라인 그룹들, 상기 2^{N-M} 개의 시분할 감마 전압 라인 그룹들을 통하여 상기 2^N

M 개의 시분할 감마 전압 신호들을 수신하고, 상기 복수의 채널들 각각에서 상기 2^{N-M} 개의 시분할 감마 전압 신호들 중 하나의 시분할 감마 전압 신호를 상기 복수의 화소 데이터 중 상응하는 하나의 상기 N 비트의 상위 $(N-M)$ 비트에 따라 선택하는 제2 디지털-아날로그 변환기 블록, 상기 복수의 채널들 각각에서 상기 선택된 시분할 감마 전압 신호가 나타내는 상기 상응하는 2^M 개의 감마 전압들 중 하나의 감마 전압을 상기 복수의 화소 데이터 중 상응하는 하나의 상기 N 비트의 하위 M 비트에 따라 선택하는 시분할 감마 전압 선택 블록, 및 상기 복수의 채널들 각각에서 상기 복수의 데이터 전압들 중 상응하는 하나로서 상기 선택된 감마 전압을 출력하는 출력 버퍼 블록을 포함한다.

발명의 효과

[0026] 본 발명의 실시예들에 따른 데이터 드라이버 및 표시 장치에서, 제1 디지털-아날로그 변환기 블록이 2^{N-M} 개의 시분할 감마 전압 신호들을 생성하고, 제2 디지털-아날로그 변환기 블록이 각 채널에서 각 화소 데이터의 상위 $(N-M)$ 비트에 따라 상기 2^{N-M} 개의 시분할 감마 전압 신호들 중 하나를 선택하고, 시분할 감마 전압 선택 블록이 각 채널에서 각 화소 데이터의 하위 M 비트에 따라 선택된 시분할 감마 전압 신호가 나타내는 2^M 개의 감마 전압들 중 하나를 선택할 수 있다. 이에 따라, 데이터 드라이버의 면적 및 전력 소모가 감소될 수 있다.

[0027] 또한, 본 발명의 실시예들에 따른 데이터 드라이버 및 표시 장치에서, 각 시분할 감마 전압 신호가 K 개의 시분할 감마 전압 라인들(K 는 2 이상 및 상기 복수의 채널들의 개수 이하의 정수)을 통하여 상기 복수의 채널들에 전송되고, 각 시분할 감마 전압 라인은 상기 복수의 채널들 중 상응하는 일부에만 연결될 수 있다. 이에 따라, 각 시분할 감마 전압 신호의 지연(예를 들어, RC 딜레이)이 감소될 수 있고, 상기 복수의 채널들 각각에 상기 시분할 감마 전압 신호가 정확하게 전달될 수 있다.

[0028] 다만, 본 발명의 효과는 상술한 효과에 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

도면의 간단한 설명

[0029] 도 1은 본 발명의 실시예들에 따른 데이터 드라이버를 나타내는 블록도이다.

도 2는 본 발명의 실시예들에 따른 데이터 드라이버에 포함된 감마 전압 생성기의 일 예를 나타내는 회로도이다.

도 3은 본 발명의 일 실시예에 따른 감마 전압 생성기에 의해 생성되는 감마 전압들의 일 예를 나타내는 도면이다.

도 4은 본 발명의 다른 실시예에 따른 감마 전압 생성기에 의해 생성되는 감마 전압들의 일 예를 나타내는 도면이다.

도 5는 본 발명의 실시예들에 따른 데이터 드라이버에 포함된 제1 디지털-아날로그 변환기 블록의 일 예를 나타내는 블록도이다.

도 6은 제1 디지털-아날로그 변환기 블록의 각 M 비트 디지털-아날로그 변환기에서 출력되는 시분할 감마 전압 신호의 일 예를 나타내는 도면이다.

도 7은 제1 디지털-아날로그 변환기 블록의 각 M 비트 디지털-아날로그 변환기에서 출력되는 시분할 감마 전압 신호의 다른 예를 나타내는 도면이다.

도 8은 제1 디지털-아날로그 변환기 블록의 각 M 비트 디지털-아날로그 변환기에서 출력되는 시분할 감마 전압 신호의 또 다른 예를 나타내는 도면이다.

도 9은 본 발명의 실시예들에 따른 데이터 드라이버에서 복수의 시분할 감마 전압 라인 그룹들이 복수의 채널들에 연결되는 일 예를 나타내는 도면이다.

도 10은 각 시분할 감마 전압 라인에서의 시분할 감마 전압 신호의 지연의 일 예를 설명하기 위한 도면이다.

도 11은 본 발명의 실시예들에 따른 데이터 드라이버에서 복수의 시분할 감마 전압 라인 그룹들이 복수의 채널들에 연결되는 다른 예를 나타내는 도면이다.

도 12는 본 발명의 실시예들에 따른 데이터 드라이버에 포함된 제2 디지털-아날로그 변환기 블록의 일 예를 나타내는 블록도이다.

도 13은 본 발명의 실시예들에 따른 데이터 드라이버에 포함된 시분할 감마 전압 선택 블록의 일 예를 나타내는 블록도이다.

도 14는 도 13의 시분할 감마 전압 선택 블록의 동작의 일 예를 설명하기 위한 나타내는 블록도이다.

도 15는 본 발명의 실시예들에 따른 데이터 드라이버를 포함하는 표시 장치를 나타내는 블록도이다.

도 16은 본 발명의 일 실시예에 따른 표시 장치에 포함된 화소의 일 예를 나타내는 회로도이다.

도 17은 본 발명의 다른 실시예에 따른 표시 장치에 포함된 화소의 일 예를 나타내는 회로도이다.

도 18은 본 발명의 실시예들에 따른 표시 장치를 포함하는 전자 기기를 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0030] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.

[0031] 도 1은 본 발명의 실시예들에 따른 데이터 드라이버를 나타내는 블록도이고, 도 2는 본 발명의 실시예들에 따른 데이터 드라이버에 포함된 감마 전압 생성기의 일 예를 나타내는 회로도이고, 도 3은 본 발명의 일 실시예에 따른 감마 전압 생성기에 의해 생성되는 감마 전압들의 일 예를 나타내는 도면이고, 도 4은 본 발명의 다른 실시예에 따른 감마 전압 생성기에 의해 생성되는 감마 전압들의 일 예를 나타내는 도면이고, 도 5는 본 발명의 실시예들에 따른 데이터 드라이버에 포함된 제1 디지털-아날로그 변환기 블록의 일 예를 나타내는 블록도이고, 도 6은 제1 디지털-아날로그 변환기 블록의 각 M비트 디지털-아날로그 변환기에서 출력되는 시분할 감마 전압 신호의 일 예를 나타내는 도면이고, 도 7은 제1 디지털-아날로그 변환기 블록의 각 M비트 디지털-아날로그 변환기에서 출력되는 시분할 감마 전압 신호의 다른 예를 나타내는 도면이고, 도 8은 제1 디지털-아날로그 변환기 블록의 각 M비트 디지털-아날로그 변환기에서 출력되는 시분할 감마 전압 신호의 또 다른 예를 나타내는 도면이고, 도 9은 본 발명의 실시예들에 따른 데이터 드라이버에서 복수의 시분할 감마 전압 라인 그룹들이 복수의 채널들에 연결되는 일 예를 나타내는 도면이고, 도 10은 각 시분할 감마 전압 라인에서의 시분할 감마 전압 신호의 지연의 일 예를 설명하기 위한 도면이고, 도 11은 본 발명의 실시예들에 따른 데이터 드라이버에서 복수의 시분할 감마 전압 라인 그룹들이 복수의 채널들에 연결되는 다른 예를 나타내는 도면이고, 도 12는 본 발명의 실시예들에 따른 데이터 드라이버에 포함된 제2 디지털-아날로그 변환기 블록의 일 예를 나타내는 블록도이고, 도 13은 본 발명의 실시예들에 따른 데이터 드라이버에 포함된 시분할 감마 전압 선택 블록의 일 예를 나타내는 블록도이고, 도 14는 도 13의 시분할 감마 전압 선택 블록의 동작의 일 예를 설명하기 위한 나타내는 블록도이다.

[0032] 도 1을 참조하면, 본 발명의 실시예들에 따른 데이터 드라이버(100)는 각각이 N비트(N은 2 이상의 정수)를 가지는 복수의 화소 데이터(PDAT)를 수신하고, 복수의 채널들(CH)에서 표시 패널의 복수의 화소들에 복수의 화소 데이터(PDAT)에 상응하는 복수의 데이터 전압들(VD)을 출력할 수 있다. 데이터 드라이버(100)는 감마 전압 생성기(150), 제1 디지털-아날로그 변환기(Digital-to-Analog Converter; DAC) 블록(160), 2^{N-M} 개의 시분할 감마 전압 라인 그룹들(TDGLV1 내지 TDGLV2^{N-M}), 제2 디지털-아날로그 변환기 블록(170), 시분할 감마 전압 선택 블록(180) 및 출력 버퍼 블록(190)을 포함할 수 있다. 일 실시예에서, 데이터 드라이버(100)는 쉬프트 레지스터 블록(110), 샘플링 래치 블록(120), 홀딩 래치 블록(130) 및 레벨 쉬프터 블록(140)을 더 포함할 수 있다.

[0033] 쉬프트 레지스터 블록(110)은 시작 신호(STS) 및 클럭 신호(CLK)에 응답하여 샘플링 신호들(SS)을 순차적으로 생성할 수 있다. 일 실시예에서, 쉬프트 레지스터 블록(110)은 클럭 신호(CLK)에 응답하여 시작 신호(STS)를 쉬프트하여 샘플링 신호들(SS)을 순차적으로 출력하는 복수의 직렬 연결된 쉬프트 레지스터들을 포함할 수 있다.

[0034] 샘플링 래치 블록(120)은 쉬프트 레지스터 블록(110)으로부터의 샘플링 신호들(SS)에 응답하여 컨트롤러로부터의 출력 영상 데이터, 즉 복수의 화소들에 대한 복수의 화소 데이터(PDAT)를 순차적으로 샘플링할 수 있다. 일 실시예에서, 샘플링 래치 블록(120)은 샘플링 신호들(SS)에 응답하여 복수의 화소 데이터(PDAT)를 각각 샘플링하는 복수의 샘플링 래치들을 포함할 수 있다.

[0035] 홀딩 래치 블록(130)은 로드 신호(LOAD)에 응답하여 샘플링 래치 블록(120)에 의해 샘플링된 복수의 화소 데이터(PDAT)를 저장할 수 있다. 일 실시예에서, 홀딩 래치 블록(130)은 샘플링 래치 블록(120)의 상기 복수의 샘플

링 래치들에 각각 상응하는 복수의 홀딩 래치들을 포함할 수 있다.

[0036] 레벨 쉬프터 블록(140)는 홀딩 래치 블록(130)로부터 출력된 복수의 화소 데이터(PDAT)의 전압 레벨을 제2 디지털-아날로그 변환기 블록(170) 및/또는 시분할 감마 전압 선택 블록(180)에 적합한 전압 레벨로 변경할 수 있다. 일 실시예에서, 레벨 쉬프터 블록(140)은 홀딩 래치 블록(130)의 상기 복수의 홀딩 래치들에 각각 상응하는 복수의 레벨 쉬프터들을 포함할 수 있다.

[0037] 일 실시예에서, 각 화소 데이터(PDAT)는 N비트(N은 2 이상의 정수)를 가질 수 있다. 각 채널(CH)에서, 홀딩 래치 블록(130)으로부터 (레벨 쉬프터 블록(140)을 통하여) 출력되는 각 화소 데이터(PDAT)의 상기 N비트의 상위 (N-M)비트가 제2 디지털-아날로그 변환기 블록(170)에 제공되고, 홀딩 래치 블록(130)으로부터 (레벨 쉬프터 블록(140)을 통하여) 출력되는 각 화소 데이터(PDAT)의 상기 N비트의 하위 M비트(M은 1 이상 및 N 미만의 정수)가 시분할 감마 전압 선택 블록(180)에 제공될 수 있다. 예를 들어, N은 10이고, M은 4인 경우, 각 채널(CH)에서, 홀딩 래치 블록(130)은 제2 디지털-아날로그 변환기 블록(170)에 각 화소 데이터(PDAT)의 상위 6비트를 제공하고, 시분할 감마 전압 선택 블록(180)에 각 화소 데이터(PDAT)의 하위 4비트를 제공할 수 있다.

[0038] 감마 전압 생성기(150)는 상기 N비트를 가지는 화소 데이터(PDAT)가 나타낼 수 있는 2^N 개의 계조들에 각각 상응하는 2^N 개의 감마 전압들(GV1 내지 GV 2^N)을 생성할 수 있다. 일 실시예에서, 감마 전압 생성기(150)는 컨트롤러 또는 감마 기준 전압 생성기로부터 상기 2^N 개의 계조들의 일부인 감마 기준 계조들에서의 감마 기준 전압들을 수신하고, 상기 감마 기준 전압들에 기초하여 상기 전체 2^N 개의 계조들에 각각 상응하는 2^N 개의 감마 전압들(GV1 내지 GV 2^N)을 생성할 수 있다.

[0039] 일 실시예에서, 도 2에 도시된 바와 같이, 감마 전압 생성기(150)는 고 전압(VDD)의 라인과 저 전압(VSS)의 라인 사이에 직렬로 연결된 2^N+1 개의 저항들(R1 내지 R 2^N+1)을 포함할 수 있다. 2^N+1 개의 저항들(R1 내지 R 2^N+1)은 고 전압(VDD)과 저 전압(VSS) 사이를 분압하여 2^N 개의 감마 전압들(GV1 내지 GV 2^N)을 생성할 수 있다. 일 실시예에서, 도 3에 도시된 바와 같이, 감마 전압 생성기(150)에 의해 생성된 2^N 개의 감마 전압들(GV1 내지 GV 2^N)은 제1 계조(예를 들어, 0-계조)에 상응하는 제1 감마 전압(GV1)으로부터 제 2^N 계조(예를 들어, N이 8인 경우, 255-계조)에 상응하는 제 2^N 감마 전압(GV 2^N)까지 점진적으로 감소할 수 있다. 다른 실시예에서, 도 4에 도시된 바와 같이, 감마 전압 생성기(150)에 의해 생성된 2^N 개의 감마 전압들(GV1 내지 GV 2^N)은 제1 계조(예를 들어, 0-계조)에 상응하는 제1 감마 전압(GV1)으로부터 제 2^N 계조(예를 들어, N이 8인 경우, 255-계조)에 상응하는 제 2^N 감마 전압(GV 2^N)까지 점진적으로 증가할 수 있다. 일 예에서, 감마 전압 생성기(150)는 상기 복수의 화소들 각각이 (예를 들어, 도 16에 도시된 바와 같이) PMOS 트랜지스터로 구현된 구동 트랜지스터(PT1)를 포함하는 경우 도 3에 도시된 2^N 개의 감마 전압들(GV1 내지 GV 2^N)을 생성하고, 상기 복수의 화소들 각각이 (예를 들어, 도 17에 도시된 바와 같이) NMOS 트랜지스터로 구현된 구동 트랜지스터(NT1)를 포함하는 경우 도 4에 도시된 2^N 개의 감마 전압들(GV1 내지 GV 2^N)을 생성할 수 있으나, 이에 한정되지 않는다. 예를 들어, 감마 전압 생성기(150)에 의해 생성된 2^N 개의 감마 전압들(GV1 내지 GV 2^N)은, 상기 구동 트랜지스터의 종류에 무관하게, 구동 전압 영역 등에 따라 제1 감마 전압(GV1)으로부터 제 2^N 감마 전압(GV 2^N)까지 증가 및/또는 감소될 수 있다. 또한, 일 실시예에서, 도 3 및 도 4에 도시된 바와 같이, 저계조 영역(예를 들어, 제1 계조 내지 제 2^M 계조)에서의 감마 전압들(예를 들어, 제1 감마 전압(GV1) 내지 제 2^M 감마 전압(GV 2^M)) 사이의 전압 간격은 고계조 영역(예를 들어, 제 2^N-2^N+1 계조 내지 제 2^N 계조)에서의 감마 전압들(예를 들어, 제 2^N-2^N+1 감마 전압 내지 제 2^N 감마 전압(GV 2^N)) 사이의 전압 간격보다 작을 수 있다. 예를 들어, 2^N 개의 감마 전압들(GV1 내지 GV 2^N) 중 인접한 두 개의 감마 전압들 사이의 전압 간격은, 계조가 증가함에 따라, 즉 제1 감마 전압(GV1)으로부터 제 2^N 감마 전압(GV 2^N)으로 증가함에 따라, 점진적으로 증가할 수 있다. 이와 같이, 2^N 개의 감마 전압들(GV1 내지 GV 2^N)이 상기 저계조 영역에서 상대적으로 작은 전압 간격을 가짐으로써, 상기 저계조 영역에서 보다 정확한 감마 표현이 가능할 수 있다.

[0040] 또한, 일 실시예에서, 도 2에 도시된 바와 같이, 2^N 개의 감마 전압들(GV1 내지 GV 2^N)은, 각 감마 전압 그룹(예를

들어, GVG1)이 2^N 개의 감마 전압들(GV1 내지 GV 2^N) 중 상응하는 2^M 개의 감마 전압들(예를 들어, GV1 내지 GV 2^M)을 포함하도록, 2^{N-M} 개의 감마 전압 그룹들(GVG1 내지 GVG 2^{N-M})로 그룹화될 수 있다. 예를 들어, N은 10이고, M은 4인 경우, 제1 내지 제16 감마 전압들(GV1 내지 GV 2^M)은 제1 감마 전압 그룹(GVG1)으로 그룹화되고, 제17 내지 제32 감마 전압들(GV 2^M+1 내지 GV 2^{M+1})은 제2 감마 전압 그룹(GVG2)으로 그룹화되고, 제1009 내지 제1024 감마 전압들(GV 2^N-2^M+1 내지 GV 2^N)은 제64 감마 전압 그룹(GVG 2^{N-M})으로 그룹화될 수 있다.

[0041] 제1 디지털-아날로그 변환기 블록(160)은 감마 전압 생성기(150)로부터, 각각(예를 들어, GVG1)이 상응하는 2^M 개의 감마 전압들(예를 들어, GV1 내지 GV 2^M)을 포함하는, 2^{N-M} 개의 감마 전압 그룹들(GVG1 내지 GVG 2^{N-M})을 수신하고, 2^{N-M} 개의 감마 전압 그룹들(GVG1 내지 GVG 2^{N-M})에 각각 상응하는 2^{N-M} 개의 시분할 감마 전압 신호들(TDGSV1 내지 TDGSV 2^{N-M})을 생성할 수 있다. 각 시분할 감마 전압 신호(예를 들어, TDGSV1)는 1 수평 시간(1H 시간)을 분할하여 상기 상응하는 2^M 개의 감마 전압들(예를 들어, GV1 내지 GV 2^M)을 나타낼 수 있다.

[0042] 일 실시예에서, 도 5에 도시된 바와 같이, 제1 디지털-아날로그 변환기 블록(160)은 M-클록 생성기(161), M비트 카운터(162), 및 2^{N-M} 개의 M비트 디지털-아날로그 변환기들(163, 164, ..., 166)을 포함할 수 있다. M-클록 생성기(161)는 상기 1 수평 시간 동안 2^M 개의 클록들을 가지는 M-클록 신호(MCLK)를 생성할 수 있다. M비트 카운터(162)는 M-클록 신호(MCLK)의 상기 클록들을 카운트하여 상기 1 수평 시간 동안 1부터 2^M 까지 증가하는 값들을 나타내는 M-카운트 신호(MCS)를 생성할 수 있다. 2^{N-M} 개의 M비트 디지털-아날로그 변환기들(163, 164, ..., 166)은 M-카운트 신호(MCS)에 응답하여 2^{N-M} 개의 시분할 감마 전압 신호들(TDGSV1 내지 TDGSV 2^{N-M})을 각각 출력할 수 있다. 각 M비트 디지털-아날로그 변환기(예를 들어, 163)는 상응하는 감마 전압 그룹(예를 들어, GVG1), 즉 상응하는 2^M 개의 감마 전압들(예를 들어, GV1 내지 GV 2^M)을 수신하고, M-카운트 신호(MCS)에 응답하여, 2^{N-M} 개의 시분할 감마 전압 신호들(TDGSV1 내지 TDGSV 2^{N-M}) 중 상응하는 하나(예를 들어, TDGSV1)로서, 상기 상응하는 2^M 개의 감마 전압들(예를 들어, GV1 내지 GV 2^M)을 순차적으로 출력할 수 있다. 이 경우, 예를 들어, 도 6에 도시된 바와 같이, 1 수평 시간(1H)이 (M-클록 생성기(161) 및 M비트 카운터(162)에 의해) 동일한 시간 길이, 예를 들어 1H/8의 시간 길이를 가지는 2^M 개의 분할 시간들, 예를 들어 8개의 분할 시간들로 등분되고, 2^{N-M} 개의 시분할 감마 전압 신호들(TDGSV1 내지 TDGSV 2^{N-M}) 각각에서 출력되는 시분할 감마 전압 신호(TDGSV)는 상기 8개의 분할 시간들에서 비-선형적인 전압 간격으로 변경되는 상기 상응하는 2^M 개의 감마 전압들(예를 들어, GV1 내지 GV 2^M), 예를 들어 8개의 감마 전압들(GV1, GV2, GV3, GV4, GV5, GV6, GV7, GV8)을 각각 나타낼 수 있다. 즉, 도 6의 예에서, 시분할 감마 전압 신호(TDGSV)의 8개의 감마 전압들(GV1, GV2, GV3, GV4, GV5, GV6, GV7, GV8)은 점진적으로 증가하는 전압 간격을 가질 수 있다.

[0043] 다른 실시예에서, 도 7에 도시된 바와 같이, 1 수평 시간(1H)이 동일한 시간 길이(예를 들어, 1H/8)를 가지는 2^M 개의 분할 시간들로 등분되고, 각 시분할 감마 전압 신호(TDGSV)는 상기 2^M 개의 분할 시간들에서 동일한 전압 간격으로 변경되는 2^M 개의 감마 전압들(GV1 내지 GV8)을 각각 나타낼 수 있다. 즉, 도 7의 예에서, 시분할 감마 전압 신호(TDGSV)의 8개의 감마 전압들(GV1 내지 GV8)은 시간에 따라 선형적으로 증가할 수 있다.

[0044] 또 다른 실시예에서, 도 8에 도시된 바와 같이, 1 수평 시간(1H)이 서로 다른 시간 길이들을 가지는 2^M 개의 분할 시간들(T1 내지 T8)로 분할될 수 있다. 도 8의 예에서, 2^M 개의 분할 시간들(T1 내지 T8)은 점진적으로 증가하는 시간 간격을 가질 수 있다. 또한, 시분할 감마 전압 신호(TDGSV)는 2^M 개의 분할 시간들(T1 내지 T8)에서 동일한 전압 간격으로 변경되는 2^M 개의 감마 전압들(GV1 내지 GV8)을 각각 나타낼 수 있다.

[0045] 한편, 도 6 내지 도 8에 도시된 바와 같이, 2^{N-M} 개의 M비트 디지털-아날로그 변환기들(163, 164, ..., 166)이 2^{N-M} 개의 시분할 감마 전압 신호들(TDGSV1 내지 TDGSV 2^{N-M})을 각각 생성하므로, 2^{N-M} 개의 시분할 감마 전압 신호들(TDGSV1 내지 TDGSV 2^{N-M})이 개별적으로 조절될 수 있다.

- [0046] 다시 도 1을 참조하면, 제1 디지털-아날로그 변환기 블록(160)에 의해 생성된 2^{N-M} 개의 시분할 감마 전압 신호들(TDGV_{S1} 내지 TDGV_{S2}^{N-M})은 2^{N-M} 개의 시분할 감마 전압 라인 그룹들(TDGV_LG1 내지 TDGV_LG2^{N-M})을 통하여 복수의 채널들(CH)에, 즉 도 12에 도시된 복수의 채널들(CH)에서의 제2 디지털-아날로그 변환기 블록(170)의 복수의 (N-M)비트 디지털-아날로그 변환기들(172)에 제공될 수 있다. 또한, 도 1에 도시된 바와 같이, 2^{N-M} 개의 시분할 감마 전압 라인 그룹들(TDGV_LG1 내지 TDGV_LG2^{N-M}) 각각은 K개의 시분할 감마 전압 라인들(K는 2 이상 및 상기 복수의 채널들의 개수 이하의 정수)을 포함하고, 각 시분할 감마 전압 라인 그룹(예를 들어, TDGV_LG1)의 상기 K개의 시분할 감마 전압 라인들은 2^{N-M} 개의 시분할 감마 전압 신호들(TDGV_{S1} 내지 TDGV_{S2}^{N-M}) 중 동일한 하나(예를 들어, TDGV_{S1})를 전송할 수 있다.
- [0047] 본 발명의 실시예들에 따른 데이터 드라이버(100)에서, 복수의 채널들(CH)이 K개의 채널 그룹들로 그룹화되고, 각 시분할 감마 전압 라인 그룹의 상기 K개의 시분할 감마 전압 라인들이 상기 K개의 채널 그룹들에 각각 연결될 수 있다. 따라서, 각 시분할 감마 전압 라인에 상기 복수의 채널들 중 일부에만 연결될 수 있고, 이에 따라, 각 시분할 감마 전압 라인과 이에 연결된 채널들의 로드가 감소되고, 각 시분할 감마 전압 라인에서의 시분할 감마 전압 신호의 지연(예를 들어, RC 지연)이 감소될 수 있다.
- [0048] 일 실시예에서, 데이터 드라이버(100)는 복수의 채널들(CH)로서 K*L개(L은 1 이상의 정수)의 채널들을 포함하고, 상기 K*L개의 채널들 중 제(K*I+J) 채널(I는 0 내지 L-1의 정수이고, J는 1 내지 K의 정수임)이 제J 채널 그룹으로 그룹화되도록, 상기 K*L개의 채널들이 K개의 채널 그룹들로 그룹화될 수 있다. 또한, 상기 K개의 시분할 감마 전압 라인들이 상기 K개의 채널 그룹들에 각각 연결될 수 있다. 이 경우, 상기 K개의 시분할 감마 전압 라인들 각각이 상기 K*L개의 채널들 중 상응하는 L개의 채널들에만 연결될 수 있다.
- [0049] 예를 들어, 도 9에 도시된 바와 같이, 각 시분할 감마 전압 라인 그룹(예를 들어, TDGV_LG1)은, 상기 K개의 시분할 감마 전압 라인들로서, 4개의 시분할 감마 전압 라인들(예를 들어, TDGV_L1_1, TDGV_L1_2, TDGV_L1_3, TDGV_L1_4)을 포함할 수 있다. 예를 들어, 제1 시분할 감마 전압 라인 그룹(TDGV_LG1)은 제1 시분할 감마 전압 신호(TDGV_{S1})를 전송하는 4개의 시분할 감마 전압 라인들(TDGV_L1_1, TDGV_L1_2, TDGV_L1_3, TDGV_L1_4)을 포함하고, 제2 시분할 감마 전압 라인 그룹(TDGV_LG2)은 제2 시분할 감마 전압 신호(TDGV_{S2})를 전송하는 4개의 시분할 감마 전압 라인들(TDGV_L2_1, TDGV_L2_2, TDGV_L2_3, TDGV_L2_4)을 포함하고, 제2^{N-M} 시분할 감마 전압 라인 그룹(TDGV_LG2^{N-M})은 제2^{N-M} 시분할 감마 전압 신호(TDGV_{S2}^{N-M})를 전송하는 4개의 시분할 감마 전압 라인들(TDGV_L2^{N-M}_1, TDGV_L2^{N-M}_2, TDGV_L2^{N-M}_3, TDGV_L2^{N-M}_4)을 포함할 수 있다. 4*L개의 채널들(CH1 내지 CH4L)이 4개의 채널 그룹들(CHG1, CHG2, CHG3, CHG4)로 그룹화될 수 있다. 예를 들어, 제1, 제5, ..., 제(4L-3) 채널들(CH1, CH5, ..., CH4L-3)이 제1 채널 그룹(CHG1)으로 그룹화되고, 제2, 제6, ..., 제(4L-2) 채널들(CH2, CH6, ..., CH4L-2)이 제2 채널 그룹(CHG2)으로 그룹화되고, 제3, 제7, ..., 제(4L-1) 채널들(CH3, CH7, ..., CH4L-1)이 제3 채널 그룹(CHG3)으로 그룹화되고, 제4, 제8, ..., 제4L 채널들(CH4, CH8, ..., CH4L)이 제4 채널 그룹(CHG4)으로 그룹화될 수 있다. 각 시분할 감마 전압 라인 그룹(예를 들어, TDGV_LG1)의 상기 4개의 시분할 감마 전압 라인들(예를 들어, TDGV_L1_1, TDGV_L1_2, TDGV_L1_3, TDGV_L1_4)이 상기 4개의 채널 그룹들(CHG1, CHG2, CHG3, CHG4)에 각각 연결될 수 있다. 예를 들어, 제2 디지털-아날로그 변환기 블록(170a)은 4*L개의 채널들(CH1 내지 CH4L)에서 4*L개의 (N-M)비트 디지털-아날로그 변환기들(211a 내지 222a)을 포함하고, 각 시분할 감마 전압 라인 그룹(예를 들어, TDGV_LG1)의 제1 시분할 감마 전압 라인(예를 들어, TDGV_L1_1)은 제1 채널 그룹(CHG1)에 속하는 채널들(CH1, CH5, ..., CH4L-3)에서의 (N-M)비트 디지털-아날로그 변환기들(211a, 215a, ..., 219a)에 연결되고, 각 시분할 감마 전압 라인 그룹(예를 들어, TDGV_LG1)의 제2 시분할 감마 전압 라인(예를 들어, TDGV_L1_2)은 제2 채널 그룹(CHG2)에 속하는 채널들(CH2, CH6, ..., CH4L-2)에서의 (N-M)비트 디지털-아날로그 변환기들(212a, 216a, ..., 220a)에 연결되고, 각 시분할 감마 전압 라인 그룹(예를 들어, TDGV_LG1)의 제3 시분할 감마 전압 라인(예를 들어, TDGV_L1_3)은 제3 채널 그룹(CHG3)에 속하는 채널들(CH3, CH7, ..., CH4L-1)에서의 (N-M)비트 디지털-아날로그 변환기들(213a, 217a, ..., 221a)에 연결되고, 각 시분할 감마 전압 라인 그룹(예를 들어, TDGV_LG1)의 제4 시분할 감마 전압 라인(예를 들어, TDGV_L1_4)은 제4 채널 그룹(CHG4)에 속하는 채널들(CH4, CH8, ..., CH4L)에서의 (N-M)비트 디지털-아날로그 변환기들(214a, 218a, ..., 222a)에 연결될 수 있다. 즉, 각 시분할 감마 전압 라인(예를 들어, TDGV_L1_1)이 4*L개의 채널들(CH1 내지 CH4L) 중 L개의 채널들(예를 들어, CH1, CH5, ..., CH4L-3)에만 연결될 수 있다. 이 경우, 도 10에 도시된 바와 같이, 시분할 감마 전압 신호(TDGV_S)를 전송하는 시분할 감마 전압 라인(TDGV_L)이 4*L개의 채널들(CH1 내지 CH4L) 중 L개의 채널들(CH1, CH5, ..., CH4L-3)에만 연결되므로, 4*L개의 채널들(CH1 내지 CH4L)의 4*L개의 기생 커패시터들(PC1 내지 PC4L)이 아닌 L개의 채널들

(CH1, CH5, ..., CH4L-3)의 기생 커패시터들(PC1, PC5, ..., PC4L-3)에만 영향을 받을 수 있다. 이에 따라, 각 시분할 감마 전압 라인(TDGLV)이 전체 채널들(CH1 내지 CH4L)에 연결된 경우에 비하여, 본 발명의 실시예들에 따른 데이터 드라이버(100)에서의 각 시분할 감마 전압 라인(TDGLV)과 이에 연결된 채널들(CH1, CH5, ..., CH4L-3)의 로드가 감소될 수 있고, 각 시분할 감마 전압 라인(TDGLV)에서의 시분할 감마 전압 신호(TDGSV)의 지연(예를 들어, RC 지연)이 감소될 수 있다.

[0050] 다른 실시예에서, 데이터 드라이버(100)는 복수의 채널들(CH)로서 $K \times L$ 개(L 은 1 이상의 정수)의 채널들을 포함하고, 상기 $K \times L$ 개의 채널들 중 연속된 L 개의 채널들이 동일한 채널 그룹으로 그룹화되도록, 상기 $K \times L$ 개의 채널들이 K 개의 채널 그룹들로 그룹화될 수 있다. 또한, 상기 K 개의 시분할 감마 전압 라인들이 상기 K 개의 채널 그룹들에 각각 연결될 수 있다. 이 경우, 상기 K 개의 시분할 감마 전압 라인들 각각이 상기 $K \times L$ 개의 채널들 중 상응하는 L 개의 채널들에만 연결될 수 있다.

[0051] 예를 들어, 도 11에 도시된 바와 같이, 각 시분할 감마 전압 라인 그룹(예를 들어, TDGLV1)은, 상기 K 개의 시분할 감마 전압 라인들로서, 4개의 시분할 감마 전압 라인들(예를 들어, TDGLV1_1, TDGLV1_2, TDGLV1_3, TDGLV1_4)을 포함할 수 있다. $4 \times L$ 개의 채널들(CH1 내지 CH4L)이 4개의 채널 그룹들(CHG1, CHG2, CHG3, CHG4)로 그룹화될 수 있다. 예를 들어, 제1 내지 제L 채널들(CH1 내지 CHL)이 제1 채널 그룹(CHG1)으로 그룹화되고, 제L+1 내지 제2L 채널들(CHL+1 내지 CH2L)이 제2 채널 그룹(CHG2)으로 그룹화되며, 제2L+1 내지 제3L 채널들(CH2L+1 내지 CH3L)이 제3 채널 그룹(CHG3)으로 그룹화되고, 제3L+1 내지 제4L 채널들(CH3L+1 내지 CH4L)이 제4 채널 그룹(CHG4)으로 그룹화될 수 있다. 각 시분할 감마 전압 라인 그룹(예를 들어, TDGLV1)의 상기 4개의 시분할 감마 전압 라인들(예를 들어, TDGLV1_1, TDGLV1_2, TDGLV1_3, TDGLV1_4)이 상기 4개의 채널 그룹들(CHG1, CHG2, CHG3, CHG4)에 각각 연결될 수 있다. 예를 들어, 제2 디지털-아날로그 변환기 블록(170b)은 $4 \times L$ 개의 채널들(CH1 내지 CH4L)에서 $4 \times L$ 개의 (N-M)비트 디지털-아날로그 변환기들(211b 내지 218b)을 포함하고, 각 시분할 감마 전압 라인 그룹(예를 들어, TDGLV1)의 제1 시분할 감마 전압 라인(예를 들어, TDGLV1_1)은 제1 채널 그룹(CHG1)에 속하는 채널들(CH1 내지 CHL)에서의 (N-M)비트 디지털-아날로그 변환기들(211b, ..., 212b)에 연결되고, 각 시분할 감마 전압 라인 그룹(예를 들어, TDGLV1)의 제2 시분할 감마 전압 라인(예를 들어, TDGLV1_2)은 제2 채널 그룹(CHG2)에 속하는 채널들(CHL+1, ..., CH2L)에서의 (N-M)비트 디지털-아날로그 변환기들(213b, ..., 214b)에 연결되고, 각 시분할 감마 전압 라인 그룹(예를 들어, TDGLV1)의 제3 시분할 감마 전압 라인(예를 들어, TDGLV1_3)은 제3 채널 그룹(CHG3)에 속하는 채널들(CH2L+1, ..., CH3L)에서의 (N-M)비트 디지털-아날로그 변환기들(215b, ..., 216b)에 연결되고, 각 시분할 감마 전압 라인 그룹(예를 들어, TDGLV1)의 제4 시분할 감마 전압 라인(예를 들어, TDGLV1_4)은 제4 채널 그룹(CHG4)에 속하는 채널들(CH3L+1, ..., CH4L)에서의 (N-M)비트 디지털-아날로그 변환기들(217b, ..., 218b)에 연결될 수 있다. 즉, 각 시분할 감마 전압 라인(예를 들어, TDGLV1_1)이 $4 \times L$ 개의 채널들(CH1 내지 CH4L) 중 L 개의 채널들(예를 들어, CH1, ..., CHL)에만 연결될 수 있고, 이에 따라, 각 시분할 감마 전압 라인(예를 들어, TDGLV1_1)과 이에 연결된 채널들(예를 들어, CH1, ..., CHL)의 로드 감소될 수 있고, 각 시분할 감마 전압 라인(예를 들어, TDGLV1_1)에서의 시분할 감마 전압 신호(예를 들어, TDGSV1)의 지연(예를 들어, RC 지연)이 감소될 수 있다.

[0052] 한편, 도 9 및 도 11에는 각 시분할 감마 전압 라인 그룹이 4개의 시분할 감마 전압 라인들을 포함하는 예가 도시되어 있으나, 각 시분할 감마 전압 라인 그룹에 포함된 시분할 감마 전압 라인들의 개수는 도 9 및 도 11의 예들에 한정되지 않는다. 또한, 도 9 및 도 11에는 상기 시분할 감마 전압 라인들이 복수의 채널들(CH)에 연결된 예들이 도시되어 있으나, 상기 시분할 감마 전압 라인들과 복수의 채널들(CH)의 연결 관계는 도 9 및 도 11의 예들에 한정되지 않는다.

[0053] 다시 도 1을 참조하면, 제2 디지털-아날로그 변환기 블록(170)은 홀딩 래치 블록(130)으로부터 (레벨 쉬프터 블록(140)을 통하여) 각 화소 데이터(PDAT)의 상기 상위 (N-M)비트를 수신하고, 2^{N-M} 개의 시분할 감마 전압 라인 그룹들(TDGLV1 내지 TDGLV2^{N-M})을 통하여 2^{N-M} 개의 시분할 감마 전압 신호들(TDGSV1 내지 TDGSV2^{N-M})을 수신하며, 각 채널(CH)에서 상응하는 화소 데이터(PDAT)의 상기 N비트의 상기 상위 (N-M)비트에 따라 2^{N-M} 개의 시분할 감마 전압 신호들(TDGSV1 내지 TDGSV2^{N-M}) 중 하나의 시분할 감마 전압 신호(STDGSV)를 선택할 수 있다. 예를 들어, N은 10이고, M은 4인 경우, 제2 디지털-아날로그 변환기 블록(170)은 각 채널(CH)에서 화소 데이터(PDAT)의 상위 6비트에 따라 64개의 시분할 감마 전압 신호들(TDGSV1 내지 TDGSV2^{N-M}) 중 하나의 시분할 감마 전압 신호(STDGSV)를 선택할 수 있다.

[0054] 일 실시예에서, 도 12에 도시된 바와 같이, 제2 디지털-아날로그 변환기 블록(170)은 복수의 채널들(CH)에 상응

하는 복수의 (N-M)비트 디지털-아날로그 변환기들(172)을 포함할 수 있다. 즉, 복수의 (N-M)비트 디지털-아날로그 변환기들(172)의 개수는 복수의 채널들(CH)의 개수에 상응할 수 있다. 각 채널(CH)에서의 (N-M)비트 디지털-아날로그 변환기(172)는 화소 데이터(PDAT)의 상기 상위 (N-M)비트에 따라 2^{N-M} 개의 시분할 감마 전압 신호들(TDGVS1 내지 TDGVS 2^{N-M}) 중 하나의 시분할 감마 전압 신호(STDGVS)를 선택할 수 있다. 이러한 동작을 수행하도록, 각 채널(CH)에서의 (N-M)비트 디지털-아날로그 변환기(172)는 디코더(174) 및 2^{N-M} 개의 스위치들(SW1 내지 SW 2^{N-M})을 포함할 수 있다. 디코더(174)는 화소 데이터(PDAT)의 상기 상위 (N-M)비트에 기초하여 2^{N-M} 개의 스위칭 신호들(SWS1 내지 SWS 2^{N-M})을 생성할 수 있다. 2^{N-M} 개의 스위치들(SW1 내지 SW 2^{N-M})은 2^{N-M} 개의 스위칭 신호들(SWS1 내지 SWS 2^{N-M})에 응답하여 2^{N-M} 개의 시분할 감마 전압 신호들(TDGVS1 내지 TDGVS 2^{N-M})을 각각 선택적으로 출력할 수 있다. 화소 데이터(PDAT)의 상기 상위 (N-M)비트에 따라 2^{N-M} 개의 스위칭 신호들(SWS1 내지 SWS 2^{N-M}) 중 하나가 온 레벨을 가지고, 2^{N-M} 개의 스위칭 신호들(SWS1 내지 SWS 2^{N-M}) 중 하나가 상기 온 레벨을 가지는 하나의 스위칭 신호에 응답하여 턴-온됨으로써, 2^{N-M} 개의 시분할 감마 전압 신호들(TDGVS1 내지 TDGVS 2^{N-M}) 중 하나가 선택된 시분할 감마 전압 신호(STDGVS)로서 출력될 수 있다. 한편, 도 12에는 (N-M)비트 디지털-아날로그 변환기(172)가 디코더(174)를 포함하는 디코더 타입의 DAC로 구현된 예가 도시되어 있으나, 실시예에 따라, (N-M)비트 디지털-아날로그 변환기(172)는 ROM 타입의 DAC, 트리(Tree) 타입의 DAC 등의 임의의 다른 타입의 DAC로 구현될 수 있다.

[0055] 다시 도 1을 참조하면, 시분할 감마 전압 선택 블록(180)은 각 채널(CH)에서 홀딩 래치 블록(130)으로부터 (레벨 쉬프터 블록(140)을 통하여) 화소 데이터(PDAT)의 상기 하위 M비트를 수신하고, 각 채널(CH)에서 제2 디지털-아날로그 변환기 블록(170)으로부터 선택된 시분할 감마 전압 신호(STDGVS)를 수신하며, 각 채널(CH)에서 화소 데이터(PDAT)의 상기 하위 M비트에 따라 선택된 시분할 감마 전압 신호(STDGVS)가 나타내는 2^M 개의 감마 전압들(예를 들어, GV1 내지 GV 2^M) 중 하나의 감마 전압(SGV)을 선택할 수 있다. 예를 들어, N은 10이고, M은 4인 경우, 시분할 감마 전압 선택 블록(180)은 각 채널(CH)에서 화소 데이터(PDAT)의 하위 4비트에 따라 선택된 시분할 감마 전압 신호(STDGVS)가 나타내는 16개의 감마 전압들(예를 들어, GV1 내지 GV 2^M) 중 하나의 감마 전압(SGV)을 선택할 수 있다.

[0056] 일 실시예에서, 도 13에 도시된 바와 같이, 시분할 감마 전압 선택 블록(180)은 복수의 채널들(CH)에 상응하는 복수의 스위칭 신호 생성기들(182), 및 복수의 채널들(CH)에 상응하는 복수의 시분할 감마 전압 선택 스위치들(TDSW)을 포함할 수 있다. 즉, 복수의 스위칭 신호 생성기들(182)의 개수 및 복수의 시분할 감마 전압 선택 스위치들(TDSW)의 개수는 복수의 채널들(CH)의 개수에 상응할 수 있다. 각 채널(CH)에서의 스위칭 신호 생성기(182)는 상기 1 수평 시간의 2^M 개의 분할 시간들 중 화소 데이터(PDAT)의 상기 하위 M비트에 상응하는 분할 시간 동안 액티브 레벨(예를 들어, 하이 레벨)을 가지는 시분할 스위칭 신호(TDSS)를 생성할 수 있다. 예를 들어, 스위칭 신호 생성기(182)는 도 5의 M-클록 생성기(161) 또는 다른 클록 생성기로부터 상기 1 수평 시간 동안 2^M 개의 클록들을 가지는 M-클록 신호(MCLK)를 수신하고, M-클록 신호(MCLK)의 상기 클록들을 카운트하며, 상기 카운트된 클록들의 개수가 화소 데이터(PDAT)의 상기 하위 M비트의 값에 상응하는 동안 상기 액티브 레벨을 가지는 시분할 스위칭 신호(TDSS)를 생성할 수 있다. 일 예에서, 도 14에 도시된 바와 같이, M은 3이고, 1 수평 시간(1H)이 8개의 분할 시간들로 분할되며, 화소 데이터(PDAT)의 하위 3비트가 5의 값을 가지는 경우, 스위칭 신호 생성기(182)는 상기 8개의 분할 시간들 중 (예를 들어, 4H/8의 시점으로부터 5H/8의 시점까지의) 제5 분할 시간 동안 상기 액티브 레벨을 가지는 시분할 스위칭 신호(TDSS)를 생성할 수 있다. 각 채널(CH)에서의 시분할 감마 전압 선택 스위치(TDSW)는 상기 액티브 레벨을 가지는 시분할 스위칭 신호(TDSS)에 응답하여 선택된 시분할 감마 전압 신호(STDGVS)가 나타내는 2^M 개의 감마 전압들(예를 들어, GV1 내지 GV 2^M) 중 하나의 감마 전압(SGV)을 선택할 수 있다. 예를 들어, 도 14에 도시된 바와 같이, 시분할 감마 전압 신호(STDGVS)가 상기 8개의 분할 시간들에서 제1 내지 제8 감마 전압들(GV1 내지 GV8)을 각각 나타내고, 시분할 스위칭 신호(TDSS)가 상기 8개의 분할 시간들 중 (예를 들어, 4H/8의 시점으로부터 5H/8의 시점까지의) 상기 제5 분할 시간 동안 상기 액티브 레벨을 가지는 경우, 시분할 감마 전압 선택 스위치(TDSW)는 상기 제5 분할 시간 동안 제1 내지 제8 감마 전압들(GV1 내지 GV8) 중 제5 감마 전압(GV5)을 선택할 수 있다.

[0057] 다시 도 1을 참조하면, 출력 버퍼 블록(190)은 각 채널(CH)에서 시분할 감마 전압 선택 블록(180)으로부터 선택

된 감마 전압(SGV)을 수신하고, 각 채널(CH)에서 데이터 라인을 통하여 화소에 데이터 전압(VD)으로서 선택된 감마 전압(SGV)을 출력할 수 있다. 일 실시예에서, 출력 버퍼 블록(190)은 복수의 채널들(CH)에 상응하는 복수의 출력 버퍼들을 포함할 수 있다.

[0058] 상술한 바와 같이, 본 발명의 실시예들에 따른 데이터 드라이버(100)는 제2 디지털-아날로그 변환기 블록(170)을 이용하여 각 채널(CH)에서 화소 데이터(PDAT)의 상기 상위 (N-M)비트에 따라 2^{N-M} 개의 시분할 감마 전압 신호들(TDGSV1 내지 TDGSV 2^{N-M}) 중 하나를 선택하고, 제1 디지털-아날로그 변환기 블록(160) 및 시분할 감마 전압 선택 블록(180)을 이용하여 각 채널(CH)에서 화소 데이터(PDAT)의 상기 하위 M비트에 따라 선택된 시분할 감마 전압 신호(STDGSV)가 나타내는 2^M 개의 감마 전압들(예를 들어, GV1 내지 GV 2^M) 중 하나를 선택할 수 있다. 이에 따라, 본 발명의 실시예들에 따른 데이터 드라이버(100)의 면적 및 전력 소모가 감소될 수 있다. 또한, 본 발명의 실시예들에 따른 데이터 드라이버(100)에서, 각 시분할 감마 전압 신호(예를 들어, TDGSV1)가 상기 K개의 시분할 감마 전압 라인들(예를 들어, TDGVLG1)을 통하여 복수의 채널들(CH)에 전송되고, 각 시분할 감마 전압 라인은 복수의 채널들(CH) 중 상응하는 일부에만 연결될 수 있다. 이에 따라, 각 시분할 감마 전압 신호(예를 들어, TDGSV1)의 지연(예를 들어, RC 딜레이)이 감소될 수 있고, 복수의 채널들(CH) 각각에 상기 시분할 감마 전압 신호(예를 들어, TDGSV1)가 정확하게 전달될 수 있다.

[0059] 도 15는 본 발명의 실시예들에 따른 데이터 드라이버를 포함하는 표시 장치를 나타내는 블록도이고, 도 16은 본 발명의 일 실시예에 따른 표시 장치에 포함된 화소의 일 예를 나타내는 회로도이고, 도 17은 본 발명의 다른 실시예에 따른 표시 장치에 포함된 화소의 일 예를 나타내는 회로도이다.

[0060] 도 15를 참조하면, 본 발명의 실시예들에 따른 표시 장치(400)는 복수의 화소들(PX)을 포함하는 표시 패널(410), 복수의 화소들(PX)에 스캔 신호들(SS)을 제공하는 스캔 드라이버(420), 복수의 화소들(PX)에 데이터 전압들(VD)을 제공하는 데이터 드라이버(430), 및 스캔 드라이버(420) 및 데이터 드라이버(430)를 제어하는 컨트롤러(440)를 포함할 수 있다.

[0061] 표시 패널(410)은 스캔 라인들, 데이터 라인들, 및 상기 스캔 라인들과 상기 데이터 라인들에 연결된 화소들(PX)을 포함할 수 있다. 일 실시예에서, 표시 패널(410)은 각 화소(PX)가 적어도 두 개의 트랜지스터들, 적어도 하나의 커패시터, 및 유기 발광 다이오드(Organic Light Emitting Diode; OLED)를 포함하는 OLED 표시 패널일 수 있다. 예를 들어, 도 16에 도시된 바와 같이, 각 화소(PX)는 스캔 신호(SS)에 응답하여 데이터 전압(VD)을 전달하는 스위칭 트랜지스터(PT2), 스위칭 트랜지스터(PT2)에 의해 전달된 데이터 전압(VD)을 저장하는 스토리지 커패시터(CST), 스토리지 커패시터(CST)에 저장된 데이터 전압(VD)에 기초하여 제1 전원 전압(ELVDD)의 라인으로부터 제2 전원 전압(ELVSS)의 라인으로의 구동 전류를 생성하는 구동 트랜지스터(PT1), 및 구동 트랜지스터(PT1)에 의해 생성된 상기 구동 전류에 기초하여 발광하는 유기 발광 다이오드(EL)를 포함할 수 있다. 일 실시예에서, 도 16에 도시된 바와 같이, 구동 트랜지스터(PT1) 및 스위칭 트랜지스터(PT2)는 PMOS 트랜지스터들로 구현될 수 있다. 다른 실시예에서, 도 17에 도시된 바와 같이, 구동 트랜지스터(NT1) 및 스위칭 트랜지스터(NT2)는 NMOS 트랜지스터들로 구현될 수 있다. 또 다른 실시예에서, 도 16 및 도 17에 도시된 화소들(PX)과 달리, 화소(PX)는 적어도 하나의 PMOS 트랜지스터 및 적어도 하나의 NMOS 트랜지스터를 포함할 수 있다. 다른 실시예에서, 표시 패널(410)은 각 화소(PX)가 스위칭 트랜지스터 및 상기 스위칭 트랜지스터에 연결된 액정 커패시터를 포함하는 액정 표시(Liquid Crystal Display; LCD) 패널일 수 있다. 다만, 표시 패널(410)은 상기 LCD 패널 및 상기 OLED 패널에 한정되지 않고, 임의의 표시 패널일 수 있다.

[0062] 스캔 드라이버(420)는 컨트롤러(440)로부터 수신된 스캔 제어 신호(SCTRL)에 기초하여 스캔 신호들(SS)을 생성하고, 상기 스캔 라인들을 통하여 화소들(PX)에 스캔 신호들(SS)을 행 단위로 순차적으로 제공할 수 있다. 일 실시예에서, 스캔 제어 신호(SCTRL)는 스캔 시작 신호 및 스캔 클록 신호를 포함할 수 있으나, 이에 한정되지 않는다. 실시예에 따라, 스캔 드라이버(420)는 표시 패널(410)의 주변 영역에 집적 또는 형성될 수 있다. 다른 실시예에서, 스캔 드라이버(420)는 집적 회로의 형태로 구현될 수 있다.

[0063] 데이터 드라이버(430)는 컨트롤러(440)로부터 수신된 출력 영상 데이터(ODAT) 및 데이터 제어 신호(DCTRL)에 기초하여 데이터 전압들(VD)을 생성하고, 상기 데이터 라인들을 통하여 화소들(PX)에 데이터 전압들(VD)을 제공할 수 있다. 일 실시예에서, 출력 영상 데이터(ODAT)는 복수의 화소들(PX)에 대한 복수의 화소 데이터(PDAT)를 포함할 수 있다. 또한, 일 실시예에서, 데이터 제어 신호(DCTRL)는 시작 신호, 클록 신호, 및 로드 신호를 포함할 수 있으나, 이에 한정되지 않는다. 일 실시예에서, 데이터 드라이버(430)는 컨트롤러(440)와 함께 단일한 집적 회로로 구현될 수 있고, 이러한 단일한 집적 회로는 TED(Timing controller Embedded Data driver)로 불릴 수

있다. 다른 실시예에서, 데이터 드라이버(430)와 컨트롤러(440)는 별개의 집적 회로들로 구현될 수 있다.

[0064] 일 실시예에서, 데이터 드라이버(430)는 도 1의 데이터 드라이버(100)일 수 있다. 즉, 데이터 드라이버(430)는 제2 디지털-아날로그 변환기 블록을 이용하여 각 채널에서 화소 데이터(PDAT)의 상위 $(N-M)$ 비트에 따라 2^{N-M} 개의 시분할 감마 전압 신호들 중 하나를 선택하고, 제1 디지털-아날로그 변환기 블록 및 시분할 감마 전압 선택 블록을 이용하여 각 채널에서 화소 데이터(PDAT)의 하위 M비트에 따라 상기 선택된 시분할 감마 전압 신호가 나타내는 2^M 개의 감마 전압들 중 하나를 선택할 수 있다. 이에 따라, 데이터 드라이버(430)의 면적 및 전력 소모가 감소될 수 있다. 또한, 데이터 드라이버(430)에서, 각 시분할 감마 전압 신호가 K개의 시분할 감마 전압 라인들을 통하여 복수의 채널들에 전송되고, 각 시분할 감마 전압 라인은 상기 복수의 채널들 중 상응하는 일부에만 연결될 수 있다. 이에 따라, 각 시분할 감마 전압 신호의 지연(예를 들어, RC 딜레이)이 감소될 수 있고, 상기 복수의 채널들 각각에 상기 시분할 감마 전압 신호가 정확하게 전달될 수 있다.

[0065] 컨트롤러(예를 들어, 타이밍 컨트롤러(Timing Controller; TCON))(440)는 외부의 호스트(예를 들어, 그래픽 처리 유닛(Graphic Processing Unit; GPU), 그래픽 카드 등)로부터 입력 영상 데이터(IDAT) 및 제어 신호(CTRL)를 제공받을 수 있다. 예를 들어, 입력 영상 데이터(IDAT)는 적색 영상 데이터, 녹색 영상 데이터 및 청색 영상 데이터를 포함하는 RGB 영상 데이터일 수 있으나, 이에 한정되지 않는다. 또한, 예를 들어, 제어 신호(SCTRL)는 데이터 인에이블 신호, 마스터 클록 신호 등을 포함할 수 있으나, 이에 한정되지 않는다. 컨트롤러(440)는 입력 영상 데이터(IDAT) 및 제어 신호(CTRL)에 기초하여 출력 영상 데이터(ODAT), 데이터 제어 신호(DCTRL) 및 스캔 제어 신호(SCTRL)를 생성할 수 있다. 컨트롤러(440)는 스캔 드라이버(420)에 스캔 제어 신호(SCTRL)를 제공하여 스캔 드라이버(420)의 동작을 제어하고, 데이터 드라이버(430)에 출력 영상 데이터(ODAT) 및 데이터 제어 신호(DCTRL)를 제공하여 데이터 드라이버(430)의 동작을 제어할 수 있다.

[0066] 상술한 바와 같이, 본 발명의 실시예들에 따른 표시 장치(400)에서, 데이터 드라이버(430)가 상기 제2 디지털-아날로그 변환기 블록을 이용하여 각 채널에서의 화소 데이터(PDAT)의 상기 상위 $(N-M)$ 비트에 따른 공간 분할 방식의 $(N-M)$ 비트 감마 전압 선택을 수행하고, 상기 제1 디지털-아날로그 변환기 블록 및 상기 시분할 감마 전압 선택 블록을 이용하여 화소 데이터(PDAT)의 상기 하위 M비트에 따른 시분할 방식의 M비트 감마 전압 선택을 수행할 수 있다. 이에 따라, 데이터 드라이버(430)의 면적 및 전력 소모가 감소될 수 있다. 또한, 데이터 드라이버(430)에서, 각 시분할 감마 전압 신호가 상기 K개의 시분할 감마 전압 라인들을 통하여 복수의 채널들에 전송될 수 있다. 이에 따라, 각 시분할 감마 전압 신호의 지연이 감소될 수 있고, 상기 복수의 채널들 각각에 상기 시분할 감마 전압 신호가 정확하게 전달될 수 있다.

[0067] 도 18은 본 발명의 실시예들에 따른 표시 장치를 포함하는 전자 기기를 나타내는 블록도이다.

[0068] 도 18을 참조하면, 전자 기기(1100)는 프로세서(1110), 메모리 장치(1120), 저장 장치(1130), 입출력 장치(1140), 파워 서플라이(1150) 및 표시 장치(1160)를 포함할 수 있다. 전자 기기(1100)는 비디오 카드, 사운드 카드, 메모리 카드, USB 장치 등과 통신하거나, 또는 다른 시스템들과 통신할 수 있는 여러 포트(port)들을 더 포함할 수 있다.

[0069] 프로세서(1110)는 특정 계산들 또는 태스크(task)들을 수행할 수 있다. 실시예에 따라, 프로세서(1110)는 마이크로프로세서(microprocessor), 중앙 처리 장치(CPU) 등일 수 있다. 프로세서(1110)는 어드레스 버스(address bus), 제어 버스(control bus) 및 데이터 버스(data bus) 등을 통하여 다른 구성 요소들에 연결될 수 있다. 실시예에 따라서, 프로세서(1110)는 주변 구성요소 상호연결(Peripheral Component Interconnect; PCI) 버스와 같은 확장 버스에도 연결될 수 있다.

[0070] 메모리 장치(1120)는 전자 기기(1100)의 동작에 필요한 데이터들을 저장할 수 있다. 예를 들어, 메모리 장치(1120)는 EPROM(Erasable Programmable Read-Only Memory), EEPROM(Electrically Erasable Programmable Read-Only Memory), 플래시 메모리(Flash Memory), PRAM(Phase Change Random Access Memory), RRAM(Resistance Random Access Memory), NFGM(Nano Floating Gate Memory), PoRAM(Polymer Random Access Memory), MRAM(Magnetic Random Access Memory), FRAM(Ferroelectric Random Access Memory) 등과 같은 비휘발성 메모리 장치 및/또는 DRAM(Dynamic Random Access Memory), SRAM(Static Random Access Memory), 모바일 DRAM 등과 같은 휘발성 메모리 장치를 포함할 수 있다.

[0071] 저장 장치(1130)는 솔리드 스테이트 드라이브(Solid State Drive; SSD), 하드 디스크 드라이브(Hard Disk Drive; HDD), 씨디롬(CD-ROM) 등을 포함할 수 있다. 입출력 장치(1140)는 키보드, 키패드, 터치패드, 터치스크린, 마우스 등과 같은 입력 수단, 및 스피커, 프린터 등과 같은 출력 수단을 포함할 수 있다. 파워 서플라이

(1150)는 전자 기기(1100)의 동작에 필요한 파워를 공급할 수 있다. 표시 장치(1160)는 상기 버스들 또는 다른 통신 링크를 통해서 다른 구성 요소들에 연결될 수 있다.

[0072] 표시 장치(1160)에서, 데이터 드라이버는 제2 디지털-아날로그 변환기 블록을 이용하여 각 채널에서의 화소 데이터의 상위 (N-M)비트에 따른 공간 분할 방식의 (N-M)비트 감마 전압 선택을 수행하고, 제1 디지털-아날로그 변환기 블록 및 시분할 감마 전압 선택 블록을 이용하여 화소 데이터의 하위 M비트에 따른 시분할 방식의 M비트 감마 전압 선택을 수행할 수 있다. 이에 따라, 상기 데이터 드라이버의 면적 및 전력 소모가 감소될 수 있다. 또한, 상기 데이터 드라이버에서, 각 시분할 감마 전압 신호가 K개의 시분할 감마 전압 라인들을 통하여 복수의 채널들에 전송될 수 있다. 이에 따라, 각 시분할 감마 전압 신호의 지연이 감소될 수 있고, 상기 복수의 채널들 각각에 상기 시분할 감마 전압 신호가 정확하게 전달될 수 있다.

[0073] 실시예에 따라, 전자 기기(1100)는 디지털 TV(Digital Television), 3D TV, 개인용 컴퓨터(Personal Computer; PC), 가정용 전자기기, 노트북 컴퓨터(Laptop Computer), 태블릿 컴퓨터(Tablet Computer), 휴대폰(Mobile Phone), 스마트 폰(Smart Phone), 개인 정보 단말기(personal digital assistant; PDA), 휴대형 멀티미디어 플레이어(portable multimedia player; PMP), 디지털 카메라(Digital Camera), 음악 재생기(Music Player), 휴대용 게임 콘솔(portable game console), 내비게이션(Navigation) 등과 같은 표시 장치(1160)를 포함하는 임의의 전자 기기일 수 있다.

산업상 이용가능성

[0074] 본 발명은 임의의 표시 장치 및 이를 포함하는 전자 기기에 적용될 수 있다. 예를 들어, 본 발명은 표시 장치를 포함하는 TV(Television), 디지털 TV, 3D TV, 휴대폰(Mobile Phone), 스마트 폰(Smart Phone), 태블릿 컴퓨터(Tablet Computer), 노트북 컴퓨터(Laptop Computer), 개인용 컴퓨터(Personal Computer; PC), 가정용 전자기기, 개인 정보 단말기(personal digital assistant; PDA), 휴대형 멀티미디어 플레이어(portable multimedia player; PMP), 디지털 카메라(Digital Camera), 음악 재생기(Music Player), 휴대용 게임 콘솔(portable game console), 내비게이션(Navigation) 등과 같은 임의의 전자 기기에 적용될 수 있다.

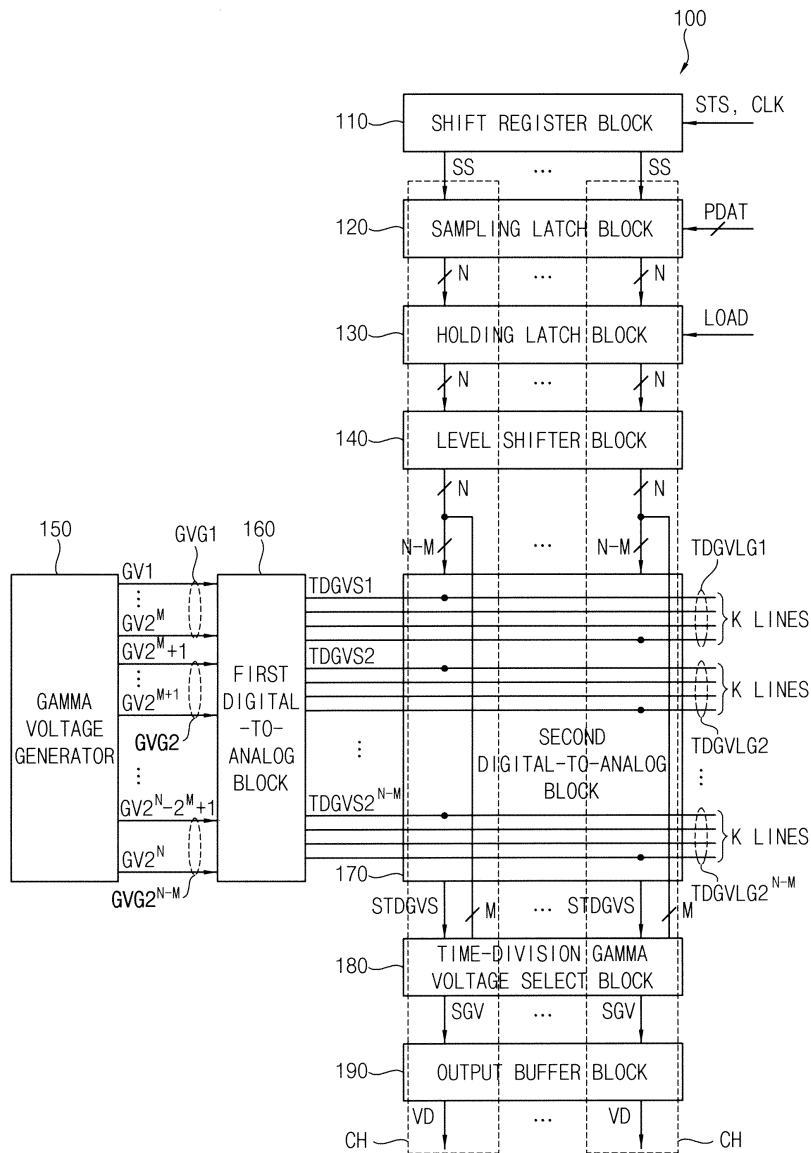
[0075] 이상에서는 본 발명의 실시예들을 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

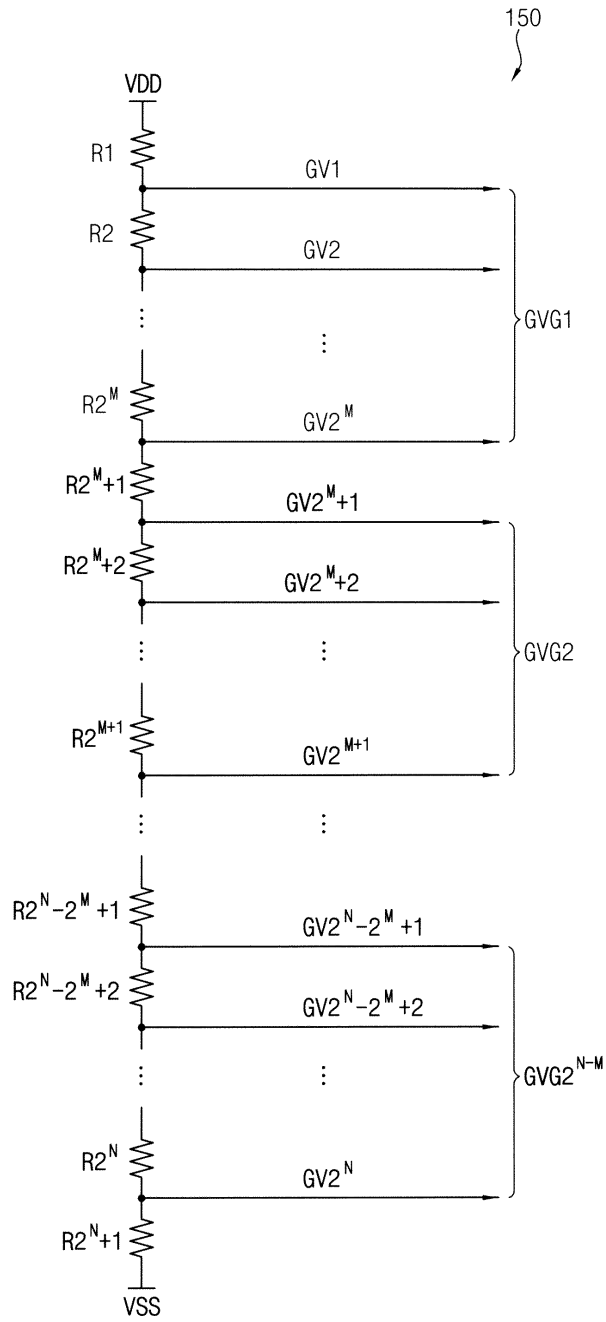
[0076] 100, 430: 데이터 드라이버
110: 쉬프트 레지스터 블록
120: 샘플링 래치 블록
130: 홀딩 래치 블록
140: 레벨 쉬프터 블록
150: 감마 전압 생성기
160: 제1 디지털-아날로그 변환기 블록
170: 제2 디지털-아날로그 변환기 블록
180: 시분할 감마 전압 선택 블록
190: 출력 버퍼 블록
400: 표시 장치
410: 표시 패널
420: 스캔 드라이버
440: 컨트롤러

도면

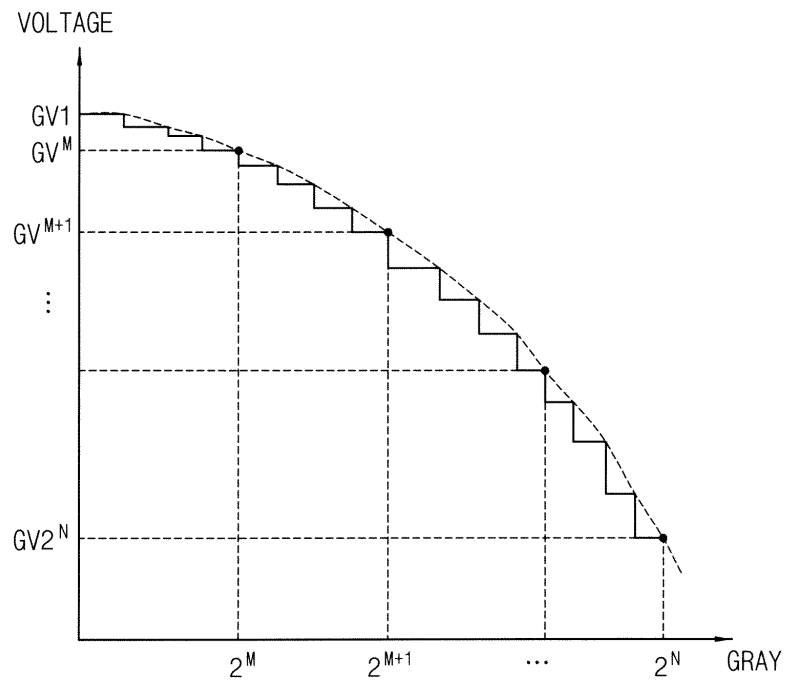
도면1



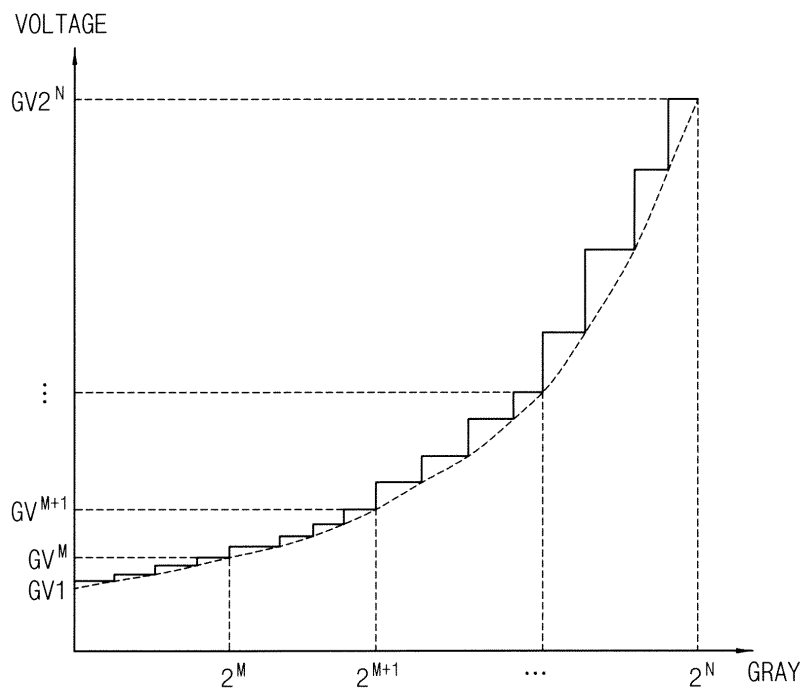
도면2



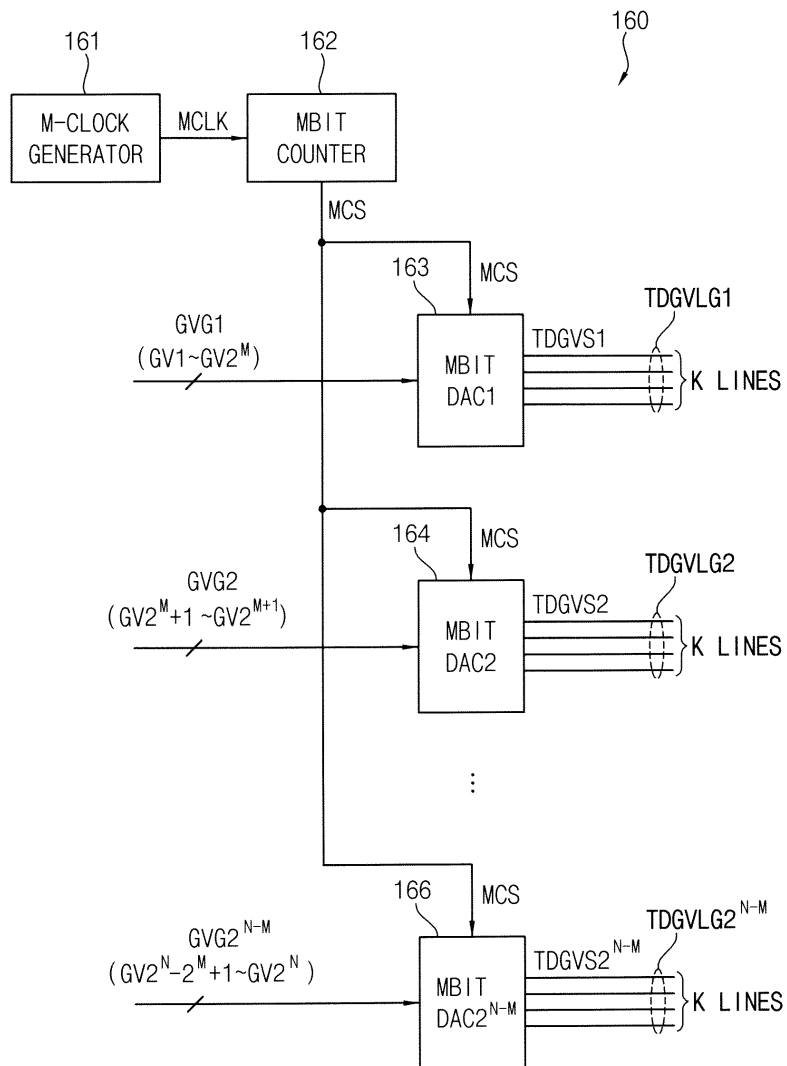
도면3



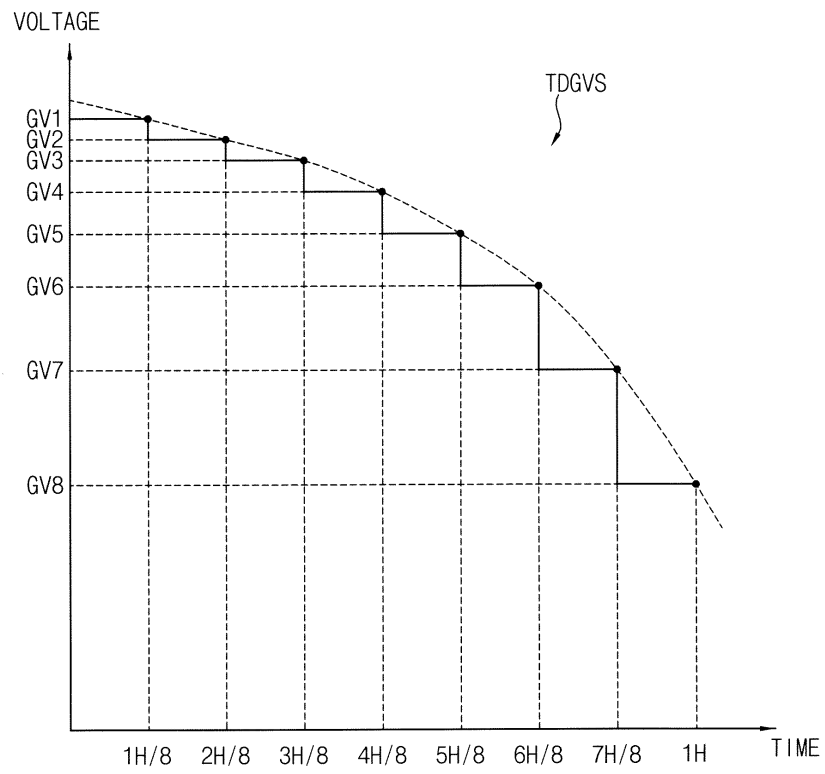
도면4



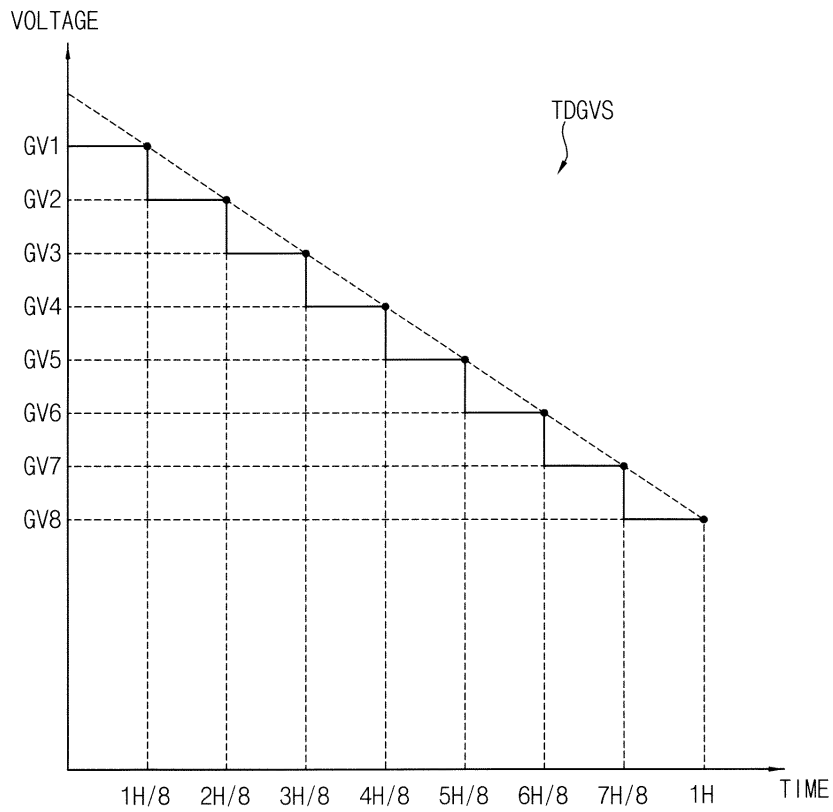
도면5



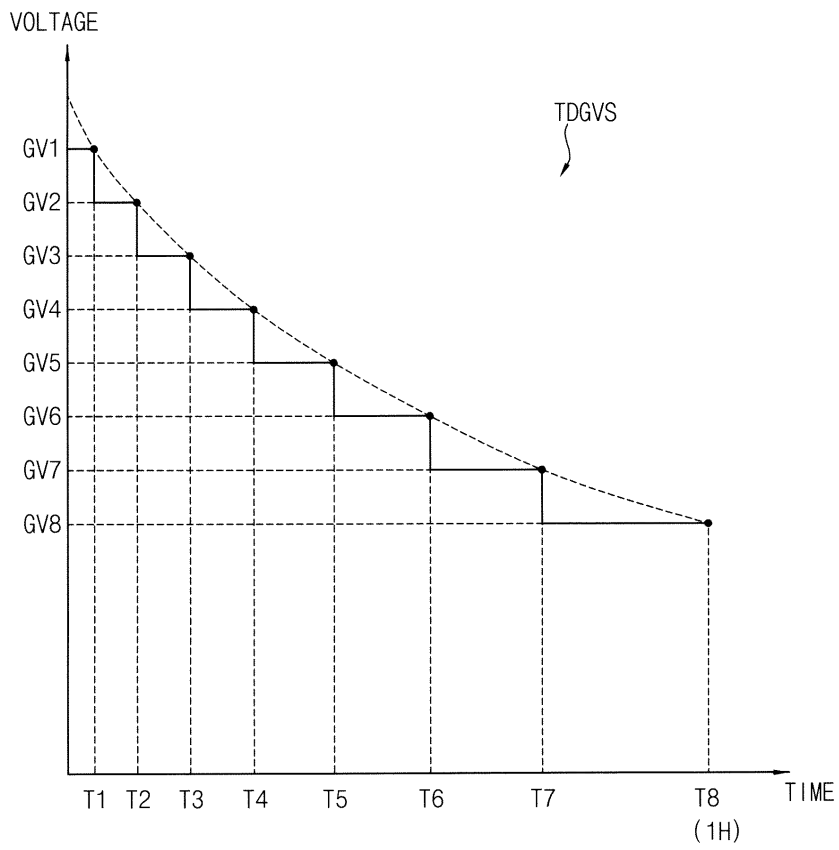
도면6



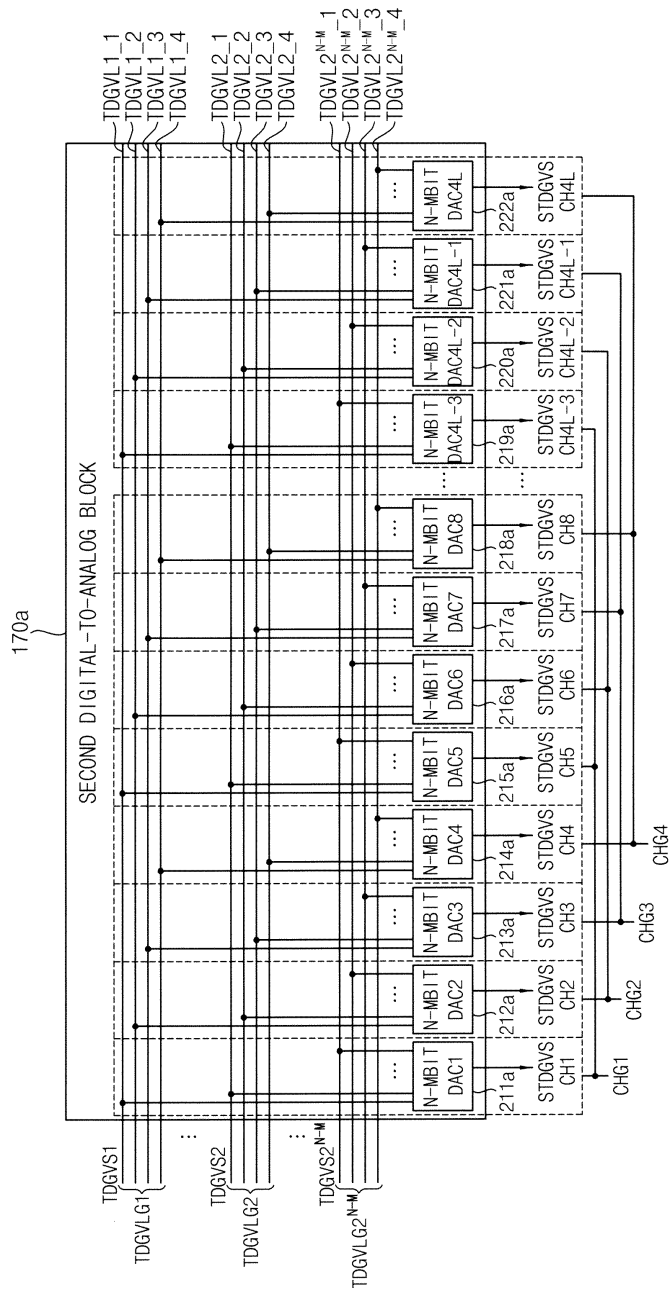
도면7



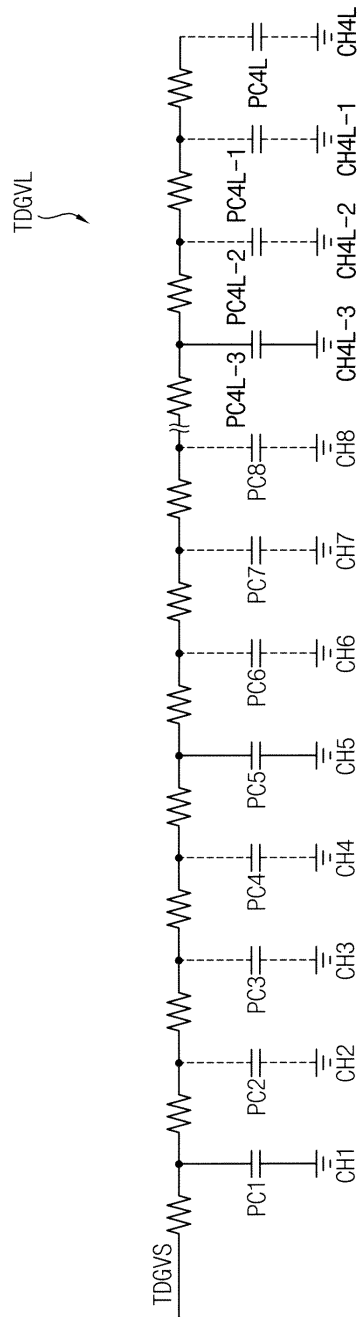
도면8



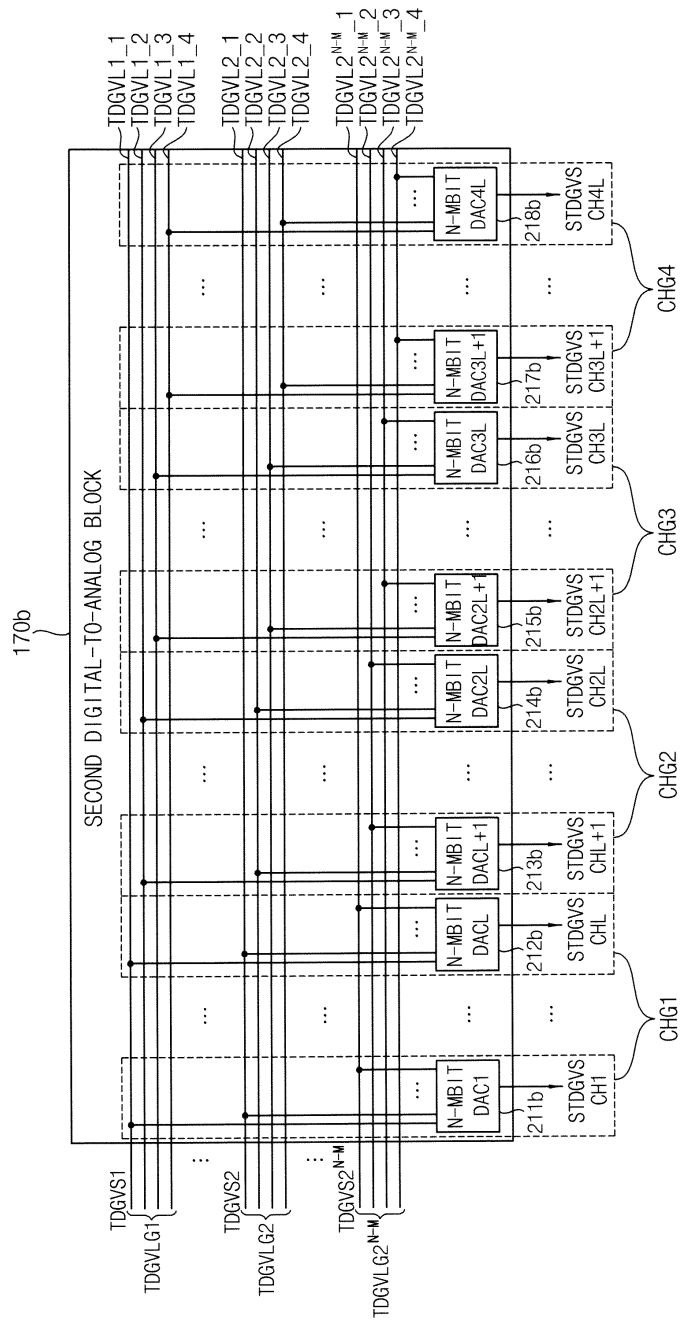
도면9



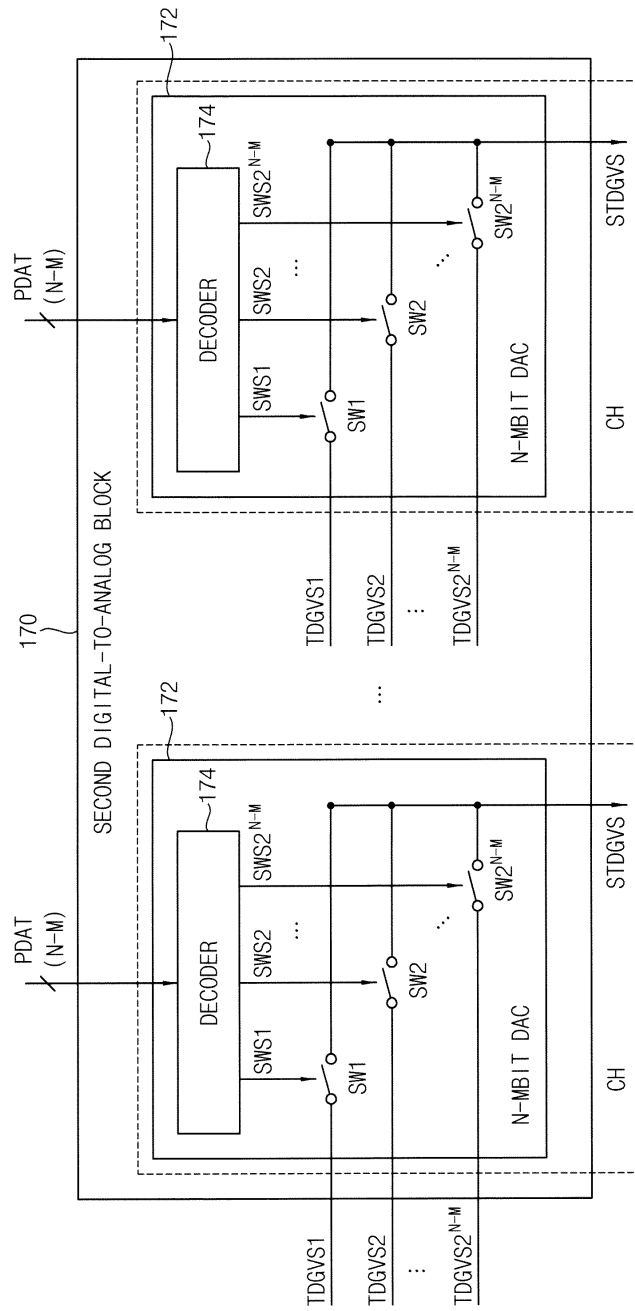
도면10



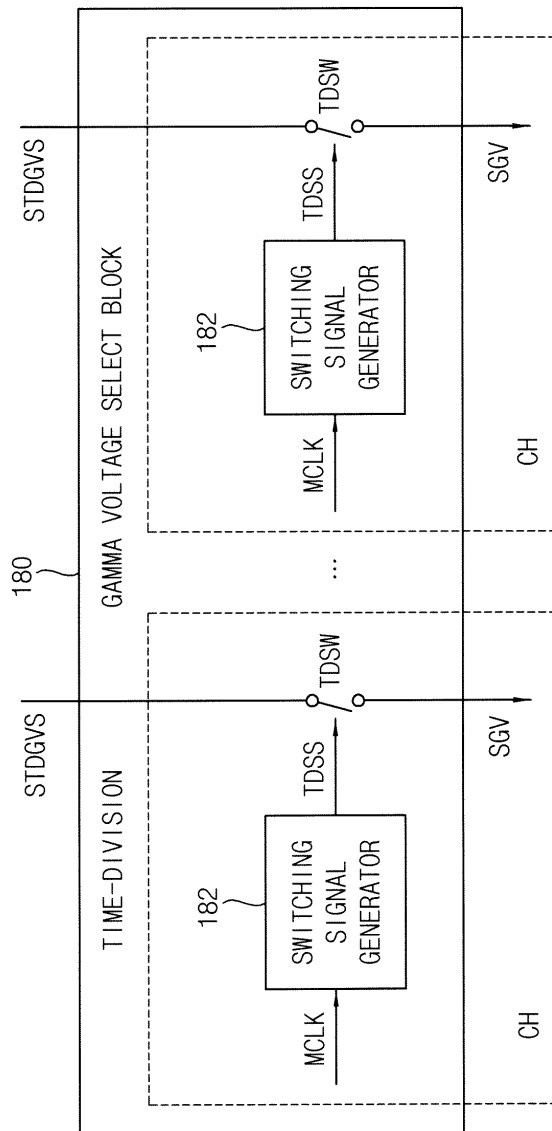
도면11



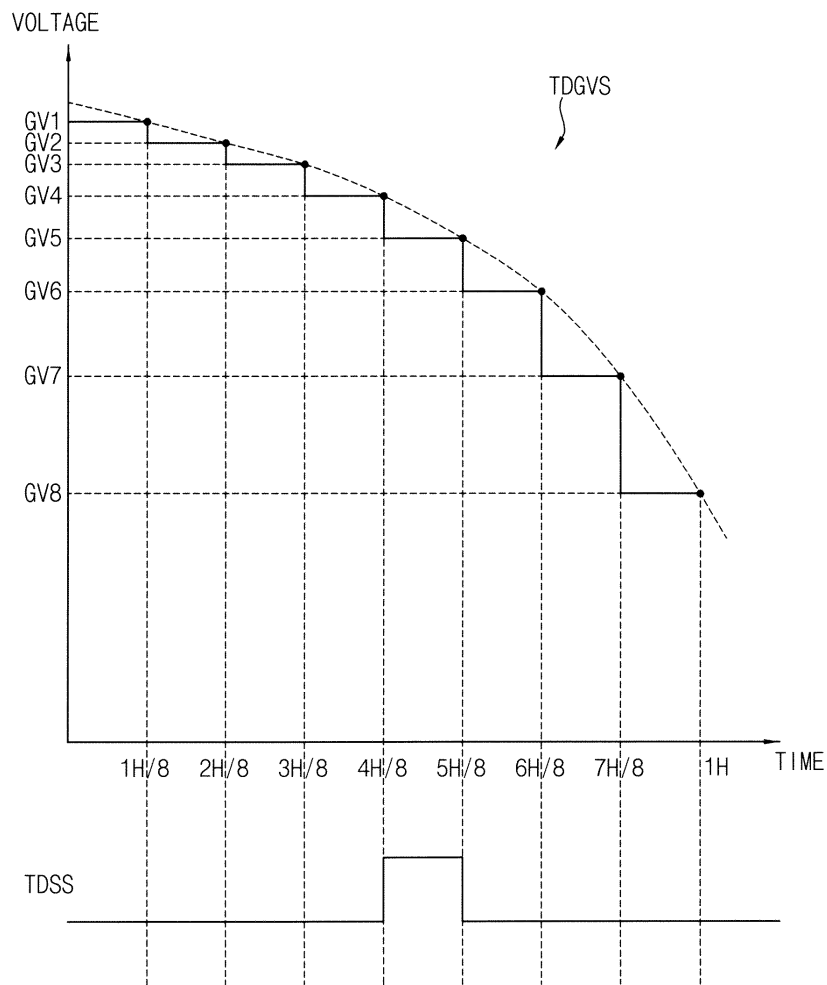
도면12



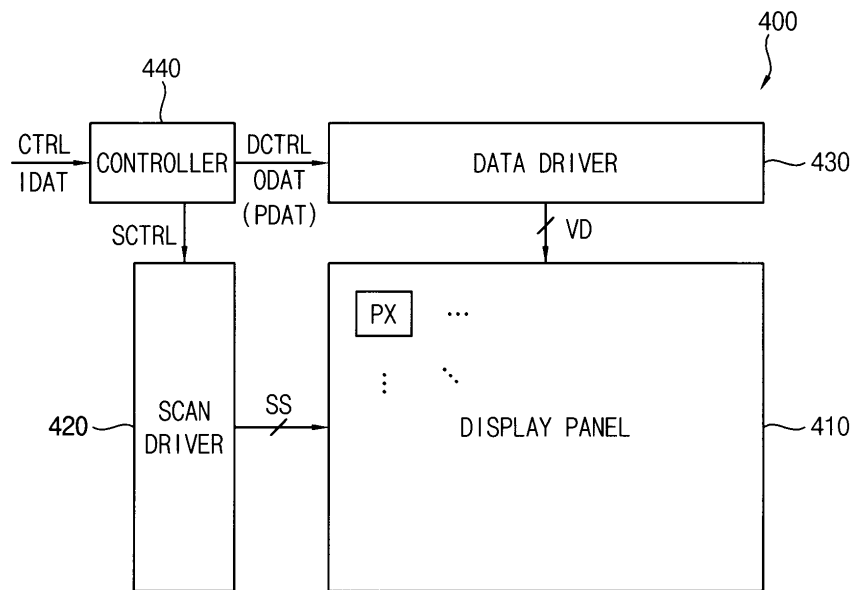
도면13



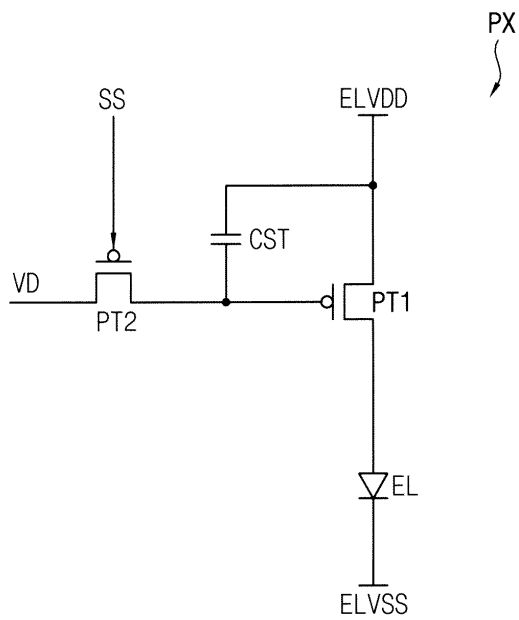
도면14



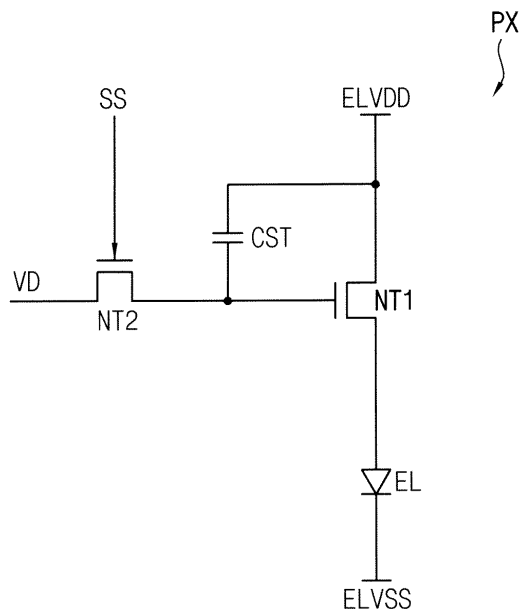
도면15



도면16



도면17



도면18

