



(12)发明专利

(10)授权公告号 CN 101933005 B

(45)授权公告日 2016.09.21

(21)申请号 200980103655.9

(22)申请日 2009.01.16

(65)同一申请的已公布的文献号

申请公布号 CN 101933005 A

(43)申请公布日 2010.12.29

(30)优先权数据

12/032,286 2008.02.15 US

(85)PCT国际申请进入国家阶段日

2010.07.30

(86)PCT国际申请的申请数据

PCT/US2009/031200 2009.01.16

(87)PCT国际申请的公布数据

W02009/102529 EN 2009.08.20

(73)专利权人 飞思卡尔半导体公司

地址 美国得克萨斯

(72)发明人 J·C·喀尔刻罗

(74)专利代理机构 中国国际贸易促进委员会专利商标事务所 11038

代理人 金晓

(51)Int.Cl.

G06F 13/20(2006.01)

G06F 13/36(2006.01)

G06F 9/48(2006.01)

G06F 5/00(2006.01)

审查员 李伟华

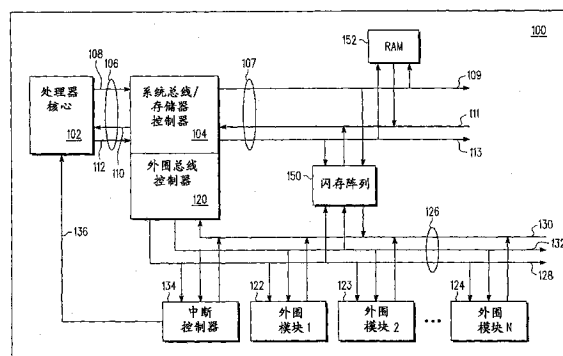
权利要求书3页 说明书17页 附图6页

(54)发明名称

外围模块寄存器访问方法和装置

(57)摘要

一种电子系统(100)的实施例包括处理元件(102),总线控制器(104、120)和外围模块(122、123或124)。处理元件执行用于执行处理元件和外围模块之间的x位宽的数据值的数据传输的机器可读代码。执行数据传输包括提供对应于外围模块的y位宽的数据寄存器的处理元件提供的地址,其中y小于x。总线控制器接收处理元件提供的地址,并且作为响应,执行一系列的与外围模块的多个数据传输。这包括提供关于该系列中的第一数据传输的第一外围地址,以及提供关于该系列中的至少一个其他的数据传输的至少一个不同的外围地址。外围模块将第一外围地址和至少一个不同的外围地址映射到y位宽的数据寄存器。



1. 一种电子系统,包括:

处理元件,适于执行使所述处理元件执行 x 位宽的数据值的数据传输的机器可读代码,其中,执行数据传输包括提供第一读取/写入信号以及与所述外围模块的 y 位宽的数据寄存器相对应的处理元件提供的一个地址,以及其中, y 小于 x ;

总线控制器,适于接收所述读取/写入信号和所述处理元件提供的一个地址,以及作为响应,执行一系列的多个与所述外围模块的数据传输,其中,执行所述多个与所述外围模块的数据传输的系列包括提供第二读取/写入信号和用于所述多个与所述外围模块的数据传输的系列中第一数据传输的第一外围地址,以及提供用于所述多个与所述外围模块的数据传输的系列中每个其他数据传输的不同的外围地址,以及其中所述多个与所述外围模块的数据传输的系列包括 x/y 次顺序数据传输,在所述 x/y 次顺序数据传输中,所述 x/y 次顺序数据传输中的每一个在不同的时间处执行;以及

所述外围模块被配置为将所述第一外围地址映射到所述 y 位宽的数据寄存器,以及还将所述不同的外围地址映射到所述 y 位宽的数据寄存器。

2. 如权利要求1所述的电子系统,其中,所述外围模块包括:

y 位宽的第一数据寄存器,可操作地耦合到数据总线;以及

地址解码逻辑,可操作地耦合到地址总线,并且被配置为将多个不同的地址偏移映射到所述第一数据寄存器的所有或相同的部分。

3. 如权利要求1所述的电子系统,进一步包括:

系统总线;以及

至少一个存储器块,其中,所述至少一个存储器块和所述处理元件通过所述系统总线操作地耦合在一起,以及其中,所述处理元件进一步适于执行用于在所述系统总线上从所述存储器块取出数据值的机器可读代码。

4. 如权利要求1所述的电子系统,其中,所述数据传输包括用于将 x 位宽的数据值写入所述外围模块的写入数据传输,以及其中,所述处理元件进一步适于向所述总线控制器提供 x 位宽的数据值。

5. 如权利要求1所述的电子系统,其中,所述数据传输包括用于从所述外围模块读取 x 位宽的数据值的读取数据传输,以及其中,所述总线控制器进一步适于从所述外围模块读取多个 y 位宽的数据值,以从所述多个 y 位宽的数据值建立 x 位宽的数据值,以及将所述 x 位的数据值提供给所述处理元件。

6. 如权利要求1所述的电子系统,进一步包括:

外围总线,操作地耦合在所述总线控制器和所述外围模块之间,其中,所述外围总线包括 z 位宽的数据总线,以及其中, z 小于或等于 y 。

7. 如权利要求1所述的电子系统,其中,所述处理元件是选自如下组的处理元件,所述组包括处理器核心、非核心处理元件和直接存储器访问单元。

8. 一种电子系统,包括:

外围模块,其具有:

y 位宽的第一数据寄存器,可操作地耦合到数据总线;以及

地址解码逻辑,可操作地耦合到地址总线,并且被配置为将多个不同的地址偏移映射到所述第一数据寄存器,其中,所述地址解码逻辑被配置为将所述多个不同的地址偏移中

的第一地址偏移映射到所述第一数据寄存器用于 y 位宽的数据传输,以及将所述多个不同的地址偏移中的 x/y 个其他地址偏移映射到所述第一数据寄存器用于 x 位宽的数据传输,所述 x 位宽的数据传输是作为针对顺序地址的一系列 x/y 个 y 位宽的数据传输而执行的,以及其中 y 小于 x 。

9.如权利要求8所述的电子系统,其中,所述顺序地址中的每个地址是对应于8位字节数据的地址。

10.如权利要求8所述的电子系统,其中,所述外围模块进一步包括:

一个或多个 y 位宽的另外的数据寄存器,可操作地耦合到所述数据总线。

11.如权利要求8所述的电子系统,其中,所述外围模块进一步包括:

读取/写入信号接口,其适于接收读取/写入信号,其中当所述读取/写入信号处于读取状态时,并且当所述地址解码逻辑已将用于地址总线上出现的地址的地址偏移映射到所述第一数据寄存器时,所述外围模块适于将 y 位宽的数据值从所述第一数据寄存器传输到所述数据总线的读取数据总线。

12.如权利要求8所述的电子系统,其中,所述外围模块进一步包括:

读取/写入信号接口,其适于接收读取/写入信号,其中当所述读取/写入信号处于写入状态时,并且当所述地址解码逻辑已将用于地址总线上出现的地址的地址偏移映射到所述第一数据寄存器时,所述外围模块适于将 y 位宽的数据值从所述数据总线的写入数据总线传输到所述第一数据寄存器。

13.如权利要求8所述的电子系统,其中,所述外围模块进一步包括:

中断请求生成器,适于产生中断信号。

14.如权利要求8所述的电子系统,其中,所述外围模块进一步包括:

外围功能电路,可操作地耦合到所述第一数据寄存器,其中,所述外围功能电路适于执行所述外围模块的主要功能,以及将数据写入所述第一数据寄存器或者从所述第一数据寄存器读取数据。

15.如权利要求14所述的电子系统,其中,所述外围功能电路适于执行循环冗余校验计算。

16.如权利要求8所述的电子系统,进一步包括:

处理元件,适于执行使所述处理元件执行 x 位宽的数据值的数据传输的机器可读代码,其中,执行数据传输包括提供第一读取/写入信号以及与所述外围模块的所述第一数据寄存器相对应的处理元件提供的地址,以及其中, y 小于 x ;以及

总线控制器,适于接收所述读取/写入信号和所述处理元件提供的地址,以及作为响应,执行一系列的多个与所述外围模块的数据传输,其中,执行所述系列包括提供第二读取/写入信号和用于所述系列中第一数据传输的第一外围地址,以及提供用于所述系列中至少一个其他数据传输的至少一个不同的外围地址。

17.如权利要求8所述的电子系统,其中,所述外围模块是选自如下组的模块,所述组包括:循环冗余校验计算模块、校验和计算模块、串行外围接口、通用异步接收器/发送器、显示器控制器、和用户接口控制器。

18.一种用于在处理元件和外围模块之间传输数据的方法,所述方法包括如下步骤:

由所述外围模块接收第一读取/写入信号以及来自地址总线的多个不同的地址;

由所述外围模块将对应于所述多个不同的地址的多个不同的地址偏移映射到单个y位宽的数据寄存器,其中,映射所述多个不同的地址偏移的步骤包括:

将所述多个不同的地址偏移中的第一地址偏移映射到所述数据寄存器用于y位宽的数据传输;以及

将所述多个不同的地址偏移中的x/y个其他地址偏移映射到所述数据寄存器用于x位宽的数据传输,其中y小于x;以及

当所述第一读取/写入信号处于读取状态时由所述外围模块将y位宽的数据值从所述y位宽的数据寄存器传输到数据总线,以及当所述第一读取/写入信号处于写入状态时将y位宽的数据值从所述数据总线传输到所述y位宽的数据寄存器中。

19.如权利要求18所述的方法,进一步包括如下步骤:

由所述处理元件执行使所述处理元件执行x位宽的数据值的数据传输的机器可读代码,其中,执行数据传输包括提供第二读取/写入信号以及与所述外围模块的所述y位宽的数据寄存器相对应的处理元件提供的地址;

由总线控制器接收所述第二读取/写入信号和所述处理元件提供的地址;以及

由所述总线控制器响应于接收到所述第二读取/写入信号而执行一系列的多个与所述外围模块的数据传输,其中执行所述系列包括提供第一读取/写入信号和用于所述系列中每个数据传输的所述多个不同的地址中的一个地址。

外围模块寄存器访问方法和装置

技术领域

[0001] 本发明的主题内容的实施例涉及用于访问外围模块的寄存器的方法和装置,并且更具体地,涉及用于较高位宽的处理元件访问外围模块的较低位宽的数据寄存器的方法和装置。

背景技术

[0002] 一种典型的处理架构包括适于执行软件指令的处理元件(例如,处理器核心),这些软件指令可以导致处理器核心和外围模块的数据寄存器之间的数据传输。在一些情况中,架构可以包括较高位宽的处理器核心和具有较低位宽的数据寄存器的外围模块。例如,特定的处理架构可以被设计为包括32位处理器核心,其可以执行用于将32位数据值写入到外围模块的8位宽的写入寄存器的软件。在该情况中,软件可以将32位数据值分解为四个8位字节,并且可以执行针对外围模块地址的四次连续的均为一字节的写入数据传输。相似地,为了从具有8位宽的读取寄存器的外围模块寄存器读取32位数据值,软件可以执行来自外围模块地址的四次连续的均为一字节的读取数据传输,并且可以将这四个字节合并以产生32位数据值。

[0003] 每个访问指令消耗处理器核心周期,并且因此为了在较高位宽的处理器核心和具有较低位宽的数据寄存器的外围模块之间传输数据而进行多次访问是固有地低效率的。然而,某些设计参数(例如,关于在新的和较旧的处理器核心上执行的软件的向后兼容性,以及例如,具有较低位宽的数据寄存器的外围模块的相对小的物理尺寸)继续迫使架构开发人员将具有较低位宽的数据寄存器的从外围模块并入具有较高位宽的处理器核心的处理架构。对于增加处理架构性能的期望,所需要的是如下方法和装置,其在提供关于可以在新的和较旧的处理器核心上执行的软件的向后兼容性的同时,适于实现较高位宽的处理器核心和外围模块的较低位宽的数据寄存器之间的更高效的数据传输。

附图说明

[0004] 图1图示了根据示例性实施例的电子系统的简化框图;

[0005] 图2图示了根据示例性实施例的外围模块的简化框图;

[0006] 图3图示了根据示例性实施例的用于写入外围模块的数据寄存器的方法的流程图;

[0007] 图4图示了根据示例性实施例的用于读取外围模块的数据寄存器的方法的流程图;

[0008] 图5图示了根据示例性实施例的循环冗余校验(CRC)模块的简化框图;以及

[0009] 图6图示了根据示例性实施例的与生成CRC值结合执行的写入和读取数据传输相关的各种信号的时序图。

具体实施方式

[0010] 这里描述的实施例包括用于从各种类型的外围模块中的数据寄存器读取数据和/或向其写入数据的方法和装置。如下文将详细解释的,对于包含具有 y 位编程模型资源(例如,数据寄存器)的外围模块和 x 位处理元件(例如,处理器核心)的电子系统(例如,芯片)配置,其中 x 大于 y ,使用如下实施例可以提高系统性能,该实施例包括外围模块中的映射到现有的 y 位编程模型资源的额外的 x 位编程模型位置。例如,在其中 $y=8$ 和 $x=32$ 的系统中,根据实施例,通过在外围模块的编程模型中包括一个或多个32位位置,可以获得优于传统系统的提高的外围性能,其中外围模块将新的32位位置映射到现有的8位编程模型资源。

[0011] 各种实施例可以在许多系统架构中的任何系统架构中实现,并且图1图示了根据特定示例性实施例的电子系统100的简化框图。如图1的示例性实施例图示的,用于访问外围模块中的数据寄存器的电子系统可以包括作为处理元件的处理器核心(例如,处理器核心102)。将理解,其他电子系统实施例可以包括其他类型的处理元件,其中“处理元件”可以被定义为适于执行发起处理元件和外围模块之间的数据传输的软件指令的可编程硬件模块。例如,处理元件可以是选自如下组的硬件模块,所述组包括:处理器核心、非核心处理元件、直接存储器访问(DMA)单元、和/或可编程且适于执行发起处理元件和外围模块之间的数据传输的软件指令的其他硬件模块。因此,尽管这里的附图和描述可能会讨论其中电子系统包括处理器核心的实施例,但是将理解,实施例的范围包括具有其他类型的处理元件的电子系统。

[0012] 现在参照图1和特定的示例性实施例,电子系统100包括一个或多个处理器核心102(或其他处理元件),一个或多个系统总线控制器104,系统总线106、107,一个或多个外围模块122、123、124,外围总线126、中断控制器外围模块134、和/或一个或多个存储器块(例如,闪存阵列150和随机存取存储器152)。尽管电子系统100被图示为具有单个处理器核心102,但是在其他实施例中电子系统可以包括多个处理器核心。此外,尽管图示了三个外围模块122~124,但是在其他实施例中电子系统可以具有更多或更少的外围模块。

[0013] 在各种实施例中,处理器核心102可以包括例如微控制器、微处理器或数字信号处理器(DSP)核心。处理器核心102是 x 位核心,其包括 x 位宽的寄存器。在各种实施例中,处理器核心102可以与 x 位宽的数据总线或者更宽位宽的数据总线接口。在特定实施例中,处理器核心是32位核心(即, $x=32$),然而在其他实施例中,处理器核心102可以是8位、16位、64位、128位或其他位宽的处理器核心。

[0014] 处理器核心102经由系统总线106、107可操作地耦合到其他系统部件,该系统总线106、107包括地址总线108、109,读取数据总线110、111和写入数据总线112、113。系统总线106、107被图示为具有处理器核心侧106和存储器块侧107。在一个实施例中,系统总线的处理器核心侧106可以在没有显著变更的情况下通过系统总线控制器104,并且因此处理器核心侧106和存储器块侧107可以按基本上相同的方式配置和操作。在另一实施例中,系统总线的处理器核心侧106的配置和/或操作可以不同于存储器块侧107,并且系统总线控制器104可以实现变更(例如,除其他之外,系统总线控制器104可以执行针对另一总线协议的转换,和/或改变操作频率)。尽管可能存在系统总线的处理器核心侧106和存储器块侧107的差异,但是为了易于描述,它们仍将被共同称为系统总线106、107,并且与两侧关联的读取、写入和地址总线也可以被共同称谓。在一个实施例中,读取数据总线110、111和写入数据总线112、113均是 x 位宽的数据总线,然而在其他实施例中它们可以是更宽位宽的数据总线。

此外,系统总线106、107可以包括各种控制线(未示出),诸如读取/写入控制信号线(例如,用以提供具有读取状态和写入状态的读取/写入信号)、总线时钟线(例如,用以提供系统总线时钟信号)、传输尺寸信号线、和/或等待信号线(例如,用以传送总线传输等待信号)。

[0015] 处理器核心102适于执行软件指令(例如,机器可读代码),除其他之外,这些软件指令可以使处理器核心102在系统总线106、107上发出数据访问请求(例如,读取和/或写入请求)。发出数据访问请求包括处理器核心102在地址总线108、109上提供标识存储器块150、152或者外围模块122~124中的位置的地址。对于写入类型的数据访问请求,处理器核心102还在系统总线106、107的写入数据总线112、113上提供数据值。对于读取类型的数据访问请求,处理器核心102从系统总线106、107的读取数据总线110、111读取数据值。如后面将更详细描述,实施例使处理器核心102执行的软件能够使用更少的访问指令(例如,写入指令、读取指令、和/或移动指令)来访问外围模块122~124。因此,这些访问可以以比传统方法更高效的方式被执行(例如,每字节使用更少的处理器周期)。

[0016] 系统总线控制器104适于管理系统在总线106、107上在处理器核心102和各种类型的存储器块之间传输的数据流。这些存储器块可以包括例如,闪速存储器阵列150(闪存)以及随机存取存储器152(RAM)(诸如静态RAM,即SRAM)。此外或者可替代地,系统100可以包括只读存储器(ROM),诸如电可擦除可编程ROM(EEPROM),和/或其他类型的存储器块。

[0017] 在一个实施例中,系统总线控制器104包括和/或操作地耦合到外围总线控制器120。外围总线控制器120适于提供x位宽的系统总线106、107和z位宽的外围总线126之间的接口。更具体地,外围总线控制器120适于管理系统总线106、107和各种类型的外围模块122~124和/或操作地耦合到外围总线126的其他系统部件之间的数据流。系统总线控制器104典型地提供两个基本功能。第一功能包括管理来自处理器核心102的访问的业务流,以及将数据传输请求“路由”到适当的总线接口。例如,这可以包括将数据传输请求路由到与系统总线107接口的系统总线控制器104中的逻辑,或者将数据传输请求路由到外围总线控制器120。系统总线控制器104的第二功能包括实现用于系统总线107的总线接口。相似地,外围总线控制器120实现了用于外围总线126的总线接口。在一个实施例中,如后面将更详细描述,外围总线控制器102还处理将来自处理器的x位数据访问硬件分解为用于外围总线126的一系列z位宽的数据访问,其中z小于x。

[0018] 外围总线126操作地耦合在外围总线控制器120和外围模块122~124之间。在一个实施例中,外围总线126是包括地址总线128、读取数据总线130和写入数据总线132的同步的、非复用的总线。在可替代的实施例中,当外围总线数据线作为双向数据总线线路操作时,读取数据总线130和写入数据总线132可以被实现为同一物理数据总线。在一个实施例中,读取数据总线130和写入数据总线132均是z位宽的数据总线(即,读取数据总线130包括z个读取数据线,并且写入数据总线132包括z个写入数据线)。外围总线126还可以包括各种控制线(未示出),诸如读取/写入控制信号线(例如,用以提供具有读取状态和写入状态的读取/写入信号)、总线时钟线(例如,用以提供系统总线时钟信号)、传输尺寸信号线、和/或等待信号线(例如,用以传送总线传输等待信号)。

[0019] 一个或多个外围模块122~124操作地连接到外围总线126。根据各种实施例,外围模块122~124中的至少一个适于执行多地址寄存器映射,尽管外围模块122~124中的一些可能不适于该操作。如下文将更详细解释的,“多地址寄存器映射”指的是外围模块122~

124将地址总线128上提供的多个地址(或者得自地址的地址偏移)映射到外围模块122~124中的单个读取和/或写入数据寄存器的能力。如这里使用的,术语“地址偏移”可以指的是完整的地址、完整的地址的一部分(例如,地址的一个或多个最低有效位)或者地址的一些其他导出物。例如,外围模块122~124可以包括选自如下组的任何一个或多个外围器件,举例而言,所述组包括但不限于:循环冗余校验(CRC)计算模块、校验和计算模块、串行外围接口(SPI)、通用异步接收器/传送器(UART)、计数器、定时器、存储器控制器、显示器控制器(例如,液晶显示器(LCD)控制器)、用户接口控制器(例如,键盘、触摸屏和/或指点控制器)、中断控制器、和开机复位发生器等。电子系统199还可以包括各种其他外围器件,它们可以并入或者不并入本发明的主题内容的实施例。

[0020] 中断控制器外围模块134还操作地耦合到外围总线126。中断控制器外围模块134是如下类型的外围模块,其适于从一些或所有外围模块122~124接收中断信号(未示出),并且经由中断线136向处理器核心102提供相应的中断信号。

[0021] 在各种可替选的实施例中,对于图1中图示并且上文讨论的部件,电子系统100可以包括额外的或不同的部件。例如,电子系统100还可以包括,除其他之外,一个或多个定时源、外部接口、通用输入/输出(GPIO)端口、模拟接口、额外的或不同的总线、电压调节器、和/或电源管理电路。在一个实施例中,电子系统100可以被实现为芯片上系统(SoC),其中各种系统部件被集成到单个集成电路上。在另一实施例中,电子系统100可以被实现为封装中系统(SiP),其中各种系统部件被集成到被一起封装到单个封装中的多个集成电路上。在又一实施例中,各种部件或者部件组可以被集成到多个集成电路上并且被分立地封装。

[0022] 图2图示了根据示例性实施例的适于执行多地址寄存器映射的外围模块200(例如,图1的外围模块122~124中的一个)的简化框图。图2包括的内容意在提供各种实施例的一般性的讨论。实际上,实施例可以被并入到具有各种配置并且具有多种功能的外围模块中,并且后面结合图5~7描述了一些具体的示例。因此,图2及其讨论不应被当作限制。

[0023] 外围模块200包括外围功能电路202,其可操作地耦合到至少一个数据寄存器204、205、206、207中的一个或多个。每当数据值被写入到写入数据寄存器206、207中时,外围功能电路202可以在后继的数据值被写入到写入数据寄存器206、207之前处理或者另外消耗数据。相似地,每当外围功能电路202将数据值写入到读取数据寄存器204、205时,外围功能电路202可以在数据值的外部读取数据传输已被执行完毕之前等待将后继的数据值写入到读取数据寄存器204、205。根据实施例,外围功能电路202将数据写入至少一个数据寄存器204~207和/或从至少一个数据寄存器204~207读取数据。外围功能电路202适于执行外围模块200的主要功能,其可以包括,除其他之外,数据传输和/或计算功能。例如,但非作为限制,外围功能电路202可以适于基于一个或多个写入数据寄存器206、207中的数据执行数学功能,并且在一个或多个读取数据寄存器204、205中提供结果(例如,计算例如循环冗余校验(CRC)值),将数据从写入数据寄存器206、207传输到读取数据寄存器204、205,和/或执行许多其他主要功能中的任何功能。在一个实施例中,外围模块200可以包括中断请求生成器203,并且外围功能电路202可以适于使中断请求生成器203在外围总线中断信号线209上产生中断信号。例如,但非作为限制,当准备好从读取数据寄存器204、205读取数据(例如,结果)时和/或当外围功能电路202准备好要从写入数据寄存器206、207提供数据时,外围功能电路202可以促使中断生成。

[0024] 外围模块200还包括读取/写入信号接口230,其适于检测外围总线读取/写入信号线232上出现的读取/写入信号的状态。当读取/写入信号指示读取数据传输并且地址解码逻辑216已对对应于读取数据寄存器204、205的地址偏移进行了解码时,外围模块200可以将对应于解码地址偏移的读取数据寄存器204、205中的数据传输到外围总线读取数据线210(例如,图1的读取数据总线130)上。相似地,当读取/写入信号指示写入数据传输并且地址解码逻辑216已对对应于写入数据寄存器206、207的地址偏移进行了解码时,外围模块200可以将外围总线写入数据线214(例如,图1的写入数据总线132)上出现的数据传输到对应于解码地址偏移的写入数据寄存器206、207。在可替选的实施例中,寄存器204~207中的任何一个或多个可以用作读取数据寄存器和写入数据寄存器(例如,单个物理寄存器可以用作读取/写入数据寄存器)。在该实施例中,读取数据线210和写入数据线214之间的接口可以被组合到单个接口(而非如图示的两个接口208、212)中,并且可以根据读取/写入数据信号的状态来控制数据传输的方向(例如,从寄存器到读取数据线或者从写入数据线到寄存器)。此外,在一个实施例中并且如前面提到的,当外围总线数据线作为双向数据总线线路操作时,外围总线读取数据线210和外围总线写入数据线214可以被实现为同一物理线路。

[0025] 外围模块200还包括时钟生成器234,其适于从外围总线时钟信号线236接收时钟信号,以及生成影响各种内部操作(例如,按照时钟使数据进入或离开寄存器204~207,执行计算,对地址或偏移进行解码等)的时序的一个或多个内部时钟。

[0026] 外围模块200还可以包括一个或多个写入数据寄存器206、207,每个写入数据寄存器适于接收并且存储从外围总线写入数据线214通过总线写入线接口212传输的数据。相似地,外围模块200还可以包括一个或多个读取数据寄存器204、205,每个读取数据寄存器适于存储数据并且经由总线读取线接口208将数据提供给外围总线读取数据线210。在一个实施例中,寄存器204~207中的至少一个是 y 位宽的寄存器,其中 y 小于 x (即,寄存器的位宽 y 小于图1处理元件(例如,处理器核心102)和/或系统总线106、107的位宽 x)。在特定实施例中,寄存器204~207是8位宽的寄存器(即, $y=8$),然而在其他实施例中,寄存器204~207中的任何一个或多个可以是4位、16位、32位或其他位宽的寄存器。

[0027] 在图2中图示的实施例中,外围模块200包括两个读取数据寄存器(读取低位数据寄存器和读取高位数据寄存器205)和两个写入数据寄存器(写入低位数据寄存器206和写入高位数据寄存器207)。尽管外围模块200被示为包括两个读取数据寄存器204、205和两个写入数据寄存器206、207,但是在其他实施例中外围模块可以具有更多或更少的读取数据寄存器和/或写入数据寄存器。例如,在一些其他实施例中,外围模块可以具有仅一个或多个读取数据寄存器或者一个或多个写入数据寄存器,但是两者不能都是这样。在其他实施例中,外围模块可以具有单个读取数据寄存器和/或单个写入数据寄存器。在其他实施例中,传送缓冲器(例如,先入先出或FIFO缓冲器)可以与写入数据寄存器206、207中的任一个或两个关联。因此,对于每个写入数据传输,写入数据寄存器206、207中的值可以被传输到缓冲器中,并且缓冲器的其他的值可以移位通过缓冲器离开写入数据寄存器206、207。相似地,接收缓冲器(例如,FIFO缓冲器)可以与读取数据寄存器204、205中的任一个或两个关联。因此,对于每个读取数据传输,可以将值从缓冲器传输到读取数据寄存器204、205,并且缓冲器中的其他的值可以朝向读取数据寄存器204、205移位。

[0028] 在一个实施例中,外围模块200还包括地址解码逻辑216,其适于并且被配置为基于由总线地址线接口222从外围总线地址线224(例如,图1的外围地址总线128)接收到的地址,对地址偏移位线220上出现的信号进行解码。基于解码处理,地址解码逻辑216可以使总线读取线接口208从读取数据寄存器204、205中的一个向外围总线读取线210传输数据,或者地址解码逻辑216可以使总线写入线接口212从外围总线写入线214向写入数据寄存器206、207中的一个传输数据。

[0029] 在一个实施例中,每个数据寄存器204~207被映射到一个或多个地址偏移。在特定的实施例中,数据寄存器204~207中的至少一个被映射到多个地址偏移,其使外围模块200适于执行如上文简要提到的多地址寄存器映射,并且其将在下文中更详细地解释。数据寄存器204~207以外的存储器资源也可以被映射到一个或多个地址偏移,尽管这里没有讨论这些其他的资源。如前面提到的,地址偏移可以是完整的地址、完整地址的一部分(例如,地址的一个或多个最低有效位)或者地址的一些其他导出物。在图示实施例中,地址偏移对应于可以在地址线224上接收的地址的四个最低有效位,并且因此四个地址偏移位线220可以适于向地址解码逻辑216传输地址的四个最低有效位。尽管图示了八个外围总线地址线224和四个地址偏移位线220,但是在其他实施例中可以包括更多或更少的外围总线地址线224和/或地址偏移位线220。对于四个地址偏移位线220,如图所示,地址解码逻辑216可以接收并且能够对多达十六个不同的地址偏移(例如,0000~1111(二进制)或者0x0~0xF(其中“0x”前缀表示十六进制值))进行解码。在其他实施例中,地址解码逻辑216可以适于对更多或更少的地址偏移进行解码。在一个实施例中,地址解码可以是硬连线的,并且因此是不变的,或者在其他实施例中,地址解码可以基于固定的或可配置的地址映射而至少部分地在软件中实现。

[0030] 地址偏移解码逻辑(在硬件、软件或者此两者中实现)可以被表示为存储器映射。在一个实施例中,数据寄存器204~207中的至少一个被映射到多个地址。如这里使用的,术语“寄存器地址偏移集合”指的是映射到特定寄存器的多个地址偏移的集合。在特定实施例中,关于特定寄存器的第一地址偏移(即,地址偏移0x0)可以对应于第一地址,其由处理元件(例如,图1的处理器核心102)指定用于读取y位数据值,并且因此该地址偏移在下文中可以被称为“y位宽的访问地址偏移”,其中术语“y位宽的”指的是正被访问的数据的宽度,而非地址偏移的宽度,该地址偏移可以是或不是y位宽的。关于特定寄存器的一个或多个其他地址偏移(即,地址偏移0x4、0x5、0x6和0x7)可以对应于第二地址,其由处理元件指定用于读取x位数据值,并且因此这些地址偏移在下文中可以被称为“x位宽的访问地址偏移”,其中术语“x位宽的”指的是正被访问的数据的宽度,而非地址偏移的宽度,该地址偏移可以是或不是x位宽的。此外或者可替代地,在其他实施例中,y位宽的访问地址偏移和x位宽的访问地址偏移可以对应于读取y位和x位数据值。如下面的表1中的外围模块存储器映射的示例性的8位视图中指明的,读取低位数据寄存器204被映射到包括五个地址偏移(即,偏移0x0、0x4、0x5、0x6和0x7)的寄存器地址偏移集合,而写入低位数据寄存器206被映射到包括五个不同的地址偏移(即,偏移0x2、0x8、0x9、0xA和0xB)的寄存器地址偏移集合:

[0031]

偏移	寄存器
0x0	读取低位

0x1	读取高位
0x2	写入低位
0x3	写入高位
0x4	读取低位
0x5	读取低位
0x6	读取低位
0x7	读取低位
0x8	写入低位
0x9	写入低位
0xA	写入低位
0xB	写入低位
0xC~0xF	预留

[0032] 表1-8位图的存储器映射示例

[0033] 可替代地,同一示例性存储器映射可以被表示为下表2中的32位视图:

[0034]

偏移	寄存器			
0x0	读取低位	读取高位	写入低位	写入高位
0x4	读取低位			
0x8	写入低位			
0xC	预留			

[0035] 表2-32位图的存储器映射示例

[0036] 表1和表2的存储器映射仅被提供用于示例的目的,并且可以存在许多存储器映射变化方案。从表1和表2的存储器映射可以发现,根据各种实施例,地址解码逻辑216被配置为并且适于将多个地址偏移的集合(例如,寄存器地址偏移集合)映射到外围模块200的所有单个数据寄存器或者单个数据寄存器的相同部分,然而地址解码逻辑216也可以被配置为将一个或多个其他的多个地址的集合映射到一个或多个其他的数据寄存器。

[0037] 在特定实施例中,寄存器地址偏移集合中的至少一个地址偏移可以对应于y位读取或写入数据传输,并且寄存器地址偏移集合中的其他地址偏移的数目n(其中 $n=x/y$)可以对应于x位读取或写入数据传输,其被执行为针对连续地址的一系列的n个y位宽的数据传输,并且其中连续地址中的每个地址是对应于y位数据(例如,8位字节数据)的地址。换言之,在该实施例中,“其他”地址偏移中的每一个可以对应于正被写入或读取的x位数据值的y位部分。例如,如果写入数据寄存器204是8位寄存器,并且处理元件(例如,图1的处理器核心102)执行指令以将8位数据值写入到写入低位数据寄存器206,则可以在外围总线地址线224上提供地址,其对应于映射到写入低位数据寄存器206的第一地址偏移(例如,来自上面的表1的地址偏移0x2)。相反地,如果处理元件执行指令以将32位数据值写入到写入数据寄存器206,则可以在外围总线地址线224上提供四个地址(即, $n=4$,并且 $n=x/y=32/8=4$),其对应于四个其他的地址偏移,每个地址偏移被映射到写入低位数据寄存器206(例如,来

自上面的表1的地址偏移0x8、0x9、0xA和0xB)。

[0038] 如下文将更详细解释的,在其中x位处理元件(例如,图1的处理器核心102)访问外围模块(例如,外围模块200)的y位数据寄存器(例如,寄存器204~207),并且x大于y的系统中,较之传统的系统和方法,适于将多个地址偏移映射到单个寄存器使得处理元件能够通过执行较少的程序指令来执行与外围模块的x位数据传输。例如,对于从处理元件到外围模块的8位寄存器的32位写入数据传输,处理元件可以执行单个32位写入指令,并且32位数据值可以被外围总线控制器(例如,图1的外围总线控制器120,或者在可替选的实施例中,总线控制器104)分解为针对四个外围模块地址的四个8位写入,这四个外围模块地址对应于映射到单个8位寄存器的四个地址偏移。在一个实施例中,四个外围模块地址和四个地址偏移是连续的地址和地址偏移,然而在其他实施例中它们可以是不连续的。不同于其中处理元件将执行四个8位写入指令以写入32位数据值的传统方法,处理元件可以取而代之地执行少于四个写入指令(例如,单个32位写入指令或者两个16位写入指令)。这可以显著减少为完成32位写入数据传输而消耗的处理器周期的数目。

[0039] 分别结合图3和4更详细地描述用于执行写入数据传输和读取数据传输的方法的实施例。由于在下文中出于清楚起见而在图3和4的方法的描述中引用了图1和2的各种元件,因此应结合图1和2查看图3和4。

[0040] 首先参照用于执行写入数据传输的实施例的描述,图3图示了根据示例性实施例的用于写入外围模块(例如,外围模块200)的数据寄存器的方法的流程图。更具体地,该方法对应于32位处理元件(例如,处理器核心102)从存储器(例如,从闪存阵列150或RAM 152)取出32位数据值,并且将该32位数据值写入外围模块(例如,外围模块200)的8位写入数据寄存器(例如,写入低位数据寄存器206)。将理解,在其他实施例中,不同位宽的处理元件可以从存储器取出不同宽度的数据值,并且可以将数据值写入不同宽度的写入数据寄存器。

[0041] 在框302中,当处理元件执行一个或多个软件指令以从存储器取出32位数据值时,该方法可以开始。例如,处理元件(例如,处理器核心102)可以将系统总线106、107的读取/写入信号的状态设定为读取状态,并且可以在系统总线106、107的地址总线108、109上提供地址,其中该地址对应于闪存阵列150或RAM 152中的存储器位置。处理元件随后可以从读取数据总线110、111读取32位数据值(在可用时),并且可以将32位数据值存储在一个或多个寄存器中或者其他存储器位置。

[0042] 在框304中,处理元件可以执行一个或多个软件指令以将32位数据值写入外围模块的8位写入数据寄存器。将理解,在一个实施例中,框302的取出指令和框304的写入指令可以收缩为单个移动指令,其指定32位数据值应从存储器位置(例如,在闪存阵列150或RAM 152中)移动到外围模块的8位写入数据寄存器。在任何情况下,处理元件可以将系统总线106、107的读取/写入信号的状态设定为写入状态,并且可以对应于第一地址偏移(例如,来自上文的表1的地址偏移0x8)地在地址总线108、109上提供地址,该第一地址偏移将被外围模块映射到外围模块的8位写入数据寄存器。此外,处理元件在外围总线的写入数据总线112、113上提供32位数据值。

[0043] 在框306中,外围总线控制器(例如,图1的外围总线控制器120)接收地址和32位数据值,并且可以临时地将32位数据值存储在一个或多个寄存器中。在一个实施例中,总线控制器120执行一系列z位宽的数据的写入数据传输,其中z是外围总线126的写入数据总线

132的宽度。为了易于描述,该示例将假设写入数据总线132具有与外围模块的写入数据寄存器(例如,写入低位数据寄存器206)相同的位宽。因此,在该示例中, $z=8$ 。将理解,写入数据总线132的宽度可以小于写入数据寄存器的宽度(例如,在各种实施例中, z 可以小于或等于 y),在该情况中,系统总线控制器104和/或外围总线控制器120可以执行多个写入数据传输,以便于将 y 位数据值写入到写入数据寄存器。

[0044] 对于其中 $z=8$ 的示例,每个写入数据传输包括识别下一将写入的8位数据值,以及使用在外围模块中被映射到单个写入数据寄存器的多个写入数据寄存器地址中的一个来执行8位写入数据传输。例如,对于初始的写入数据传输,32位数据值的特定字节可以被选择为待写入的第一字节,并且总线控制器120可以使用被映射到外围模块的写入数据寄存器的第一写入数据寄存器地址。实际的写入数据传输可以涉及将外围总线126的读取/写入信号的状态设定为写入状态,提取32位数据值的第一字节并且将其提供给外围总线126的写入数据总线132,以及在外围总线126的地址总线128上提供第一写入数据寄存器地址,当然,不一定采取这一顺序。

[0045] 在框308中,外围模块接收读取/写入信号以及地址总线128上的第一写入数据寄存器地址和写入数据总线132上的第一字节。外围模块的地址解码逻辑216将第一地址中指示的地址偏移映射到写入数据寄存器206,并且该第一字节可以被传输到写入数据寄存器206中并由外围功能电路202处理。例如,还参照上文的表1,第一地址中指示的地址偏移可以是偏移 $0x8$,其是映射到写入低位数据寄存器206的四个连续地址偏移中的一个。

[0046] 紧随框306之后和/或与框308的执行并行地,总线控制器120可以确定正在写入到写入数据寄存器206的32位数据值的最后的8位数据值是否已被写入。当最后的值已被写入时(即,当总线控制器120完成32位数据值的所有四个字节的写入时),该方法可以结束。当最后的值未被写入时,该方法可以返回到框306,其中总线控制器120执行系列中的下一8位宽的数据的写入数据传输。例如,对于第二写入数据传输,32位数据值的不同的字节可以被选择为待写入的第二字节,并且总线控制器120可以使用映射到外围模块的写入数据寄存器的第二写入数据寄存器地址(例如,对应于上文的表1的偏移 $0x9$ 的写入数据寄存器地址)。再次地,写入数据传输可以涉及将外围总线126的读取/写入信号的状态设定为写入状态,提取第二字节并且将其提供给外围总线126的写入数据总线132,以及在外围总线126的地址总线128上提供第二写入数据寄存器地址,然而不一定采取这一顺序。该迭代过程可以继续,直至所存储的32位数据值的所有四个字节均被写入到写入数据寄存器206。

[0047] 实现本发明的主题内容的实施例的潜在优点在于,较之传统方法,处理元件可以执行更少的指令以将 x 位宽的数据值写入到外围模块的 y 位宽的寄存器或者从外围模块读取 x 位宽的数据值,其中 x 大于 y 。因此,为了访问数据而消耗的处理器周期更少。下面提供了示例性代码,其对应于处理元件取出多个32位数据值并且将其写入CRC模块以便于CRC模块执行闪存阵列(例如,闪存阵列150)的一个区域的CRC计算。使用各种实施例,处理元件可以根据如下汇编代码来执行32位的长型移动(`mov.l`)操作,以便将从存储器取出的每个32位数据值写入到CRC模块中的8位寄存器。仅出于示例的目的,CRC寄存器被表示为CRC模块的写入低位数据寄存器:

[0048] # `d0=byteCount/4`

[0049] # `a0=pointer to Flash array`

```
[0050] # a1=pointer to CRC write low data register
[0051] L%1: # longword copy,unrolled 4x
[0052] mov.l(%a0)+,(%a1) # copy source data 4-byte value to CRC
[0053] mov.l(%a0)+,(%a1) # copy source data 4-byte value to CRC
[0054] mov.l(%a0)+,(%a1) # copy source data 4-byte value to CRC
[0055] mov.l(%a0)+,(%a1) # copy source data 4-byte value to CRC
[0056] subq.l&4,%d0 # decrement loop counter
[0057] bne.b L%1 # done?If not,branch back to top of loop
```

[0058] 作为对比,使用传统技术将相同的32位数据值从存储器传输到外围设备中的8位寄存器,如以下代码中例示的,处理元件将执行多达四次移动操作,其中每个移动操作将每次写入一个字节(mov.b),而非一次写入完整的32位数据值:

```
[0059] # d0=byteCount
[0060] # a0=pointerto Flash array
[0061] # a1=pointer to CRC write low data register
[0062] L%0: #byte copy,unrolled 4x
[0063] mov.b(%a0)+,(%a1) #copy source data byte value to CRC
[0064] mov.b(%a0)+,(%a1) #copy source data byte value to CRC
[0065] mov.b(%a0)+,(%a1) #copy source data byte value to CRC
[0066] mov.b(%a0)+,(%a1) #copy source data byte value to CRC
[0067] subq.l&4,%d0 #decrement loop counter
[0068] bne.b L%0 #done?If not,branch back to top of loop
```

[0069] 对于潜在的性能益处,实现根据实施例的第一代码示例的处理元件可以经历每个传输字节的约2.25个CPU周期的测量性能,而实现根据传统方法的第二代码示例的处理元件可以经历每个传输字节的约6.00个CPU周期的测量性能。根据测量的性能,当在相同的处理器核心上执行,两个示例均在相同的时钟频率下操作时,第一代码示例的执行约比第二代码示例的执行快2.66倍。因此,较之传统方法,实现利用各种实施例的优点的代码可以为处理元件性能提供显著的改进。

[0070] 除了实现各种实施例以便将x位宽的数据值写入外围模块的y位宽的写入数据寄存器以外,实施例还可以或者可替选地被实现为从外围模块的y位读取数据寄存器读取x位数据值。图4图示了根据示例性实施例的用于读取外围模块的数据寄存器的方法的流程图。更具体地,该方法对应于32位处理元件(例如,处理器核心102)从外围模块(例如,图2的外围模块200)的8位读取数据寄存器(例如,读取低位数据寄存器204)读取32位数据值。将理解,在其他实施例中,不同位宽的处理元件可以从外围模块的不同宽度的读取数据寄存器读取不同宽度的数据值。

[0071] 在框402中,当处理元件执行一个或多个软件指令以从外围模块的8位寄存器读取32位数据值时,该方法可以开始。例如,还参照图1,处理器核心102可以将系统总线106、107的读取/写入信号的状态设定为读取状态,并且可以在系统总线106、107的地址总线108、109上提供地址(在这里被称为“处理元件提供的地址”),其中该地址对应于外围模块的8位读取数据寄存器(例如,读取低位数据寄存器204)。

[0072] 在框404中,总线控制器120接收读取/写入信号和核心提供的地址,并且作为响应,执行一系列的多个 z 位宽的数据的读取数据传输中的第一个,其中 z 是外围总线126的读取数据总线130的宽度。如下文将阐明的,总线控制器120将通过临时地对被读取到寄存器的适当部分或者其他存储器位置的每个 z 位宽的数据值进行安置,在系列读取数据传输过程中建立 x 位宽的数据值,由此建立完整的 x 位宽的值。为了易于描述,该示例将假设读取数据总线130具有与外围模块的读取数据寄存器(例如,读取低位数据寄存器204)相同的位宽。因此,在该示例中, $z=8$ 。将理解,读取数据总线130的宽度可以小于读取数据寄存器的宽度(例如,在各种实施例中, z 可以小于或等于 y),在该情况中,总线控制器120可以执行多个读取数据传输,以便从读取数据寄存器读取 y 位数据值。

[0073] 对于其中 $z=8$ 的示例,每个读取数据传输包括识别下一待读取的8位数据值,以及使用在外围模块中被映射到单个读取数据寄存器的多个读取数据寄存器地址中的一个来执行8位读取数据传输。例如,对于初始的读取数据传输,32位数据值的特定字节可以被选择为待读取的第一字节,并且总线控制器120可以使用映射到外围模块的读取数据寄存器的第一读取数据寄存器地址。实际的读取数据传输可以涉及将外围总线126的读取/写入信号的状态设定为读取状态,在外围总线126的地址总线128上提供第一读取数据寄存器地址,从外围总线126的读取数据总线130读取32位数据值的第一字节(在可用时),以及将第一字节存储在32位寄存器的第一字节位置或者总线控制器120中的可访问的其他存储器位置。

[0074] 在框406中,外围模块接收读取/写入信号以及地址总线128上的第一读取数据寄存器地址。外围模块的地址解码逻辑216将第一地址中指示的地址偏移映射到读取数据寄存器204,并且第一字节可以从读取数据寄存器204传输到外围总线126的读取数据总线130。例如,还参照上文的表1,第一地址中指示的地址偏移可以是偏移 $0x4$,其是映射到读取低位数据寄存器204的四个地址偏移中的一个。

[0075] 在框408中,总线控制器120可以从读取数据总线130读取第一字节,并且临时地将数据存储在寄存器中的适当的位置或者用于建立32位数据值的其他存储器位置。在框410中,总线控制器120可以确定正在从读取数据寄存器204读取的32位数据值的最后的字节是否已被读取。当最后的值未被读取时,该方法可以返回到框404,其中总线控制器120执行系列中的下一8位宽的读取数据传输。例如,对于第二读取数据传输,32位数据值的不同的字节可以被选择为待读取的第二字节,并且总线控制器120可以使用映射到外围模块的读取数据寄存器的第二读取数据寄存器地址(例如,对应于上文的表1的偏移 $0x5$ 的读取数据寄存器地址)。再次地,读取数据传输可以涉及将外围总线126的读取/写入信号的状态设定为读取状态,在外围总线126的地址总线128上提供第二读取数据寄存器地址,从外围总线126的读取数据总线130读取第二字节(在可用时),以及将第二字节临时地存储在32位寄存器的适当的字节位置或者其中正在构建32位数据的其他存储器位置。

[0076] 当在框410中确定最后的值已被读取时(即,当32位数据值的所有四个字节均已从读取数据寄存器204读取时),在框412中,总线控制器120可以通过将32位临时保存寄存器或存储器位置中的数据传输到系统总线106、107的读取数据总线110、111上,从而向处理元件提供32位数据值。处理元件随后可以将数据值从读取数据总线110、111传输到32位寄存器或者其他存储器位置,并且可以处理该数据。该方法随后可以结束。

[0077] 现将结合图5和6描述外围模块的特定示例。更具体地,图5和6分别图示了根据CRC模块中实现的示例性实施例的框图和时序图。将理解,结合图5和6描述的外围模块实施例不应被视为使各种实施例的实现方案仅限于CRC模块。相反,实施例可以在广泛的多种外围模块类型中实现,并且上文提供了这些外围模块类型的非排他性的列表。

[0078] 图5图示了根据示例性实施例的CRC模块500的简化框图。如前面提到的,CRC模块是可以根据实施例实现的多种类型的外围模块中的一种。根据一个实施例,CRC模块500包括CRC生成器电路502、CRC低位数据寄存器504、CRC高位数据寄存器506和地址解码逻辑516。CRC模块500还包括时钟生成器534,其适于从外围总线时钟信号线536接收时钟信号,以及生成影响各种内部操作的时序的一个或多个内部时钟。

[0079] CRC生成器电路502适于基于种子值和存储器块中存储的数据来计算关于存储器块的CRC值。在一个示例性实施例中,CRC生成器电路502包括16位CRC生成器电路,并且种子值是16位种子值。在操作期间,处理元件(例如,图1的处理器核心102)可以将16位的种子值的第一字节写入CRC低位数据寄存器504,并且将16位的种子值的第二字节写入CRC高位数据寄存器506。在一个实施例中,在加载16位种子值之后,处理元件可以从存储器块取出一个或多个32位数据值,并且将每个32位数据值写入CRC低位数据寄存器504,这区别于传统的系统,在传统系统中处理元件将从存储器块取出多个8位数据值并且将每个8位数据值写入CRC低位数据寄存器(例如,由此为了传输相同量的数据,执行了约为四倍的取出和写入数据传输的次数)。总线控制器(例如,图1的总线控制器120)随后可以将32位数据值中的每个字节写入到由地址解码逻辑516映射到CRC低位数据寄存器504的多个地址中的一个。每个字节随后可以由CRC生成器电路502处理,以便生成组合的CRC高位数据寄存器506和CRC低位数据寄存器504中的16位CRC值。在将最后的数据值写入CRC低位数据寄存器504之后,处理元件随后可以从组合的CRC高位数据寄存器506和CRC低位数据寄存器504读取作为结果的16位CRC值。

[0080] CRC模块500还包括读取/写入信号接口530,其适于检测外围总线读取/写入信号线532上出现的读取/写入信号的状态。当读取/写入信号指示读取数据传输并且地址解码逻辑516已对对应于CRC低位数据寄存器504或CRC高位数据寄存器506的偏移进行解码时,CRC模块500可以将如解码后的偏移所指定的CRC低位数据寄存器504或CRC高位数据寄存器506中的数据传输到外围总线读取数据线510(例如,图1的读取数据总线130)上。相似地,当读取/写入信号指示写入数据传输并且地址解码逻辑516已对对应于CRC低位数据寄存器504或CRC高位数据寄存器506的偏移进行解码时,CRC模块500可以将外围总线写入数据线514(例如,图1的写入数据总线132)上出现的数据传输到由解码后的偏移所指定的CRC低位数据寄存器504或CRC高位数据寄存器506。

[0081] CRC低位数据寄存器504和CRC高位数据寄存器506中的每一个适于接收并且存储来自外围总线写入数据线514的由总线读取/写入线接口508传输的数据。此外,CRC低位数据寄存器504和CRC高位数据寄存器506适于将它们中存储的数据提供给CRC生成器电路502。CRC高位数据寄存器506和CRC低位数据寄存器504还适于接收并且存储作为结果的16位CRC值,其每个数据字节被写入到CRC低位数据寄存器504。在读取数据传输过程中,CRC高位数据寄存器506和CRC低位数据寄存器504中存储的作为结果的16位CRC值可以由总线读取/写入线接口508传输到外围总线读取数据线510上。在一个实施例中,CRC低位数据寄存

器504或CRC高位数据寄存器506是8位宽的寄存器,然而在其他实施例中CRC低位数据寄存器504或CRC高位数据寄存器506中的任一个或两个可以是4位、16位、32位或者其他位宽的寄存器。在图5中图示的实施例中,CRC模块500包括一个CRC低位数据寄存器504和一个CRC高位数据寄存器506,然而在其他实施例中,CRC模块可以具有更多的CRC低位数据寄存器和/或CRC高位数据寄存器。

[0082] 在一个实施例中,CRC模块500还包括地址解码逻辑516,其适于并且被配置为基于总线地址线接口522从外围总线地址线524(例如,图1的地址总线128)接收到的地址对地址偏移位线520上出现的信号进行解码。基于解码处理,地址解码逻辑516可以使总线读取/写入线接口508从CRC低位数据寄存器504或CRC高位数据寄存器506中的一个向外围总线读取线510传输数据,或者地址解码逻辑516可以使总线读取/写入线接口508从外围总线写入线514向CRC低位数据寄存器504或CRC高位数据寄存器506中的一个传输数据。

[0083] 在一个实施例中,CRC高位数据寄存器506被映射到单个地址偏移,并且CRC低位数据寄存器504被映射到多个地址偏移。这使CRC模块500适于执行如上文讨论的多地址寄存器映射。在特定实施例中,CRC低位数据寄存器地址偏移中的一个(即,地址偏移0x1)可以对应于由处理元件指定用于写入8位数据值的第一地址,并且因此该地址偏移是y位宽的访问地址偏移。其他CRC低位数据寄存器地址偏移(即,地址偏移0x4、0x5、0x6和0x7)可以对应于由处理元件指定用于写入32位数据值的第二地址,并且因此这些地址偏移是x位宽的访问地址偏移。如下面的表3中的外围模块存储器映射的示例性的8位视图中指明的,CRC低位数据寄存器504被映射到包括五个地址偏移(即,偏移0x0、0x4、0x5、0x6和0x7)的寄存器地址偏移集合:

[0084]

偏移	寄存器
0x0	CRC高位
0x1	CRC低位
0x2	预留
0x3	预留
0x4	CRCL0(CRC低位)
0x5	CRCL1(CRC低位)
0x6	CRCL2(CRC低位)
0x7	CRCL3(CRC低位)
0x8~0xF	预留

[0085] 表3-CRC存储器映射示例的8位视图

[0086] “CRCL0”指的是32位数据值的第一字节,其对应于映射到CRC低位数据寄存器504的地址偏移(即,地址偏移0x4)。相似地,“CRCL1”指的是32位数据值的第二字节,其对应于也映射到CRC低位数据寄存器504的地址偏移(即,地址偏移0x5),如此等等。表3的存储器映射仅被提供用于示例的目的,并且可以存在许多存储器映射变化方案。从表3的存储器映射可以发现,根据各种实施例,地址解码逻辑516被配置为并且适于将多个地址偏移的集合(例如,寄存器地址偏移集合)映射到CRC模块500的单个数据寄存器,然而地址解码逻辑516也可以被配置为将一个或多个其他的多个地址的集合映射到一个或多个其他的数据寄存

器。

[0087] 图6图示了根据示例性实施例的与生成CRC值结合执行的写入和读取数据传输相关的各种信号的时序图。该时序图包括时钟信号602(CLK)、地址总线信号604(ADDR)、读取/写入信号606(R/W)、写入数据总线信号608(WDATA)和读取数据总线信号610(RDATA)。除了图6中图示的信号,在CRC值的生成期间还可能出现一个或多个另外的信号,诸如例如使能信号和等待信号,然而出于简要的目的未图示或描述这些信号。在每个写入数据传输期间,读取/写入信号606的状态被设定为写入状态(例如,低状态),并且在每个读取数据传输期间,读取/写入信号606的状态被设定为读取状态(例如,高状态)。地址和数据可以如根据实施例图示的在时钟信号602的低-高变换期间按照时钟进行操作,或者可替代地在时钟信号602的高-低变换期间按照时钟进行操作。CRC值生成期间执行的各种操作可以耗用比图5所示更多或更少的时钟周期,并且数据的更多或更少的字节可以被用于生成CRC值。下面的描述还涉及图5的元件。

[0088] 为了生成CRC值,根据一个实施例,可能出现如下处理序列,然而在其他实施例中,在仍实现基本上相似的结果的情况下,该序列可以变更。在一个实施例中,当处理元件(例如,图1的处理器核心102)加载种子值时,CRC值生成可以开始。这可以包括例如,处理元件将16位种子值的第一字节(0xFF)写入CRC高位数据寄存器506,并且将16位种子值的第二字节(0xFF)写入CRC低位数据寄存器504。为了写入16位种子值的第一字节,处理元件可以提供第一字节以及与CRC模块的地址解码逻辑516映射到CRC高位数据寄存器506的地址偏移(例如,来自上文的表3的地址偏移0x0)相对应的地址。如图6中所示,在第一时钟周期620上,该地址偏移可以被映射并且第一字节(0xFF)可以按照时钟进入CRC高位数据寄存器506。相似地,为了写入16位种子值的第二字节,处理元件可以提供第二字节以及与CRC模块的地址解码逻辑516映射到CRC低位数据寄存器504的地址偏移(例如,来自上文的表3的地址偏移0x1)相对应的地址。该地址偏移可以被称为关于CRC低位数据寄存器504的y位宽的访问地址偏移。在第二时钟周期621上,该地址偏移可以被映射并且第二字节(0xFF)可以按照时钟进入CRC低位数据寄存器504。因此16位种子值(0xFFFF)被加载到CRC高位数据寄存器506和CRC低位数据寄存器504中。

[0089] 处理元件随后可以执行代码以从正在为其生成CRC值的存储器块取出第一32位数据值,并且将该32位数据值写入对应于x位宽的访问地址偏移中的一个的地址,CRC模块的地址解码逻辑516还将该地址偏移映射到CRC低位数据寄存器504(例如,来自上文的表3的地址偏移0x4)。总线控制器(例如,图1的总线控制器120)随后可以执行针对CRC低位数据寄存器504的四次写入的序列,其中每次写入包括写入来自32位数据值的选定字布。在一个实施例中,序列中的第一写入将会写入32位数据值的第一字节(0x31)并且对映射到CRC低位数据寄存器504的第一地址进行寻址,序列中的第二写入将会写入32位数据值的第二字节(0x32)并且对映射到CRC低位数据寄存器504的第二地址进行寻址,序列中的第三写入将会写入32位数据值的第三字节(0x33)并且对映射到CRC低位数据寄存器504的第三地址进行寻址,并且序列中的第四写入将会写入32位数据值的第四字节(0x34)并且对映射到CRC低位数据寄存器504的第四地址进行寻址。在时钟周期622、623、624和625期间,在地址总线信号604上顺序图示了四个地址偏移(例如,地址偏移0x4、0x5、0x6和0x7)的序列,以及在写入数据总线信号608上顺序图示了数据的四个字节。如上文所述,在一个实施例中,四个数据

偏移可以由地址解码逻辑516映射到CRC低位数据总线504。在时钟周期625结束时,CRC模块500将16位种子值(0xFFFF)接收到CRC高位数据寄存器506和CRC低位数据寄存器504中,并且还将四个字节(0x31、0x32、0x33、0x34)接收到CRC低位数据寄存器504中。在接着的四个时钟周期626、627、628、629期间,四个另外的字节(0x35、0x36、0x37、0x38)被接收到CRC低位数据寄存器504中,作为处理元件将第二32位数据值写入对应于x位宽的访问地址偏移(例如,地址偏移0x4)的地址的结果。在接着的时钟周期630期间,一个另外的字节被接收到CRC低位数据寄存器504中,该字节可以表示正在为其生成CRC值的存储器块中的最后的数据字节。由于所写入的最后的值对应于字节,而非对应于32位数据值,因此处理元件可以将8位数据值写入对应于y位宽的访问CRC地址偏移的地址(例如,地址偏移0x1)。时钟周期631表示等待周期,在该等待周期期间CRC生成器电路502可以完成其CRC值计算。

[0090] 为了从CRC低位数据寄存器504和CRC高位数据寄存器506读取16位CRC值,处理元件可以从CRC高位数据寄存器506读取16位CRC值的第一字节,并且从CRC低位数据寄存器504读取16位CRC值的第二字节。为了读取16位CRC值的第一字节,处理元件可以提供与CRC模块的地址解码逻辑516映射到CRC高位数据寄存器506的地址偏移(例如,来自上文的表3的地址偏移0x0)相对应的地址。如图6中所示,在时钟周期632期间,该地址偏移可以被映射并且第一字节(0x29)可以读取自CRC高位数据寄存器506。相似地,为了读取16位CRC值的第二字节,处理元件可以提供与CRC模块的地址解码逻辑516映射到CRC低位数据寄存器504的y位宽的访问地址偏移(例如,来自上文的表3的地址偏移0x1)相对应的地址。在时钟周期633期间,该地址偏移可以被映射并且第二字节(0xB1)可以读取自CRC低位数据寄存器504。

[0091] 使用用于生成CRC值的装置和方法的实施例,如结合图5和6图示和描述的,处理元件可以执行将x位宽的数据值写入具有y位宽的CRC低位数据寄存器的软件指令,其中x大于y。因此,使用各种实施例,可以改进处理器效率,优于传统的装置和方法,在传统的装置和方法中,处理元件将执行更多的软件指令以便于写入相同量的数据(例如,处理元件将执行仅将y位宽的数据值写入y位宽的CRC低位数据寄存器的指令)。

[0092] 因此,已描述了用于从各种类型的外围模块中的数据寄存器读取数据和/或将数据写入各种类型的外围模块中的数据寄存器的方法和装置的各种实施例。一种电子系统的实施例包括处理元件,总线控制器和外围模块。处理元件适于执行使处理元件执行x位宽的数据值的数据传输的机器可读代码,其中执行数据传输包括提供第一读取/写入信号以及对应于外围模块的y位宽的数据寄存器的处理元件提供的地址,并且其中y小于x。总线控制器适于接收读取/写入信号和处理元件提供的地址,并且作为响应,执行一系列的与外围模块的多个数据传输,其中执行该系列包括提供第二读取/写入信号和关于该系列中的第一数据传输的第一外围地址,以及提供关于该系列中的至少一个其他的数据传输的至少一个不同的外围地址。外围模块被配置为将第一外围地址映射到y位宽的数据寄存器,并且还将至少一个不同的外围地址映射到y位宽的数据寄存器。

[0093] 在另一实施例中,外围模块包括y位宽的第一数据寄存器,其可操作地耦合到数据总线;以及地址解码逻辑,其可操作地耦合到地址总线,并且被配置为将多个不同的地址偏移映射到第一数据寄存器。在一个实施例中,电子系统进一步包括系统总线和至少一个存储器块,其中该至少一个存储器块和处理元件通过系统总线操作地耦合在一起,并且其中处理元件进一步适于执行用于在系统总线上从存储器块取出数据值的机器代码。在另一实

施例中,数据传输包括用于将x位宽的数据值写入外围模块的写入数据传输,并且处理元件进一步适于向总线控制器提供x位宽的数据值。在另一实施例中,数据传输包括用于从外围模块读取x位宽的数据值的读取数据传输,并且总线控制器进一步适于从外围模块读取多个y位宽的数据值,以从多个y位宽的数据值建立x位宽的数据值,以及将x位宽的数据值提供给处理元件。在另一实施例中,电子系统还包括外围总线,其操作地耦合在总线控制器和外围模块之间,其中外围总线包括z位宽的数据总线,并且其中z小于或等于y。在另一实施例中,处理元件是选自处理器核心、非核心处理元件和直接存储器访问单元的处理元件。

[0094] 另一实施例包括一种电子系统,其包括外围模块,该外围模块具有y位宽的第一数据寄存器,其可操作地耦合到数据总线;以及地址解码逻辑,其可操作地耦合到地址总线,并且被配置为将多个不同的地址偏移映射到第一数据寄存器。在另一实施例中,地址解码逻辑被配置为将多个不同的地址偏移中的第一地址偏移映射到第一数据寄存器用于y位宽的数据传输,以及将多个不同的地址偏移中的x/y个其他地址偏移映射到第一数据寄存器用于x位宽的数据传输,该x位宽的数据传输是作为针对顺序地址的一系列x/y个y位宽的数据传输而执行的,并且其中顺序地址中的每个地址是对应于8位字节数据的地址。

[0095] 在另一实施例中,外围模块还包括一个或多个y位宽的另外的数据寄存器,其可操作地耦合到数据总线。在另一实施例中,外围模块还包括读取/写入信号接口,其适于接收读取/写入信号,其中当读取/写入信号处于读取状态时,并且当地址解码逻辑已将关于地址总线上出现的地址的地址偏移映射到第一数据寄存器时,外围模块适于将y位宽的数据值从第一数据寄存器传输到数据总线的读取数据总线。在另一实施例中,外围模块还包括读取/写入信号接口,其适于接收读取/写入信号,其中当读取/写入信号处于写入状态时,并且当地址解码逻辑已将关于地址总线上出现的地址的地址偏移映射到第一数据寄存器时,外围模块适于将y位宽的数据值从数据总线的写入数据总线传输到第一数据寄存器。在另一实施例中,外围模块还包括中断请求生成器,其适于产生中断信号。在另一实施例中,外围模块还包括外围功能电路,其可操作地耦合到第一数据寄存器,其中外围功能电路适于执行外围模块的主要功能,以及将数据写入第一数据寄存器或者从第一数据寄存器读取数据。在另一实施例中,外围功能电路适于执行循环冗余校验计算。

[0096] 在另一实施例中,电子系统还包括处理元件和总线控制器。处理元件适于执行使处理元件执行x位宽的数据值的数据传输的机器可读代码,其中执行数据传输包括提供第一读取/写入信号以及对应于外围模块的第一数据寄存器的处理元件提供的地址,并且其中y小于x。总线控制器适于接收读取/写入信号和处理元件提供的地址,并且作为响应,执行一系列的与外围模块的多个数据传输,其中执行该系列包括提供第二读取/写入信号和关于该系列中的第一数据传输的第一外围地址,以及提供关于该系列中的至少一个其他的数据传输的至少一个不同的外围地址。在另一实施例中,外围模块是选自循环冗余校验计算模块、校验和计算模块、串行外围接口、通用异步接收器/传送器、显示器控制器、和用户接口控制器的模块。

[0097] 另一实施例包括一种用于在处理元件和外围模块之间传输数据的方法。该方法包括如下步骤:由外围模块接收第一读取/写入信号以及从地址总线接收多个不同的地址;由外围模块将对应于多个不同的地址的多个不同的地址偏移映射到单个y位宽的数据寄存器;以及当第一读取/写入信号处于读取状态时由外围模块将y位宽的数据值从y位宽的数

据寄存器传输到数据总线,并且当第一读取/写入信号处于写入状态时由外围模块将y位宽的数据值从数据总线传输到y位宽的数据寄存器。

[0098] 在另一实施例中,该方法包括如下步骤:由处理元件执行使处理元件执行x位宽的数据值的数据传输的机器可读代码,其中执行数据传输包括提供第二读取/写入信号以及对应于外围模块的y位宽的数据寄存器的处理元件提供的地址,并且其中y小于x;由总线控制器接收第二读取/写入信号和处理元件提供的地址;以及由总线控制器响应于接收到第二读取/写入信号而执行一系列的与外围模块的多个数据传输,其中执行该系列包括提供第一读取/写入信号和关于该系列中的每个数据传输的多个不同的地址中的地址。在另一实施例中,映射多个不同的地址偏移的步骤包括将多个不同的地址偏移中的第一地址偏移映射到数据寄存器用于y位宽的数据传输,并且将多个不同的地址偏移中的x/y个其他地址偏移映射到数据寄存器用于x位宽的数据传输。

[0099] 尽管上文结合特定的系统、装置和方法已描述了各种实施例的原理,但是将清楚地理解,所进行的描述仅作为示例并且不应被当作对本发明的主题内容的范围的限制。此外,这里使用的习语和术语用于描述而非限制的目的。

[0100] 前面的特定实施例的描述充分揭示了各种实施例的一般本质,从而其他人可以在不偏离一般概念的情况下通过应用当前的知识而容易地对其进行修改和/或调整以用于各种应用。因此,该调整和修改应涵盖于所公开的实施例的等同物的意义和范围内。本发明的主题内容涵盖所附权利要求的精神和广泛范围内的所有这些变更、修改、等同和变化。

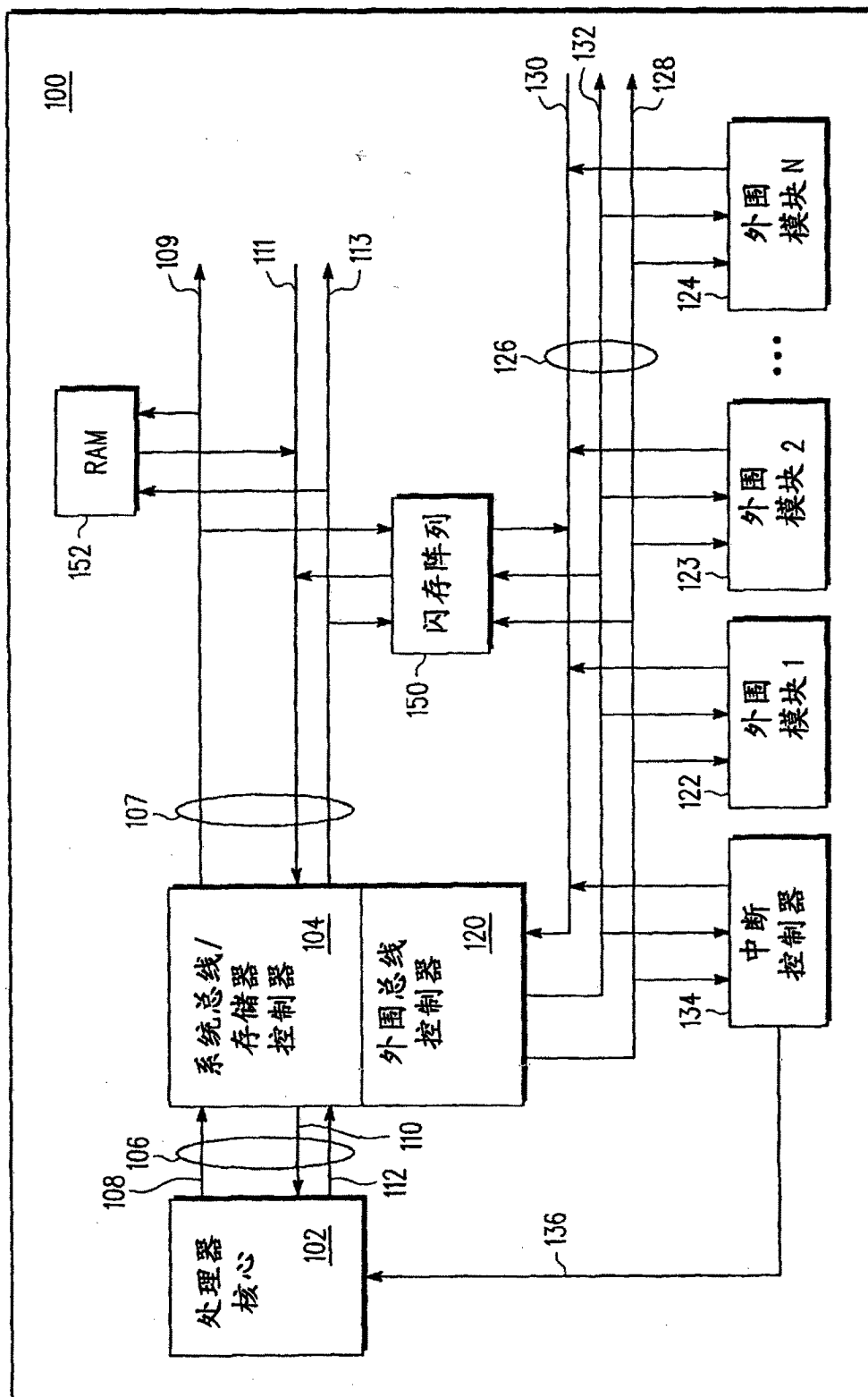


图1

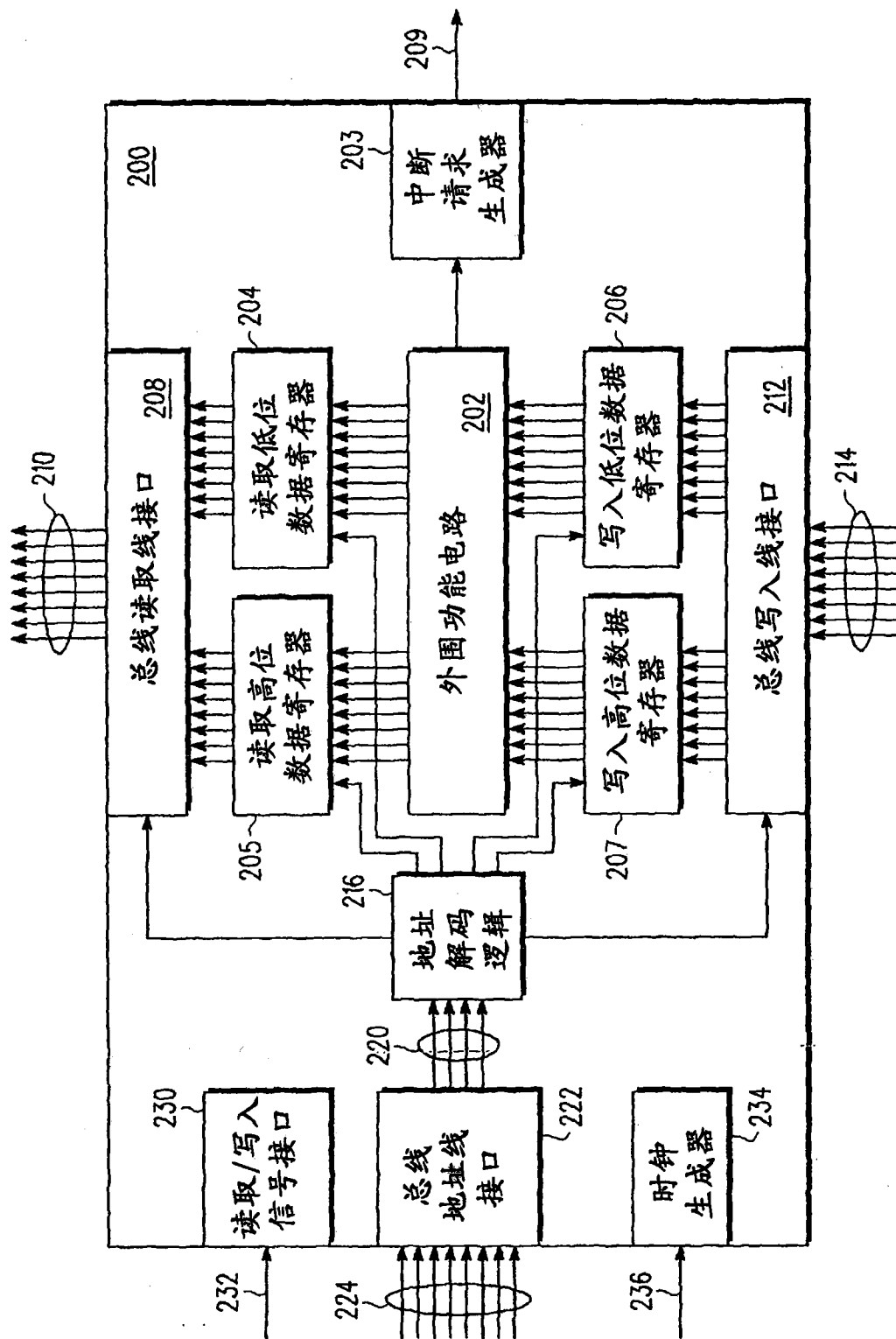


图2

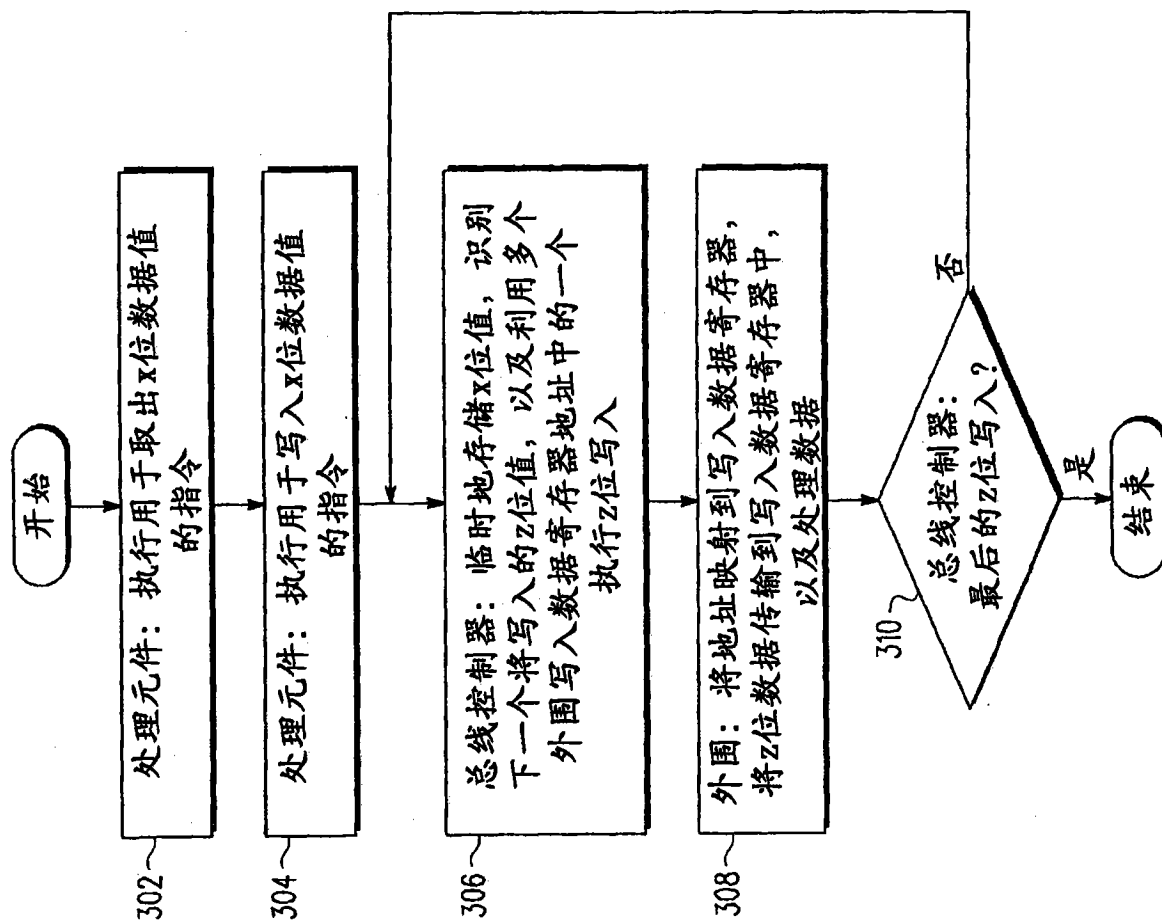


图3

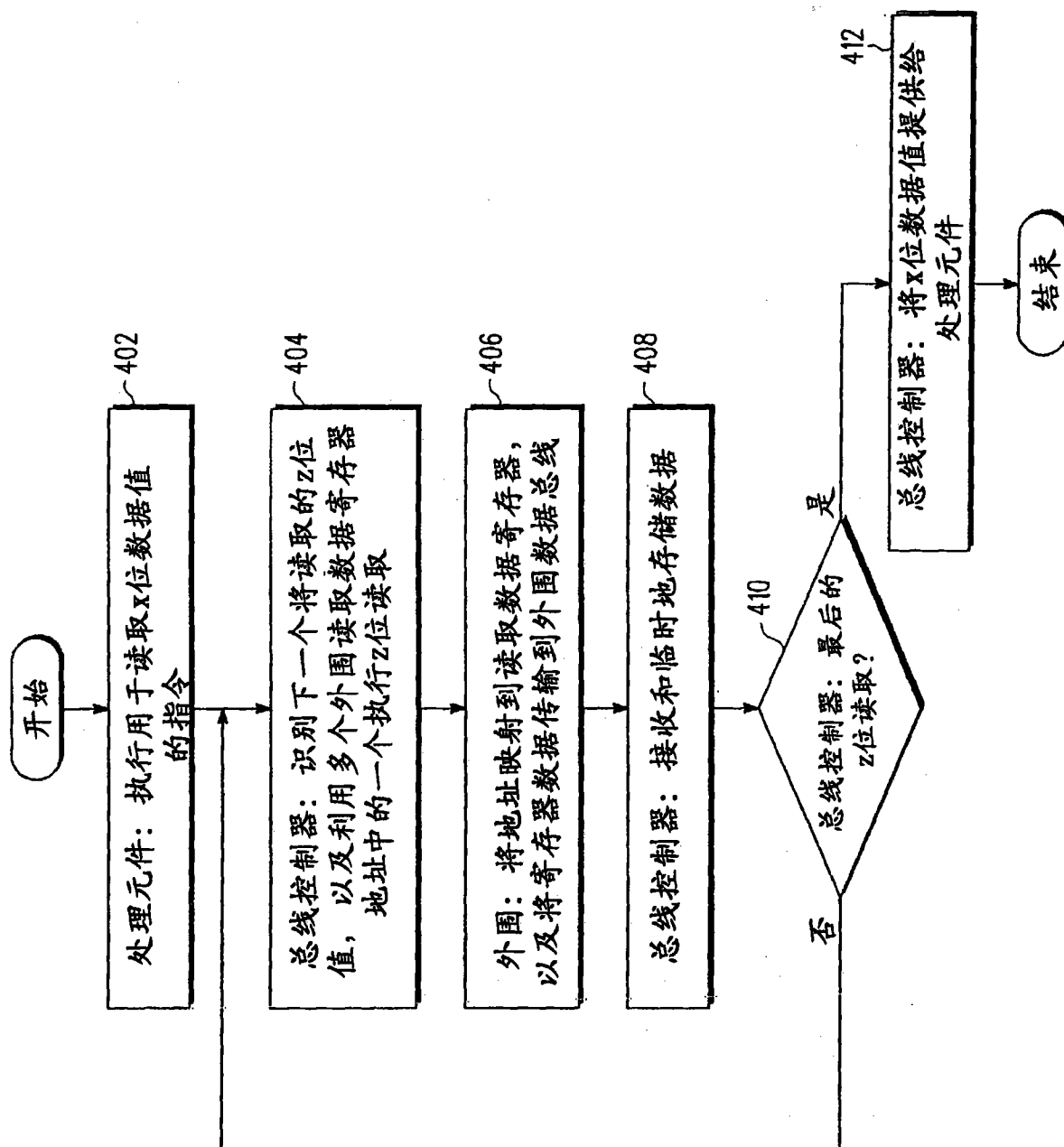


图4

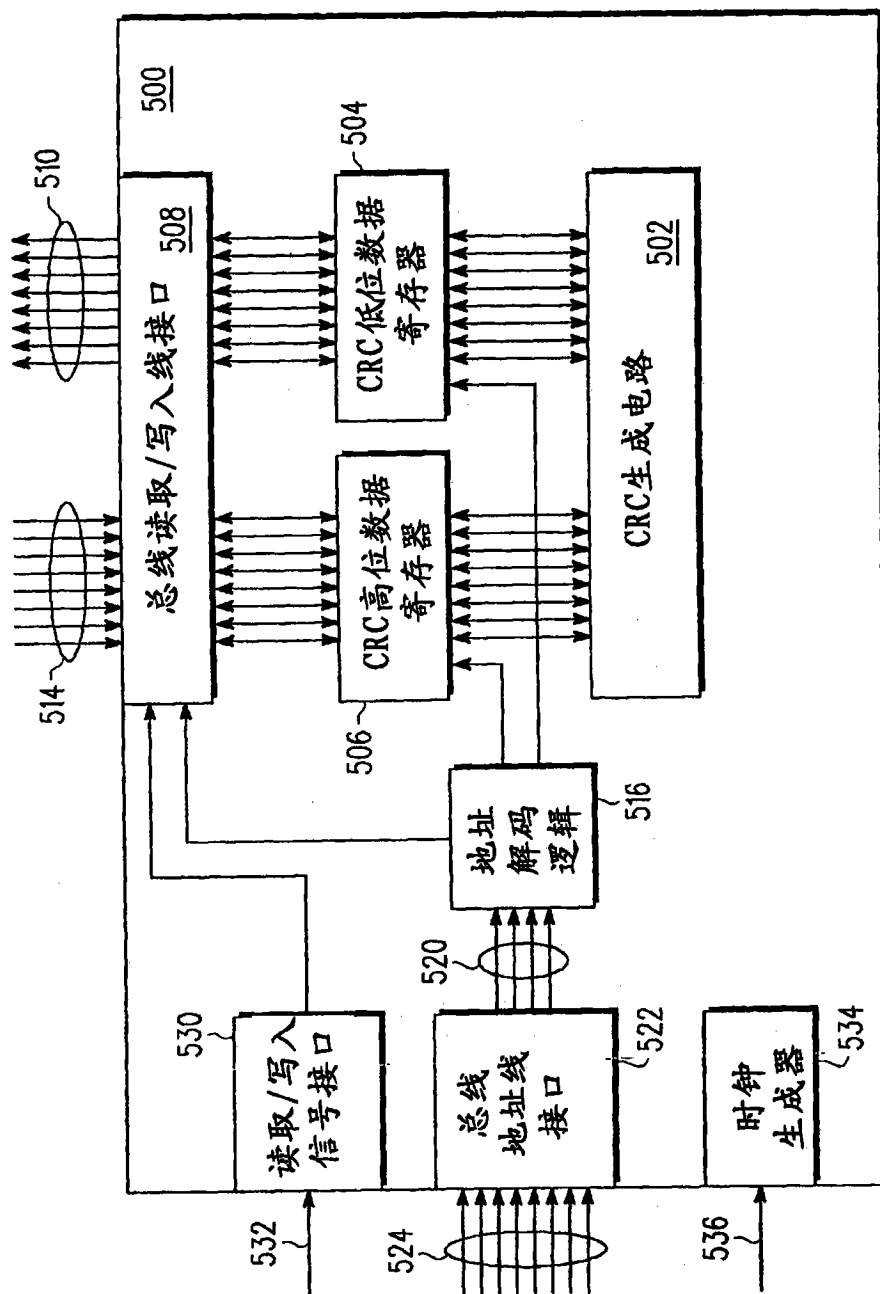


图5

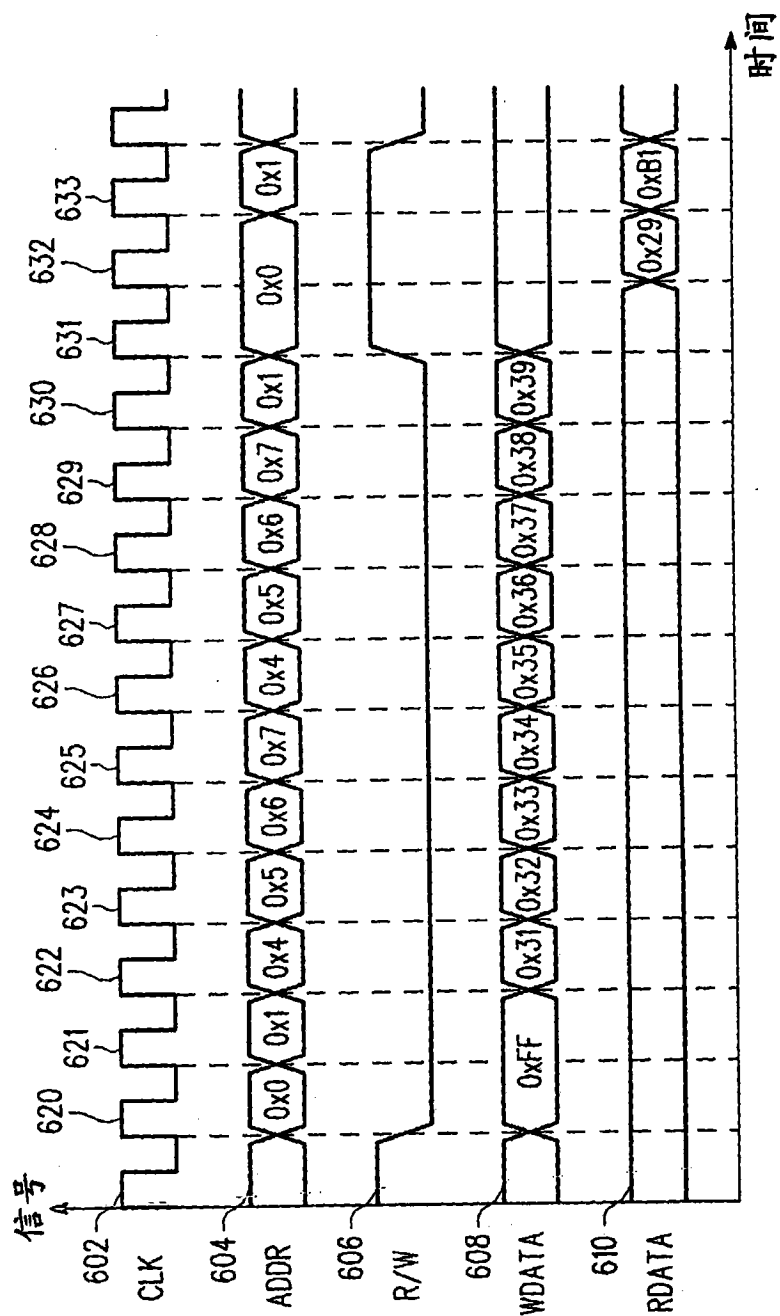


图6